

Układy programowalne

PLD (ang. *Programmable Logic Device*) – układ elektroniczny o programowalnej strukturze.

Układ *PLD* może zostać zaprogramowany tak, żeby działał jak dowolny układ cyfrowy. Ograniczeniem jest tylko wielkość zasobów układu *PLD*, czyli liczba wewnętrznych elementów, które można zaprogramować. Układy programowalne nie są procesorami, ponieważ procesor to układ o stałej strukturze wewnętrznej, natomiast struktura bramek logicznych w układach *PLD* zależy od tego, jak zaprogramujemy dany układ.

Najważniejsze typy układów *PLD* to:

- proste układy *PLD* tzw. *SPLD* – Simple Programmable Logic Device (już prawie nie stosowane) (układy *PAL*, *PLE*, *PLA*, *GAL*),
- złożone układy *CPLD* – Complex *PLD* (zawierają kilkanaście/kilkadziesiąt układów logicznych i wewnętrzną pamięć stałą),
- układy *FPGA* (Field Programmable Gate Array) – bardzo złożone i zaawansowane układy (kilka tysięcy układów logicznych), mają pamięć *RAM*, po każdym włączeniu muszą być skonfigurowane.

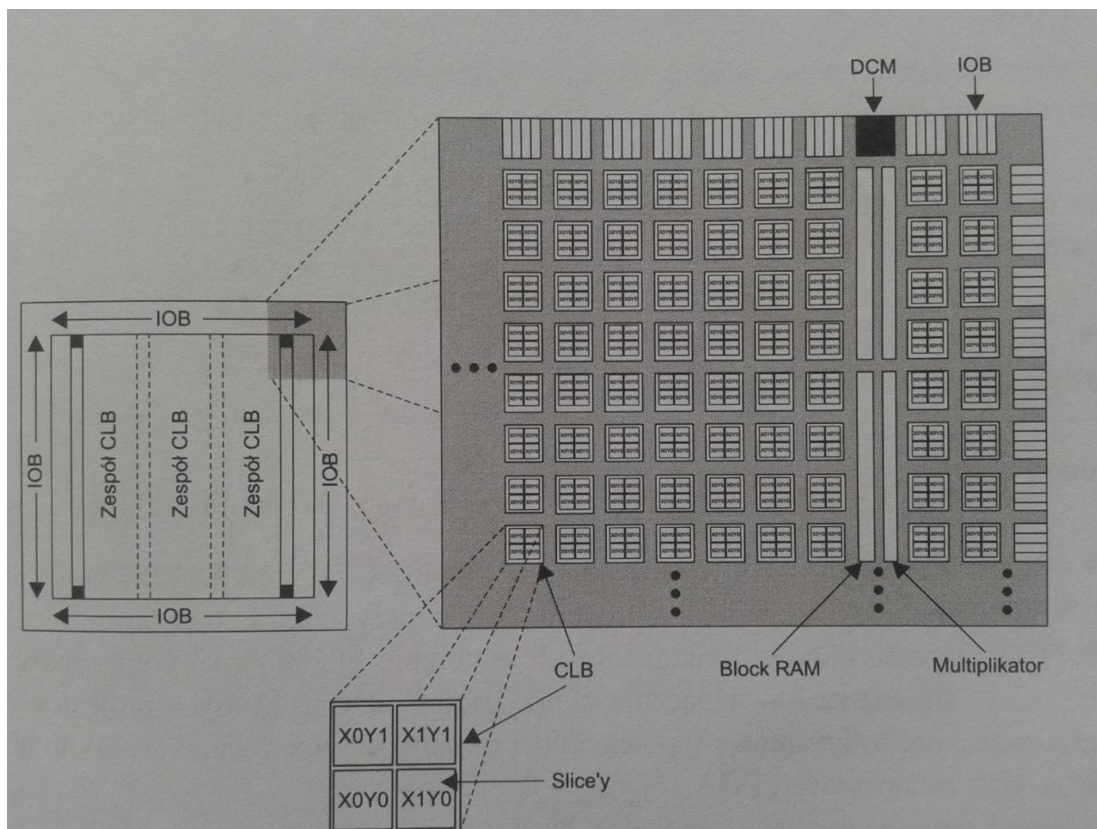
Wśród producentów układów *FPGA* najważniejsi to : Xilings, Altera, Lattice

Strukturę układu *PLD* **KONFIGURUJE SIĘ** zazwyczaj przy pomocy języka opisu sprzętu (*HDL* –Hardware Design Language) takiego jak (najbardziej popularne z języków wysokiego poziomu to: *VHDL* i *VERILOG* są to języki):*ABEL*, *AHDL* - język firmowy, *Verilog*, *VHDL*, *CUPL* i inne.

Układy *FPGA* - Field Programmable Gate Array

Obecnie architektura układów Xilings *FPGA* (takich jak np. *Spartan3*, *Artix7*) zawiera pięć podstawowych programowalnych elementów funkcjonalnych:

- bloki *CLB* (ang. Configurable Logic Blocks)
- bloki *I/O* (ang. Input/Output Blocks)
- blok *RAM* (ang. Random Access Memory – pamięć o dostępie swobodnym)
- blok moltipikatorów sprzętowych (ang. Multiplier Blocks)
- blok *DCM* (ang. Digital Clock Manager Blocks) – syntezer przebiegów zegarowych

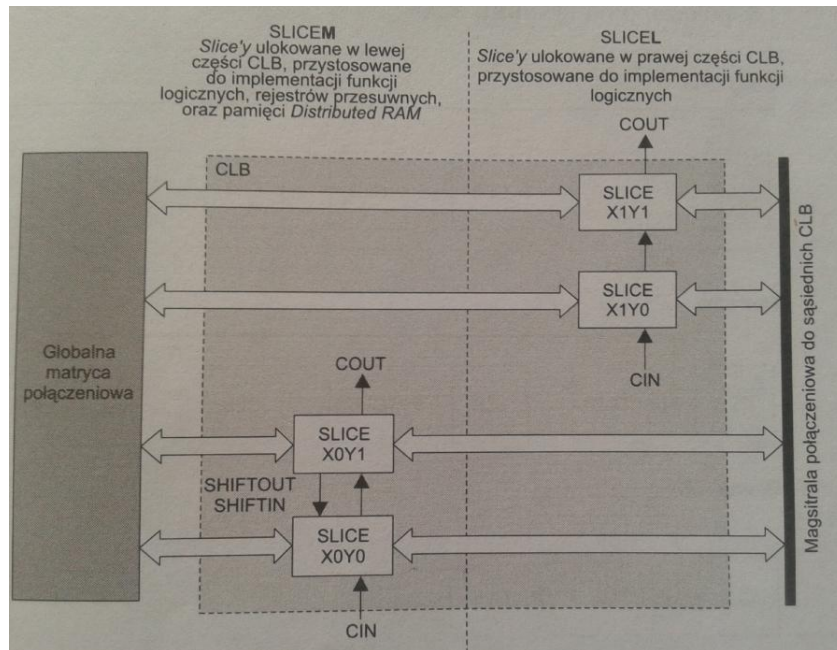


Rysunek 1 . Schemat blokowy przedstawiający budowę układów *FPGA* (na przykładzie *Spartan3*)

Konfigurowalne bloki logiczne CLB

Posiadają regularną budowę opartą na zespołach dużej ilości identycznych bloków. Tworzą one zespoły logiczne o bardzo dużej elastyczności (można w nich zaimplementować m.in. pamięci typu RAM i ROM oraz rejestry przesuwne). Budowa CLB opiera się na tablicach LUT (ang. Look-up-Table).

Każdy blok CLB jest zbudowany z 4 bloków logicznych określonych przez firmę Xilinx nazwą **slice**. Schemat ilustrujący rozmieszczenie w CLB przedstawiona na rysunku 2.

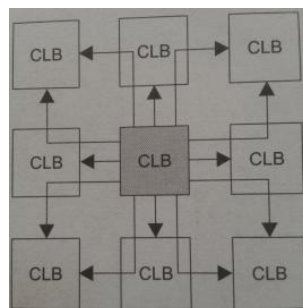


Rysunek 2. Budowa bloku CLB – w jego skład wchodzi cztery slice'y, ułożone w dwóch grupach o różnych możliwościach: SLICEM (M jak Memory) i SLICEL (L jak Logic) – na przykładzie Spartan3.

Slice'y, z jednej strony - dołączono do magistral zapewniających komunikację obrębie całego układu FPGA (tzw. połączenia globalne o różnym zasięgu), od drugiej strony – do magistral, zapewniających komunikację lokalną z sąsiednimi CLB.

Każdy slice ma własny adres w obrębie CLB (np. X1Y0) – można go wykorzystać przy „ręcznym” rozmieszczaniu bloków funkcjonalnych w obrębie FPGA, w przypadku zaawansowanych projektów.

Slice'y ułożono w grupy po dwa (w kolumny), a każda grupa jest wyposażona w szybki linie sygnału przeniesienia CARRY czyli przeniesienie (dlatego są możliwe implementacje szybko działających bloków, wykorzystujących przeniesienia kaskadowe np. liczniki, sumatory). Każdy CLB ma możliwość bezpośredniej komunikacji z sąsiadującymi CLB – bezpośredni dostęp do zasobów ośmiu sąsiednich CLB. Przedstawiono to na rysunku 3.



Rysunek 3. Komunikacja CLB z sąsiednimi blokami.

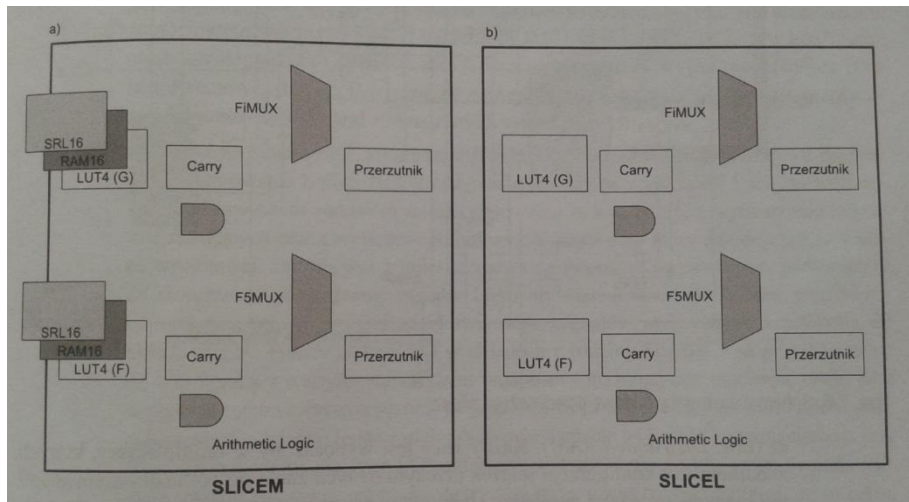
Jak już było wspomniane, wchodzące w skład CLB slice'y dzielą się na połowy, w każdej połowie są oddzielnie po dwa bloki: SLICEL (L jak Logic) i SLICEM (M jak Memory) (rysunek 4). Dwa slice'y SLICEM umożliwiają realizowanie funkcji: arytmetycznych, logicznych i ROM, natomiast dwa slice'y SLICEL – tylko funkcje logiczne.

Tablice Look-Up table (LUT)

Każdy slice ma:

- po dwie konfigurowalne, czterowejsiowe tablice LUT (F-LUT i G-LUT) zwane też generatorami funkcji (pełnią rolę kombinacyjnych funkcyjnych logicznych)
- dwa przerzutniki
- dwa multipleksery (MUX)
- przeniesienie CARRY i logikę arytmetyczną

Dodatkowo LUT w SLICEM może być konfigurowana jako pamięć RAM lub 16-bitowy rejestr przesuwany nazywany SRL16.



Rysunek 4. Dwa rodzaje slice'ów: SLICEL i SLICEM – na przykładzie Spartan3. W układzie Artix7 tablice LUT są sześciowejsiowe i jest dwa razy więcej przerzutników.

Amerykańska firma Digilent założona w 1990 roku jest producentem zestawów uruchomieniowych zbudowanych z wykorzystaniem następujących platform sprzętowych:

- **układów CPLD** (Complex Programmable Logic Device) i **FPGA** (Field Programmable Gate Array) firmy Xilinx (zestawy uruchomieniowe Basys™, Nexys™ i Atlys™),

Zestaw Basys™3 (410-183P-KIT) z układem Xilings Artix7 FPGA (w zestawie uruchomieniowym rdzeń : XC7A35T-ICPG236C)

Sercem omawianego zestawu jest układ FPGA XILINX z rodziny Artix™-7 (XC7A35T-1CPG236C FPGA) zawierający:

- 33280 (32 k) bramek logicznych zgrupowanych w 5200 klastrach. Każdy klaster zawiera cztery 6-wejsiowe tablice LUTs (Look-Up Table) – łącznie 20800 i 8 przerzutników;
- 1800 kbitów szybkiej pamięci RAM;
- 5 generatorów sygnałów taktujących, każdy z własną pętlą fazową PLL;
- 90 klastrów DSP (Digital Signal Processing - przetwarzania sygnałów cyfrowych);
- maksymalna częstotliwość taktowania wewnętrznego zegara przekraczająca 450MHz;
- wbudowany przetwornik analogowo-cyfrowy.

W skład otoczenia układu FPGA wchodzi:

- 16 przełączników,
- 16 diod LED,
- 5 przycisków monostabilnych typu TACT-SWITCH,

- 4-cyfrowy wyświetlacz 7-segmentowy LED,
- 4 złącza rozszerzeń Pmod™,
- wyjście VGA z 12-bitową głębią kolorów,
- mostek USB-UART,
- dodatkowa pamięć szeregowa Flash,
- port USB HID (Human Interface Device).

Na płycie prezentowanego zestawu zintegrowano także programator-konfigurator FPGA wyposażony w interfejs USB. Zestaw uruchomieniowy Basys™3 został zaprojektowany do współpracy ze środowiskiem programistycznym Xilinx Vivado Design Suite (w laboratorium wersja 2015), oferującym między innymi rozbudowany analizator stanów logicznych/sygnatów na szeregowych portach wejścia/wyjścia.

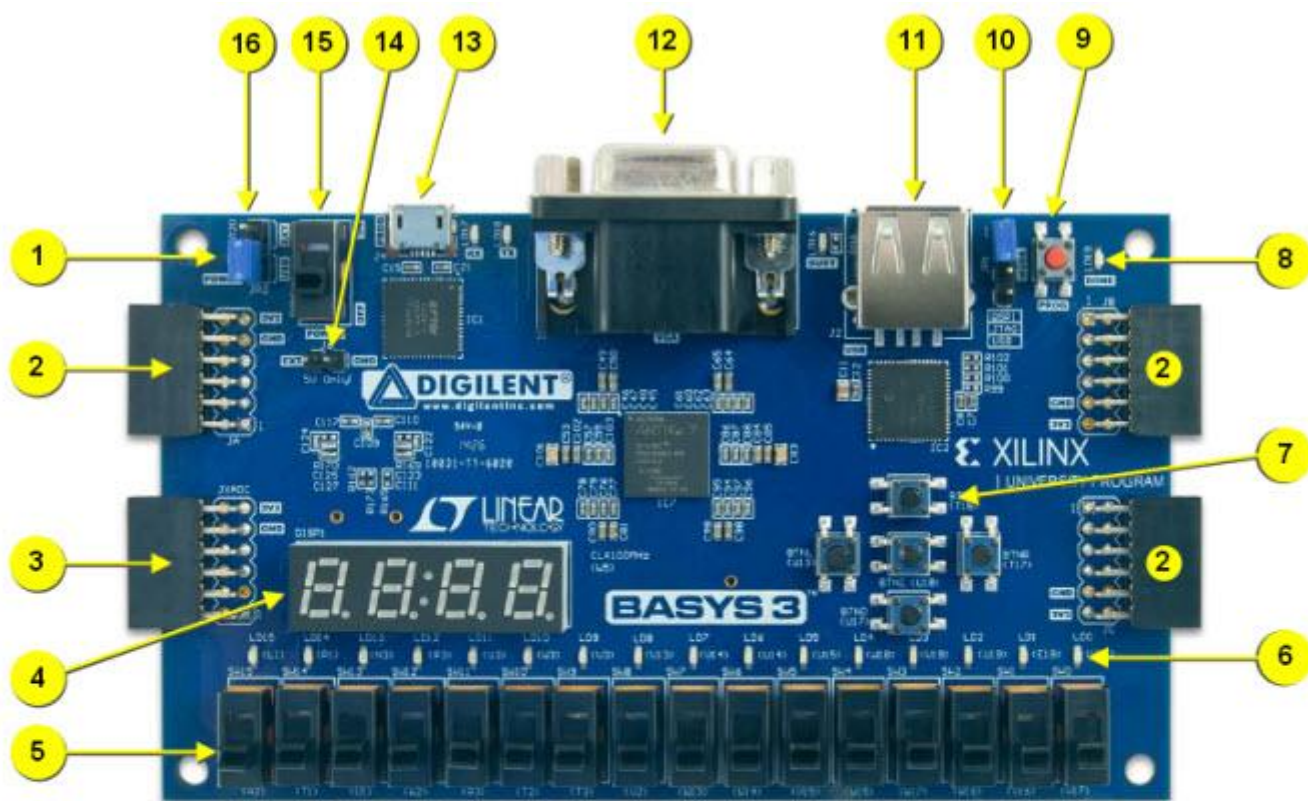


Figure 1. Basys3 FPGA board with callouts

Callout	Component Description	Callout	Component Description
1	Power good LED	9	FPGA configuration reset button
2	Pmod connector(s)	10	Programming mode jumper
3	Analog signal Pmod connector (XADC)	11	USB host connector
4	Four digit 7-segment display	12	VGA connector
5	Slide switches (16)	13	Shared UART/ JTAG USB port
6	LEDs (16)	14	External power connector
7	Pushbuttons (5)	15	Power Switch
8	FPGA programming done LED	16	Power Select Jumper