Układy FPGA – Sumator 4-bitowy

– programowanie bramek w zestawie uruchomieniowym Basys3 firmy Digilent -środowisko Vivado (2016.4)- firmy Xilings , język Verilog

Pierwszy projektowany układ będzie zawierał cztery sumatory 1-bitowe, połączone kaskadowo – tworzące sumator 4 bitow y- których wejścia będą podłączone do przełączników na płytce Basys3 (wykorzystamy SWO – SW8), a stan wyjść będzie wskazywany przez LED-y (wykorzystamy LD0 - LD4).



1. Tworzenie projektu

- Uruchamiamy środowisko Vivado 2016.4 (na dolnym pasku)
- Klikamy na ikonę tworzenia nowego projektu ("Create New Project"). Otwiera sie okno "Create a New Vivado Project" → Next
- W oknie Project name nazwij projekt full_adder i wybierz jego lokalizację jako np. Project location:
 C:/Users/student. Pole Create project subdirectory pozostaw zaznaczone. → Next
- W oknie **Project type** wybierz opcję "**RTL project**" (Register Transfer Level) z zaznaczeniem "**Do not specify** resource at this time" (kody źródłowe zostaną dodane w późniejszym etapie). → Next

W oknie **Default part** należy wybrać: Product category: General Purpose Family: Artix-7 Sub-family: Artix-7 Package: cpg236 Speed grade: -1 Temperature grade: All Remaining Z pozostałych do wyboru zaznaczyć xc7a35tcpg236-1. Model ten posiada 20800 tablic LUT. → Next

- Następnie pojawia się okno: "New project Summary" a w nim opisane są parametry charakterystyczne projektu →Finish. Przez parę sekund tworzy się projekt (Create project) i otwiera się kolejne okno czyli projekt: simple_gates.
- Po utworzeniu projektu, z lewej strony okna powinien znajdować się panel Flow Navigator. Jeżeli jest on niewidoczny, wciśnij kombinację Ctrl+Q.

simple_gates - [C:/Users/root/sim	nple_gates/simple_gates.xpr] - Vivado 2015.4		R+ Search continueds
	1 6 🕷 📡 🙃 🖽 Default Layout 🔹 🕱 🕭 🦎 🕬		
na Naviostor (C	Project Manager - smile gates		
	Serves DIA X	T Project Summary X	D.
Project Manager		Project Settings	Edit
C Project Settings	Constraints Simulation Sources	Project name: sinple_gates Project location: C:/Users/root/simple_gates	
Canguage Templates		Product termin: wrbs// Project part: wr2n35top226_1	
IP Integrator		Target laguage: <u>Verian</u>	
Treate Block Design		Smuator anguage: Mixed	
Generate Block Design		Synthesis A	Implementation
- Consiste soor or after		Status: Not started	Status: Not started
Simulation		Messages: No errors or warnings	Messages: No errors or warnings
G Simulation Settings		Part: XC78J35029236-1 Strategy: Woods Synthesis Defaults	Part: KC/Austrop228-1 Strateny: Wuxdo Inclementation Defaults
🤐 Run Simulation	Hierarchy Libraries Comple Order		Incremental compile: None
RTL Analysis	A Sources ? Templates		
Baboration Settings	Properties _ D L ² ×	DRC Violations *	Timing
Open Elaborated Design	$\leftarrow \rightarrow \underline{\bullet}_{2}$ h		
Synthesis		Kun Impernetrisation to see LNC, results	Run Imperientazion to see taning results
G Synthesis Settings		Utilization A	Power
 Run Synthesis III Open Synthesized Design 		Run Synthesis to see utilization results	Run Instementation to see power results
Implementation	Select an adjust to see properties		
* Generate Bitstream	Design Runs		- 0 4
Open Hardware Manager	Name Constraints Status WNS	TNS WHS THS TPWS Faled Routes LUT FF BRAM URAM DSP Start Bapsed	Strategy Part Description
	🔛 🗉 🤿 synth_1 constrs_1 Not started		Vivado Synthesis Defaults (Vivado Synthesis 2015) xc?a35tcpg236-1 Vivado Synthesis Defaults
	impl_1 constrs_1 Not started		Vivado Implementation Defaults (Vivado Implementation 2015) xc7a3Stcpg236-1 Vivado Implementation Defaults
	* *		
	1		
	Td Console Messages Clog Reports Design Runs		

1.Dodawanie plików do projektu

W panelu Flow Navigator będziemy rozwijali zakładkę Project Manager. Utworzymy model **SUMATORA 4-bitowego** kaskadowego o nazwie "full_adder".

(Project Manager -> Add sources -> Add or create design sources \rightarrow Next \rightarrow Create File...)

2

• Pojawia sie małe okno: Create Source File

Create a new	v source file and add it to your project.	
<u>Fi</u> le type: File name:	💀 Verilog 💌	
File location:	😚 <local project="" to=""> 👻</local>	

- File type: Verilog , File name: full_adder, File location: \rightarrow Choose location: Local to Project \rightarrow OK
- Pojawia się nowe okno z opisem i lokalizacją projektu →Finish
- Następne małe okno: Define Module . Sprawdzamy nazwę Module name: full_adder i definiujemy porty (I/OPort Definitions). Port Name/Direction kolejno: jako "input" : a_in, b_in, zaznaczyć "BUS" (ustawić odpowiednio MSB, LSB), jako "input" : c_in (bez zaznaczenia BUS), jako "output" : s_out, zaznaczyć "BUS" (ustawić odpowiednio MSB, LSB), jako "output" : c_out (bez zaznaczenia BUS), → OK

W oknie Project Manager – Sources pojawia się folder : Design Sources - plik (ve):full_adder.v, (na dole okna powinna być aktywna zakładka "Hierarchy").

Zapisujemy moduł (Ctrl + S). Po każdym zapisaniu pliku Vivado analizuje kod. Jeżeli są jakieś błędy składni, to informacja o nich zostaje wyświetlona w zakładce "Messages" okna "Messages" (na dole). Zwróć również uwagę, że pliki z błędami pojawiają się w oknie "Sources" w folderze "Design sources \rightarrow Syntax Error Files"

- Nie tworzymy struktury hierarchicznej (nie przypisujemy wejść/wyjść do sw/led), ponieważ dokonamy KONKATENACJI czyli scalania wektorów ze sobą i z pojedynczymi sygnałami w przypisaniu "assign":
- Po otwarciu pliku pojawia się moduł całości układu o nazwie "full_adder" :

endmodule

- Nie wykonujemy SYMULACJI.
- Implementacja w układzie FPGA
- SYNTEZA: Uruchom syntezę (-> Run Synthesis). Zwróć uwagę na pasek statusu w prawym górnym rogu ekranu. Synteza przekształca opis w języku HDL na schemat w postaci bramek . Może pojawić sie komunikat dotyczacy blokady, należy wybrać Allow Access.

artix/ DUI	
Windows Security Alert	23
Windows Firewall has blocked some features of this program	
Windows Firewall has blocked some features of vivado.exe on all public and private networks.	
Name: vivadoexe	
Publisher: Unknown	
Path: C:\xilinx\vivado\2015.4\bin\unwrapped\win64.o\vivado.exe	
Allow vivado.exe to communicate on these networks:	
Private networks, such as my home or work network	
Public networks, such as those in airports and coffee shops (not recommended because these networks often have little or no security)	
What are the risks of allowing a program through a firewall?	
(Allow access Cancel	

- Należy śledzić w prawym górnym rogu ekranu przebieg syntezy i czekać na komunikat "Synthesis Succesfully Completed". Po zakończeniu, na razie, nie wybieramy "Run Implementation" tylko "View Reports"→OK
- Sprawdź, ile procent dostępnych tablic LUT, buforów wejściowych IBUF i buforów wyjściowych OBUF wykorzystał na układ ("Reports → Utilization Raport).
- Zauważ, że w menu Run Synthesis pojawiły się dwie nowe opcje (nie musisz ich teraz uruchamiać).

Aby przeprowadzić implementację sprzętową, musimy wprowadzić ograniczenie projektowe (ang. constraints), które powiedzą Vivado, które wyprowadzenia układu FPGA są używane i jak są skonfigurowane.

W tym celu:

1)dodaj do projektu plik ograniczeń XDC: Basys3 Master.xdc (który należy rozpakować ze strony home) . 2)Następnie należy zapisać poprzez: Add Sources \rightarrow Add or Create Constraints \rightarrow Add Files (z projektu:full_adder). Odkomentuj potrzebne linijki w pliku .

Należy odkomentować wszystkie używane switche: sw[0] do sw[8] i ledy: led[0] do led[4], **po dwa wiersze (!)** na każdy switch i led oraz dokonać "podmiany" w nawiasach klamrowych **{ }** według schematu z rysunku sumatora 4-bitowego ze strony 1 :

{sw[0]} na {a_in[0]} itd., {sw[4]} na {b_in[0]} itd., {sw[8]} na {c_in}, {led[0]} na {s_out[0]}itd, {led[4]} na {c_out}

3)Sprawdzić czy plik xdc jest w folderze "Constraints".

- IMPLEMENTACJA: Uruchom implementację ("→ Run Implementation"). Obserwuj log. Po implementacji zauważ, że pojawiły się nowe zestawy raportów "Place Design" i "Route Design". W większości z uwagi na prostotę projektu będą one większości puste.
 - Znajdź w raporcie informację o procencie wykorzystanych zasobów IO (Place Design->Utilization Raport, Bonded IOB).
 - Otwórz topografię układu (→ Implemented Design), znajdź jedną z tablic LUT (look-up table), która został wykorzystana do budowy bramki AND lub OR, podświetl połączenia wejściowe i wyjściowe .
 - Zaznacz na topografii slice i otwórz jego schemat (prawy przycisk myszy ->Schematic lub F4). Powinien on zawierać 4 bufory wejściowe, dwa elementy tablicy LUT i dwa bufory wyjściowe.
 - *W "Messages" mogą się pojawić teraz ostrzeżenia, które ignorujemy:*

[Timing 38-313] There are no user specified timing constraints. Timing constraints are needed for proper timing analysis.

[Chipscope 16-3] Cannot debug net 'led[0]'; it is not accessible from the fabric routing.(12 more like this)

- **PROGRAMOWANIE I DEBUGOWANIE:** Należy zaznaczyć "bin file" w Bitstream Settings. Wygeneruj bitstream (plik zawierający dane do programowania FPGA) → Generate Bitstream.
- Gdy po wygenerowaniu bitstreamu chcemy sprawdzić ilość użytych tablic LUT oraz I/O, to z górnego paska należy otworzyć "Project Summary Σ" (okno Utilization (Post Implementation) w formie : Graph lub Table
- Upewnij się, że przełączniki na układzie Basys3 są w odpowiednim ustawieniu (obie niebieskie zworki "bliżej środka" płytki):

-JP1 (Mode) → USB -JP2 (Power) → USB

- Podłącz układ Basys3 przy pomocy kabla USB do komputera i włącz go przełącznikiem "Power Switch ON".
 UWAGA: przed wsunięciem wtyku kabla do gniazda płytki Basys3 UPEWNIĆ SIĘ, że wtyk microUSB ("typ smartfonowy") jest prawidłowo ułożony wsuwamy do gniazdka "ząbkami do góry".
- Skonfiguruj podłączenie do programowania płytki Basys3:

-Program and Debug ->Open Hardware Manager→ Hardware Manager -> Open Target -> Open New Target →Open Hardware Target

-Wybierz: Local server, zegar programowania domyślny 15MHz \rightarrow Next \rightarrow Finish

• Program device -> xc7a35t_0

-Bitstream File powinien być domyślnie ustawiony poprawnie (sprawdzić w okienku) -Dostaniemy ostrzeżenie, które w tym przypadku możemy zignorować:

WARNING: [Labtools 27-3123] The debug hub core was not detected at User Scan Chain 1 or 3. (Okno Messages bez Errors).

• Sprawdź, czy układ działa poprawnie. Jeżeli tak – gratulacje!