

Technika mikroprocesorowa I

Studia niestacjonarne rok II

Wykład 3

System mikroprocesorowy z układem Z80

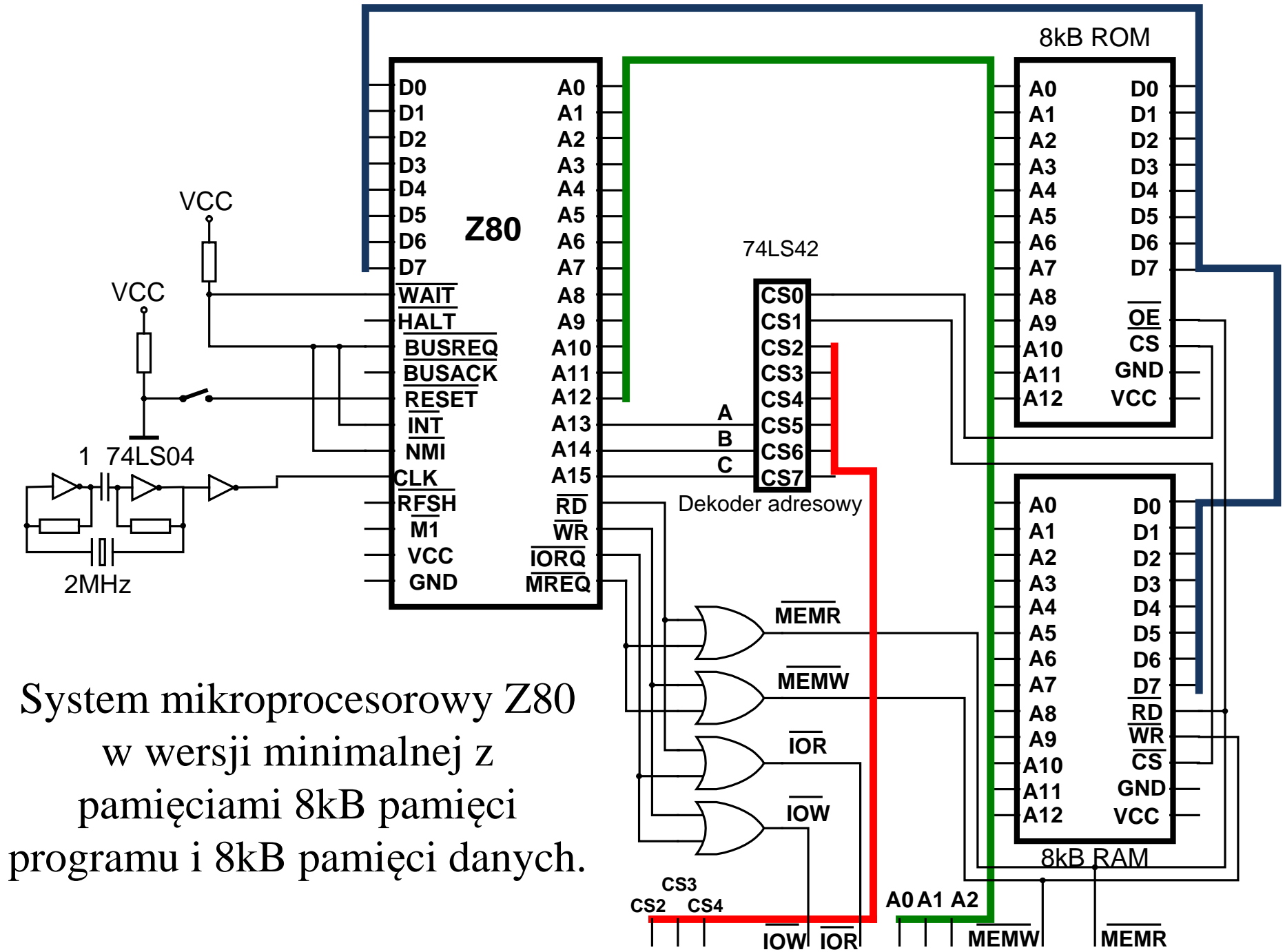
System mikroprocesorowy z procesorem Z80 może zaadresować maksymalnie 64 k-Bajty pamięci programu i danych oraz 256 urządzeń we-wy.

Urządzenia we-wy mogą być lokowane w **przestrzeni adresowej pamięci** i wtedy adresacja odbywa się jak dla komórek pamięci (adresy 16-bitowe, rejestry adresowe HL, IX, IY, adres bezpośredni)- rozkazy typu LD.

Mogą być też adresowane w **przestrzeni adresowej wejścia-wyjścia** (maksymalnie 256 lokacji)- rozkazy IN, OUT.

Założenia systemu w wersji minimalnej:

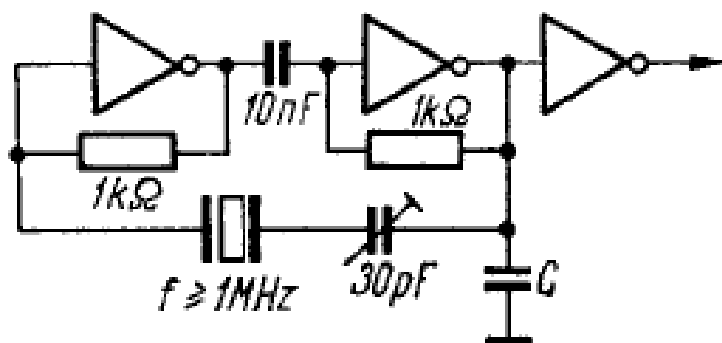
- niepełny dekodery adresowy,
- podział przestrzeni pamięci na osiem obszarów po 8kB,
- adresy 0000-1FFF- pamięć ROM programu,
- adresy 2000-3FFF- pamięć RAM danych,
- urządzenia we-wy w ilości 6 sztuk pod adresami:
-4000, 6000, 8000, A000, C000, E000,
- ilość lokacji zajmowanych przez urządzenie we-wy- 8 lokacji.



System mikroprocesorowy Z80
 w wersji minimalnej z
 pamięciami 8kB pamięci
 programu i 8kB pamięci danych.

Generator kwarcowy przebiegu prostokątnego ze zlinearyzowanymi bramkami negacji 74LS04

Literatura: Jan Pieńkos, Janusz Turczyński, „Układy scalone TTL w systemach cyfrowych”.



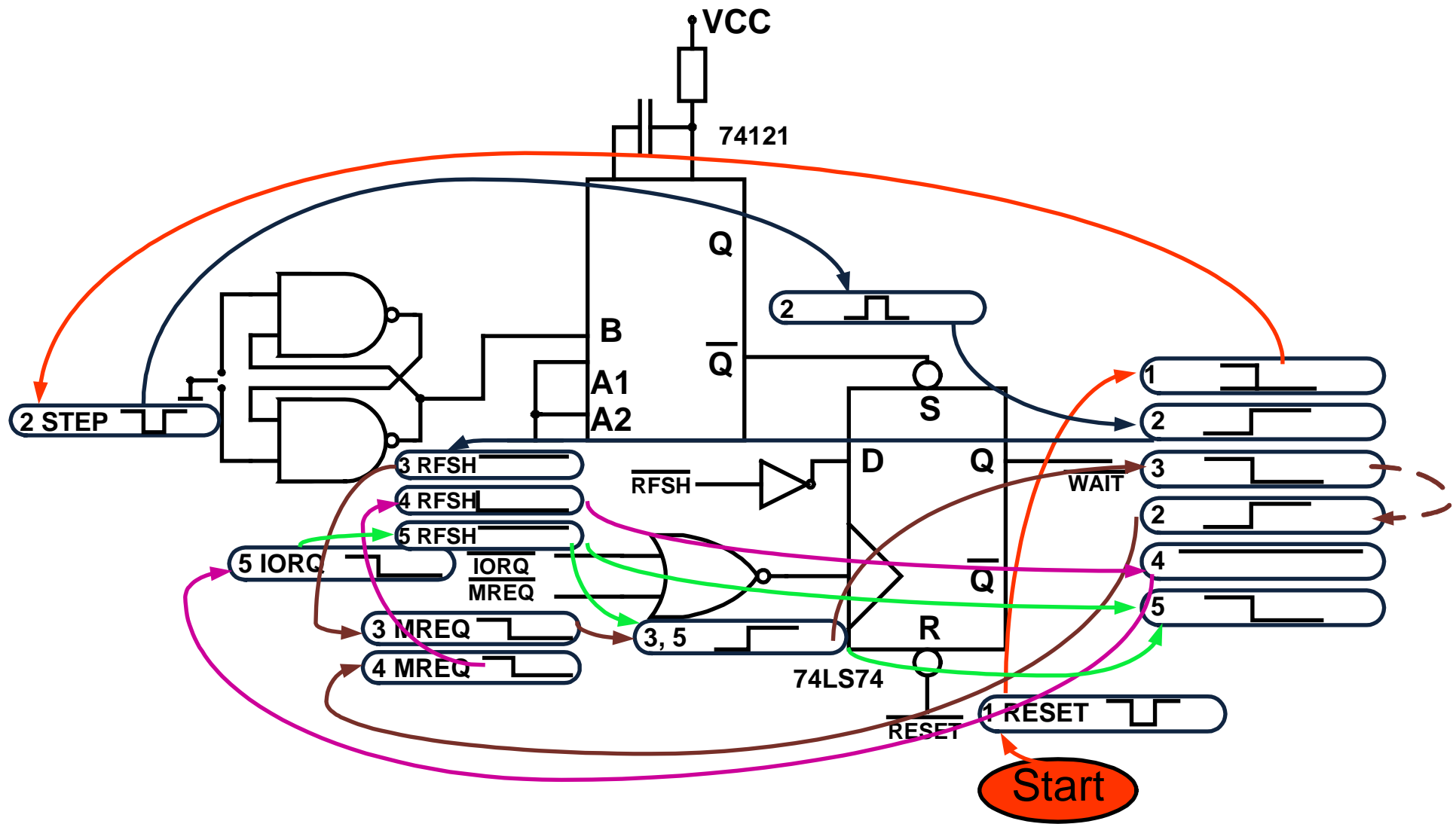
$C = 680 \text{ pF}$ ($f = 1 \text{ MHz}$)
 $C = 330 \text{ pF}$ ($f = 2 \text{ MHz}$)
 $C = 120 \text{ pF}$ ($f = 5 \text{ MHz}$)



Źródło: [Jan Pieńkos, Janusz Turczyński, „Układy scalone....”]

A15	A14	A13	A12	A11.....A0	ADDR HEX
0	0	0	0	0	0000
(0 0 0 1)				1	1FFF
0	0	1	0	0	2000
0	0	1	1	1	3FFF
0	1	0	0	0	4000
0	1	0	1	1	5FFF
0	1	1	0	0	6000
0	1	1	1	1	7FFF
1	1	1	1	1	FFFF

Podział obszaru pamięci na pola 8k-Bajtowe



Układ pracy krokowej co cykl maszynowy mikroprocesora Z80

Układy wejścia-wyjścia w systemach mikroprocesorowych

- Porty równoległe.
- Porty szeregowo (synchroniczne i asynchroniczne).
- Układy czasowo-licznikowe.
- Kontrolery bezpośredniego dostępu do pamięci- DMA.
- Interfejsy zegara czasu rzeczywistego.
- Interfejsy ekranu CRT.
- Interfejsy stacji dysków elastycznych.
- Interfejsy stacji dysków twardych.
- Interfejsy portów USB.
- itp..

PORT RÓWNOLEGŁY 8255

Literatura:

intersil

June 1998

82C55A

CMOS Programmable
Peripheral Interface

Układ 8255 jest programowalnym układem we-wy, zawierającym trzy ośmio bitowe porty: PA, PB, PC. Każdy z portów może pracować jako wejście lub wyjście w trybie bez potwierdzeń (zwykły port wyjściowy lub wejściowy). Jest to tzw. tryb 0.

Port A i B mogą pracować jako wejście lub wyjście w trybie pierwszym z potwierdzeniami. Linie potwierdzenia znajdują się wtedy na wybranych liniach portu C.

Dla wejścia są to sygnały:

-**STB**- strob zapisu danych,

-**IBF**- bufor wejściowy pełny (dana zapisana).

Dla wyjścia są to sygnały:

-**OBF**- bufor wyjściowy pełny,

-**ACK**- potwierdzenie odczytu danych

W trybie dwukierunkowym portu A sygnały strobuujące są analogiczne:

-STB,

-IBF,

-OBF,

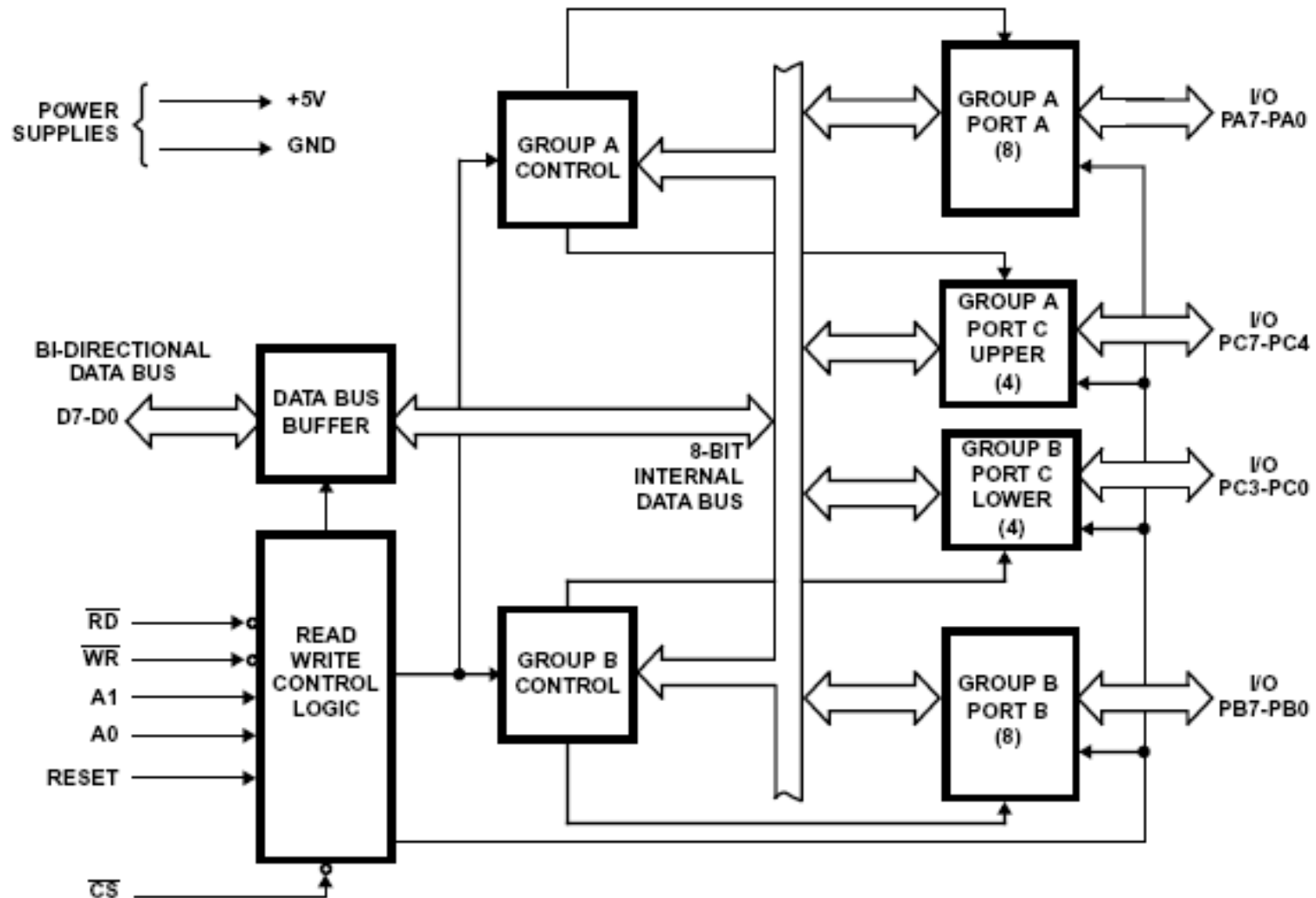
-ACK.

Gdy port A pracuje w trybie 1. port B może pracować jedynie w trybie 0
(z braku dodatkowych linii sterujących)

W trybach 1 i 2 układ może generować przerwania na określonych liniach portu C, które są maskowane wybranymi bitami portu C.

Odmaskowanie przerwań następuje przez ustawienie na „1” wybranych bitów portu C.

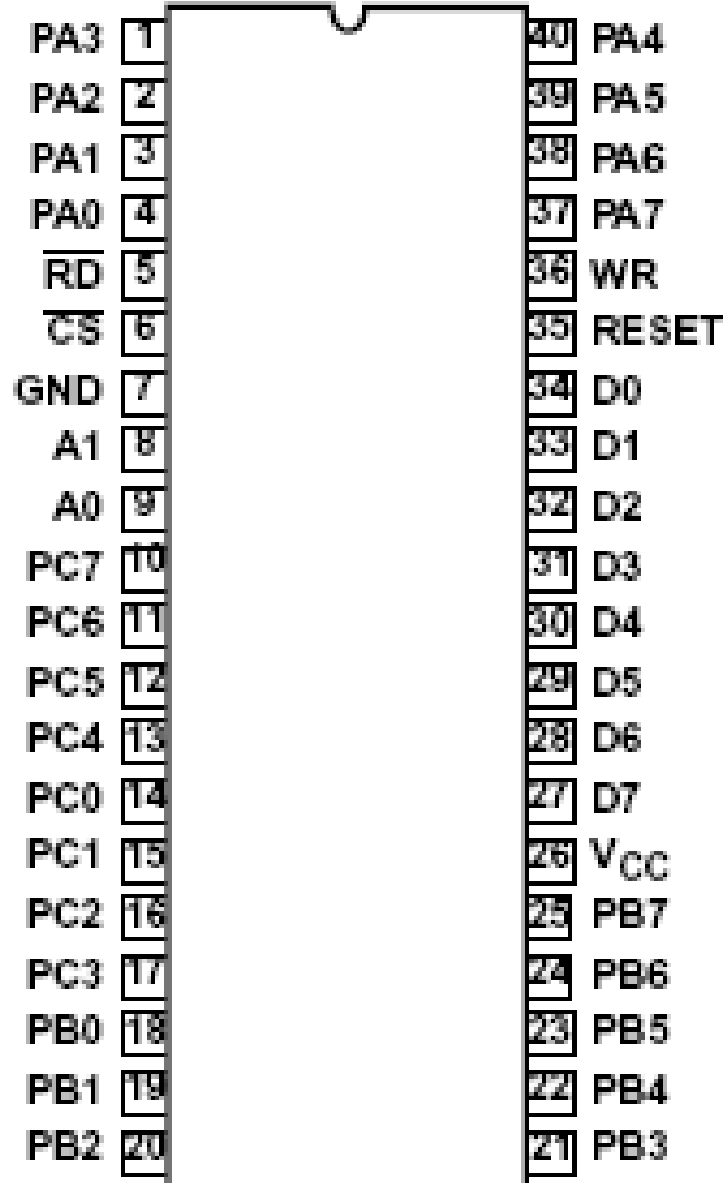
Port równoległy 8255A firmy Intel



[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

Schemat blokowy układu portów równoległych 8255

82C55A (DIP)
TOP VIEW



Wyprowadzenia układu 8255

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

Sygnały sterujące:

RESET- aktywny stanem wysokim sygnał zerujący układ (wprowadzający w stan początkowy- porty jako wyjścia w stanie wysokiej impedancji).

RD- aktywny stanem niski strob odczytu.

WR- aktywny stanem niskim strob zapisu.

CS- aktywny stanem niskim sygnał wyboru układu.

A0,A1- linie adresowe wyboru jednej z czterech wewnętrznych lokacji układu: portu A, portu B, portu C, rejestru trybu (modu) pracy układu.

PA0-PA7- linie portu A

PB0-PB7- linie portu B

PC0-PC7- linie portu C

GND, VCC- zasilanie układu.

82C55A BASIC OPERATION

A1	A0	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	Port A → Data Bus
0	1	0	1	0	Port B → Data Bus
1	0	0	1	0	Port C → Data Bus
1	1	0	1	0	Control Word → Data Bus
OUTPUT OPERATION (WRITE)					
0	0	1	0	0	Data Bus → Port A
0	1	1	0	0	Data Bus → Port B
1	0	1	0	0	Data Bus → Port C
1	1	1	0	0	Data Bus → Control
DISABLE FUNCTION					
X	X	X	X	1	Data Bus → Three-State
X	X	1	1	0	Data Bus → Three-State

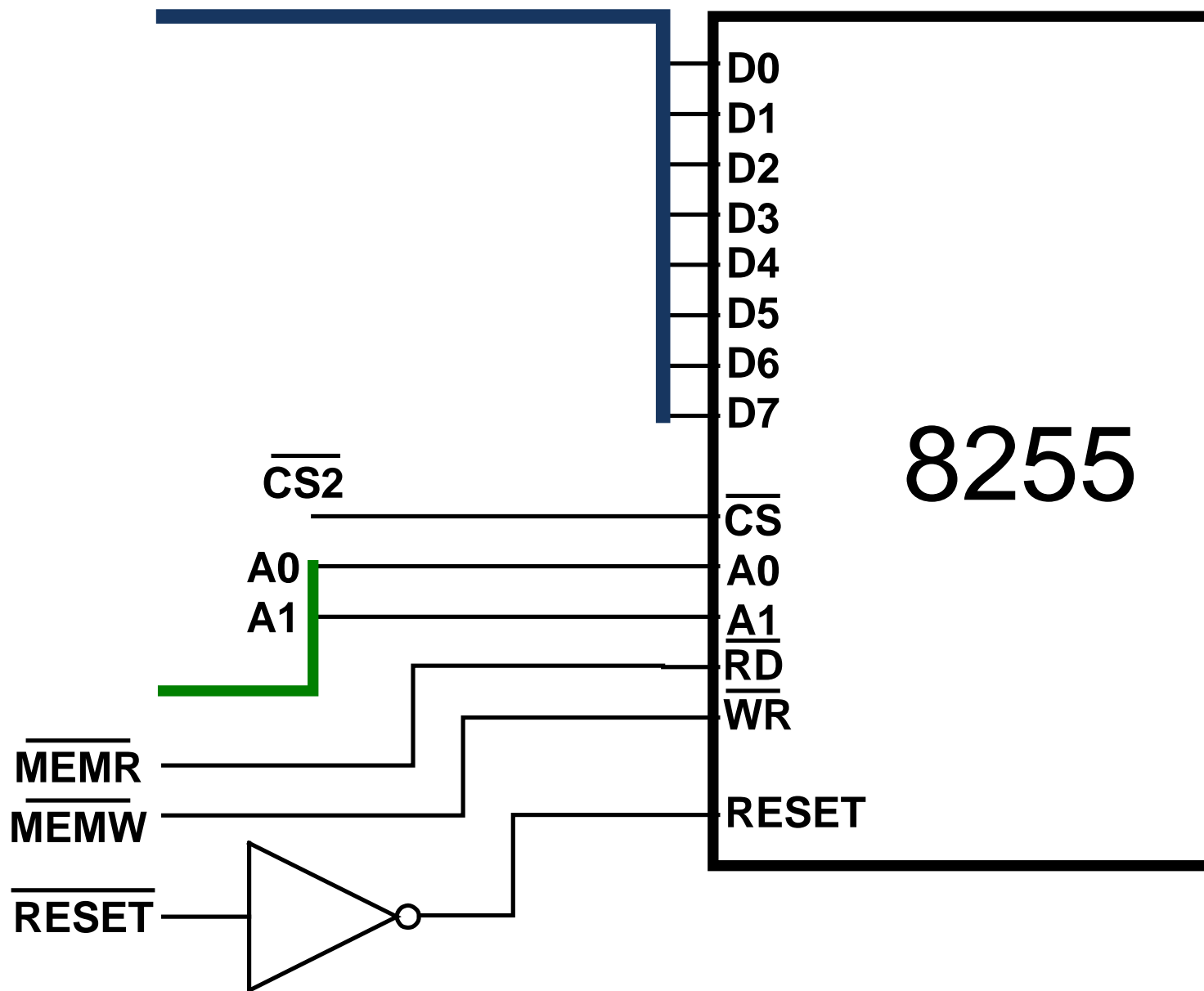
Zestawienie operacji zapisu i odczytu- wykorzystanie linii sterujących i adresowych

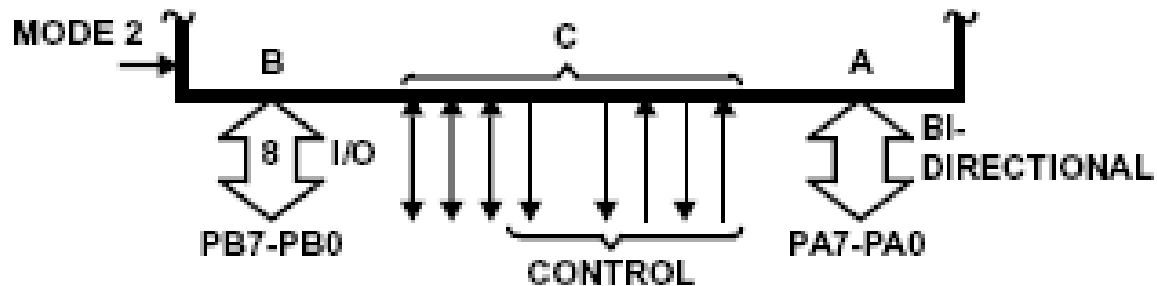
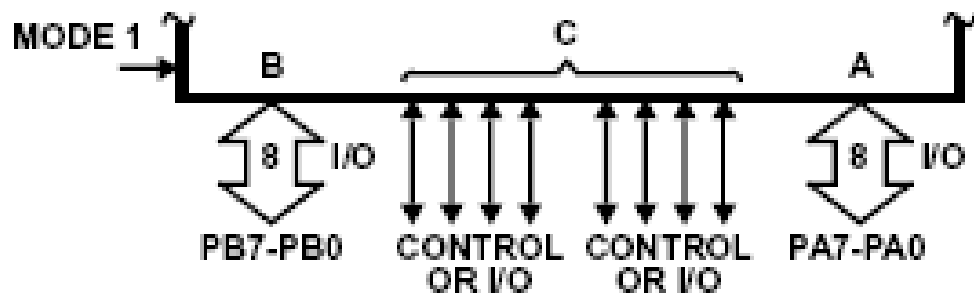
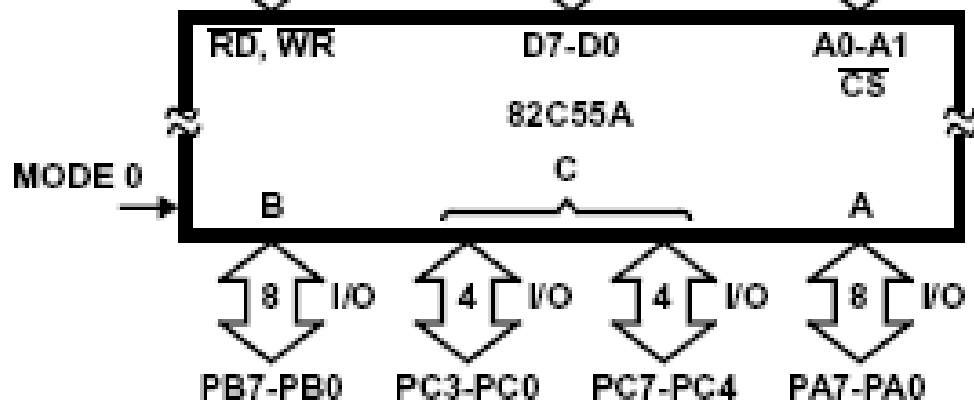
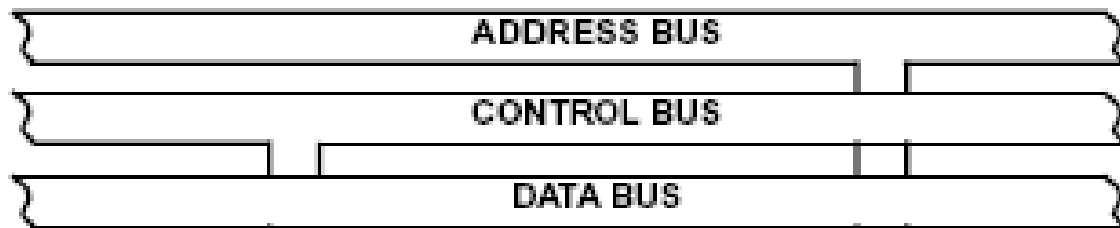
[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

A1	A0	CS	RD	WR	
0	0	0	1	0	Zapis danej na port A
0	1	0	1	0	Zapis danej na port B
1	0	0	1	0	Zapis danej na port C
1	1	0	1	0	Zapis słowa trybu pracy lub ustawienia bitów portu C

A1	A0	CS	RD	WR	
0	0	0	0	1	Odczyt danej z portu A
0	1	0	0	1	Odczyt danej z portu B
1	0	0	0	1	Odczyt danej z portu C
1	1	0	0	1	Odczyt słowa trybu pracy

Dołączenie 8255 do systemu mikroprocesorowego w przestrzeni adresowej pamięci

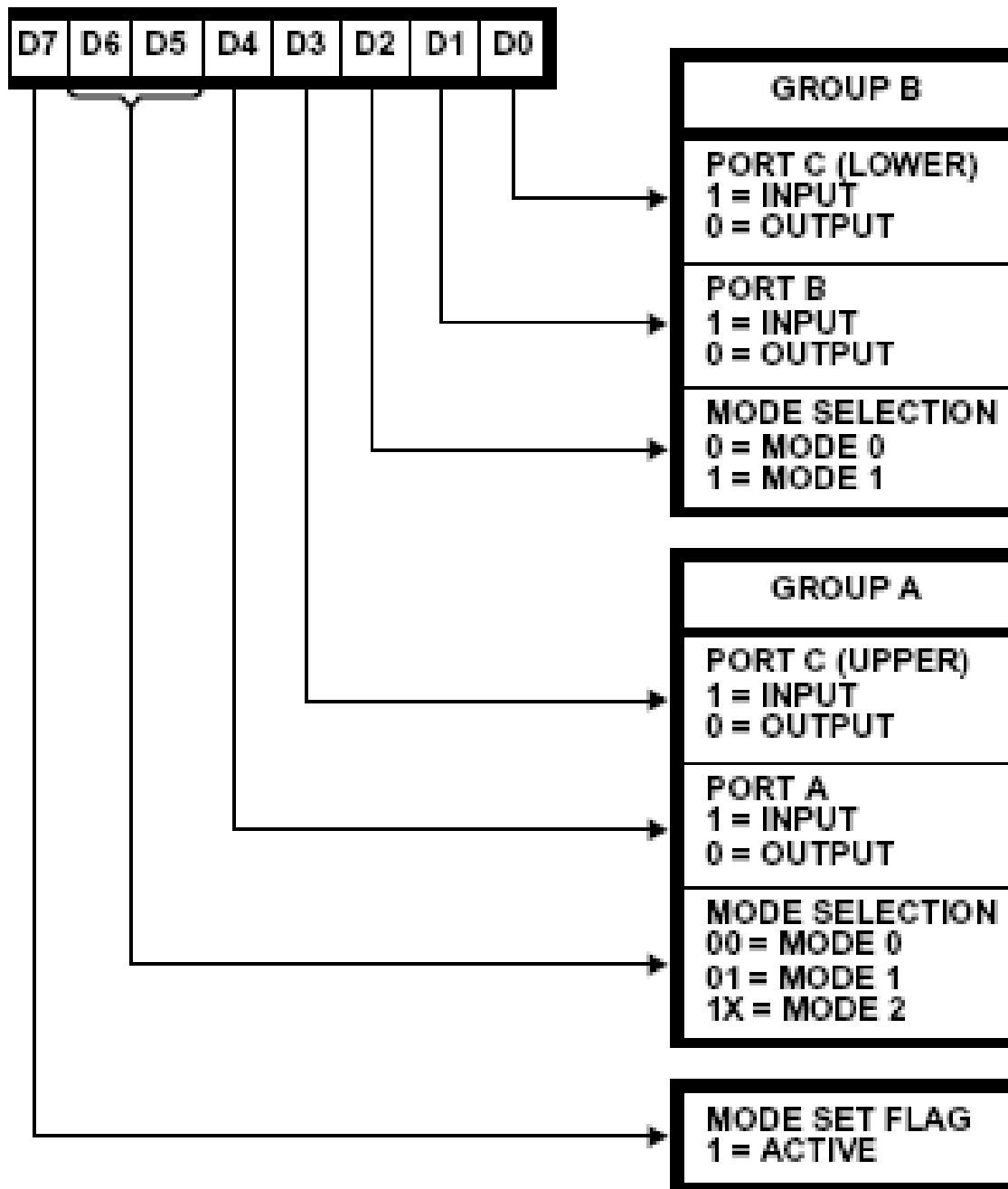




Wykorzystanie portów układu 8255 w różnych modach pracy

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

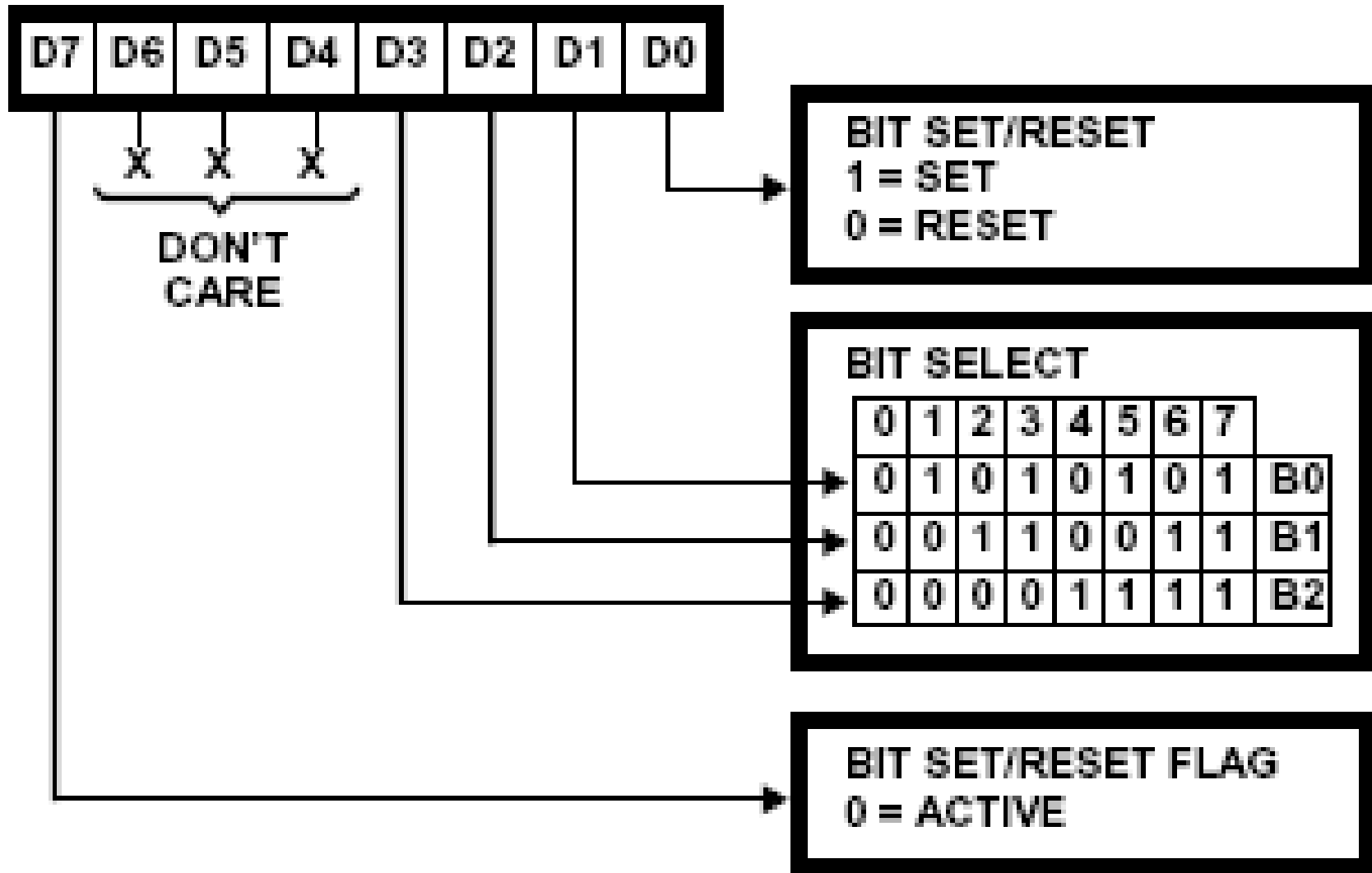
CONTROL WORD



Format słowa sterującego układu 8255

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

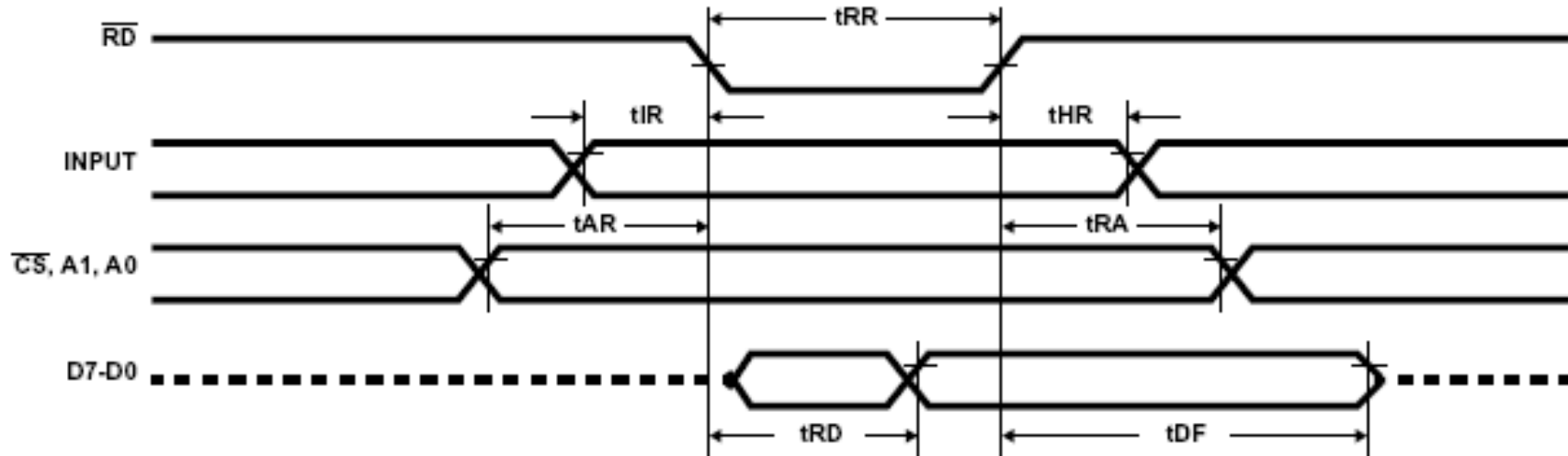
CONTROL WORD



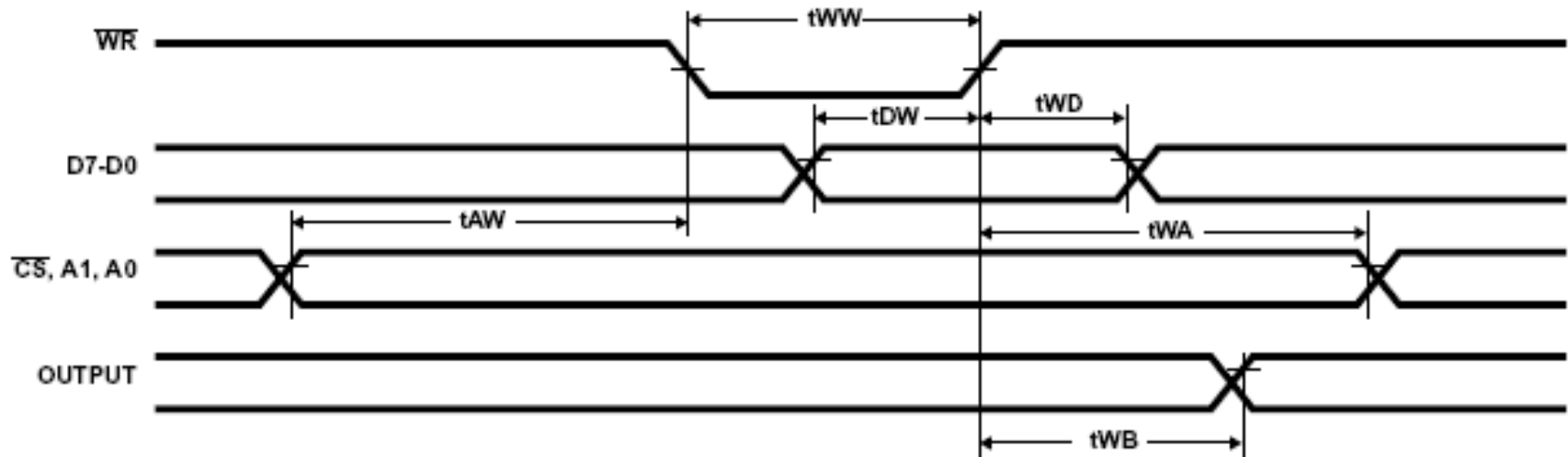
Indywidualne ustawianie-kasowanie bitów portu C

Mode 0 (Basic Input) Tryb 0- wejście

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



Mode 0 (Basic Output) Tryb 0- wyjście



Przebiegi czasowe dla trybu zerowego (zwykły port wejściowy-wyjściowy, bez potwierdzeń)

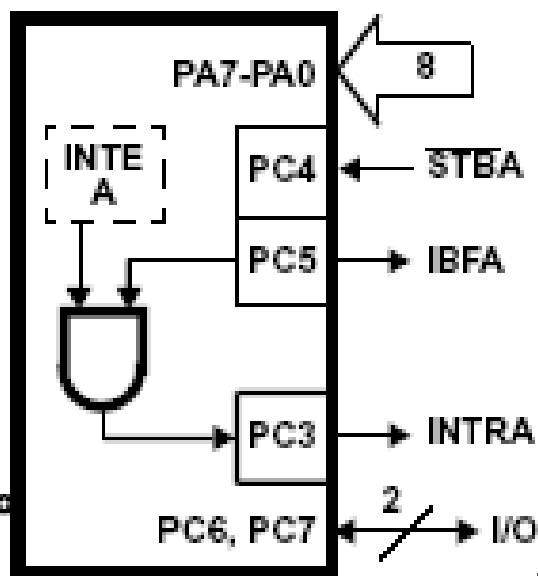
CONTROL WORD

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1	1/0	X	X	X

PC6, PC7
1 = INPUT
0 = OUTPUT

RD → c

MODE 1 (PORT A)



Tryb 1 wejściowy

INTE A

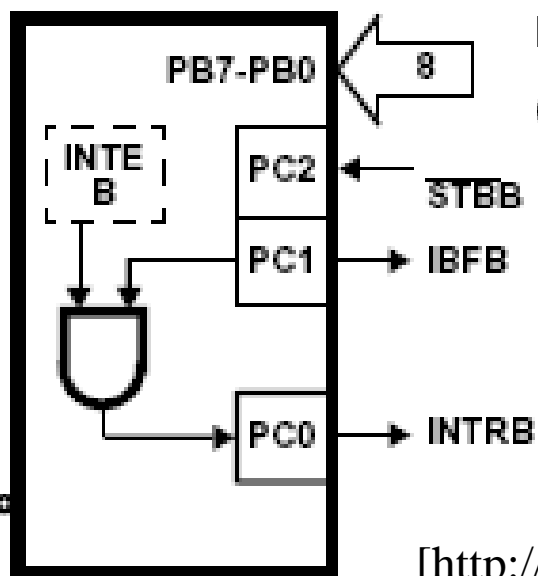
Controlled by bit set/reset of PC4.

CONTROL WORD

D7	D6	D5	D4	D3	D2	D1	D0
1	X	X	X	X	1	1	X

RD → c

MODE 1 (PORT B)



INTE B

Controlled by bit set/reset of PC2.

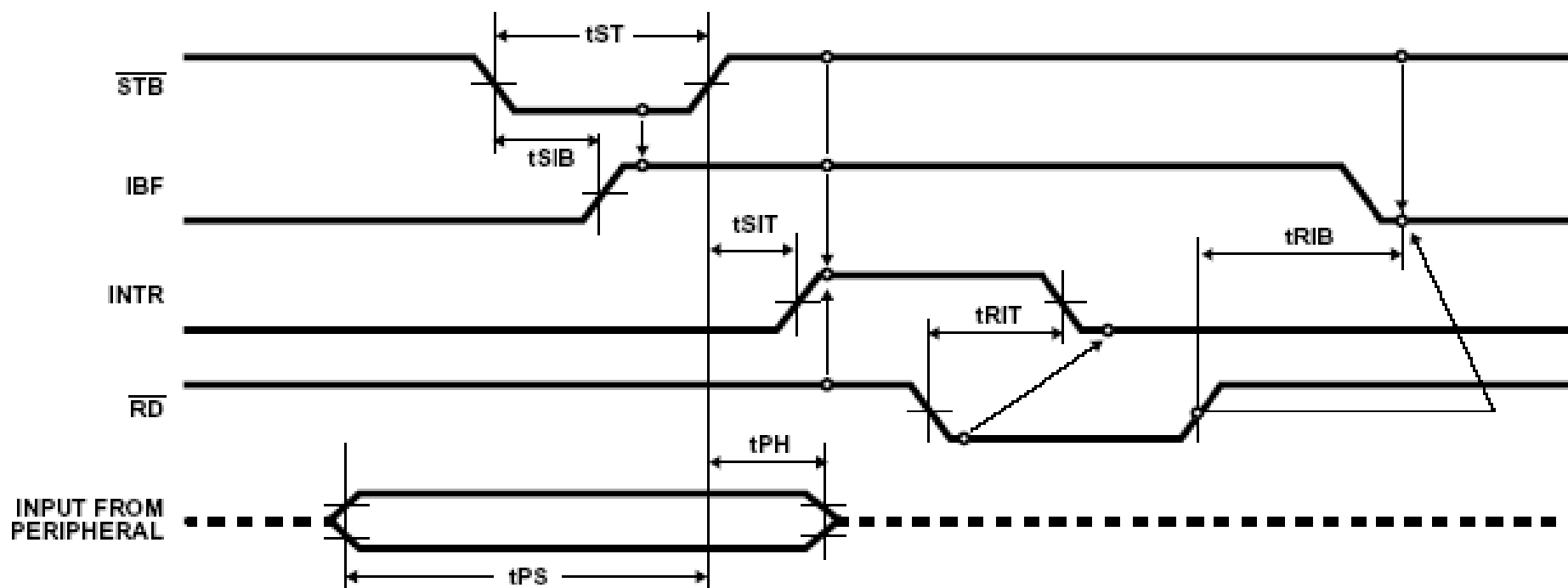


FIGURE 7. MODE 1 (STROBED INPUT)

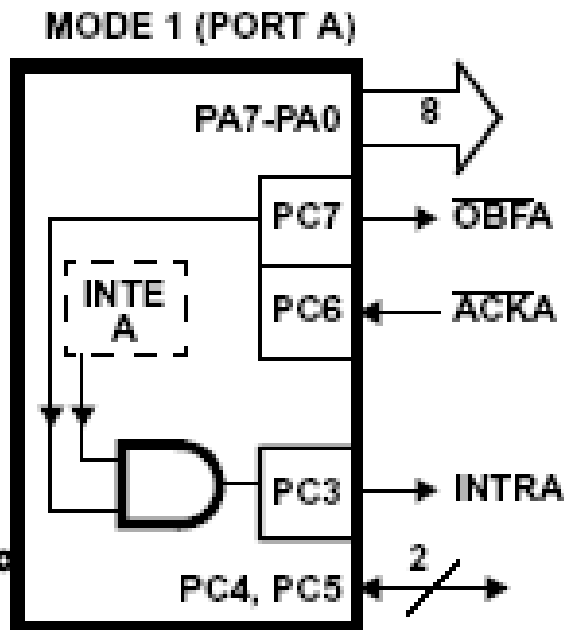
Tryb 1 wejściowy- przebiegi czasowe

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



PC4, PC5
1 = INPUT
0 = OUTPUT

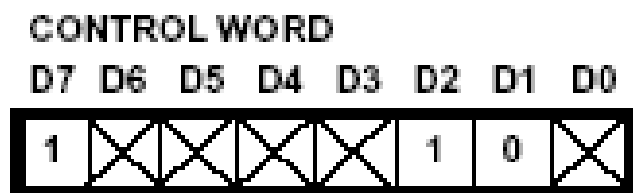
\overline{WR} → C



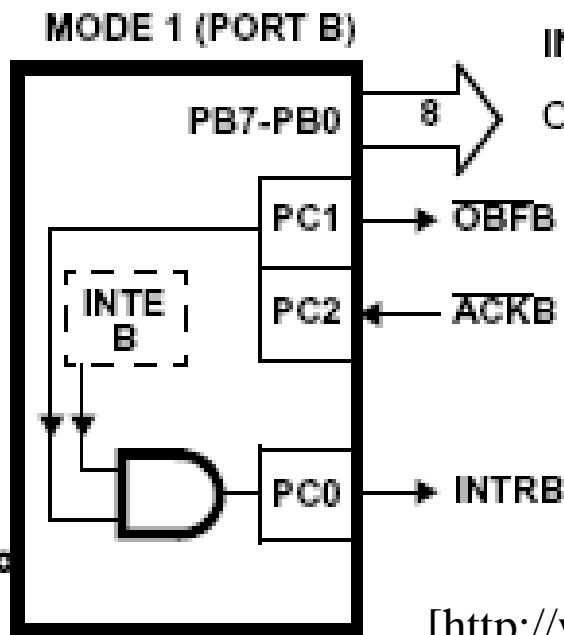
Tryb 1 wyjściowy

INTE A

Controlled by Bit Set/Reset of PC6.

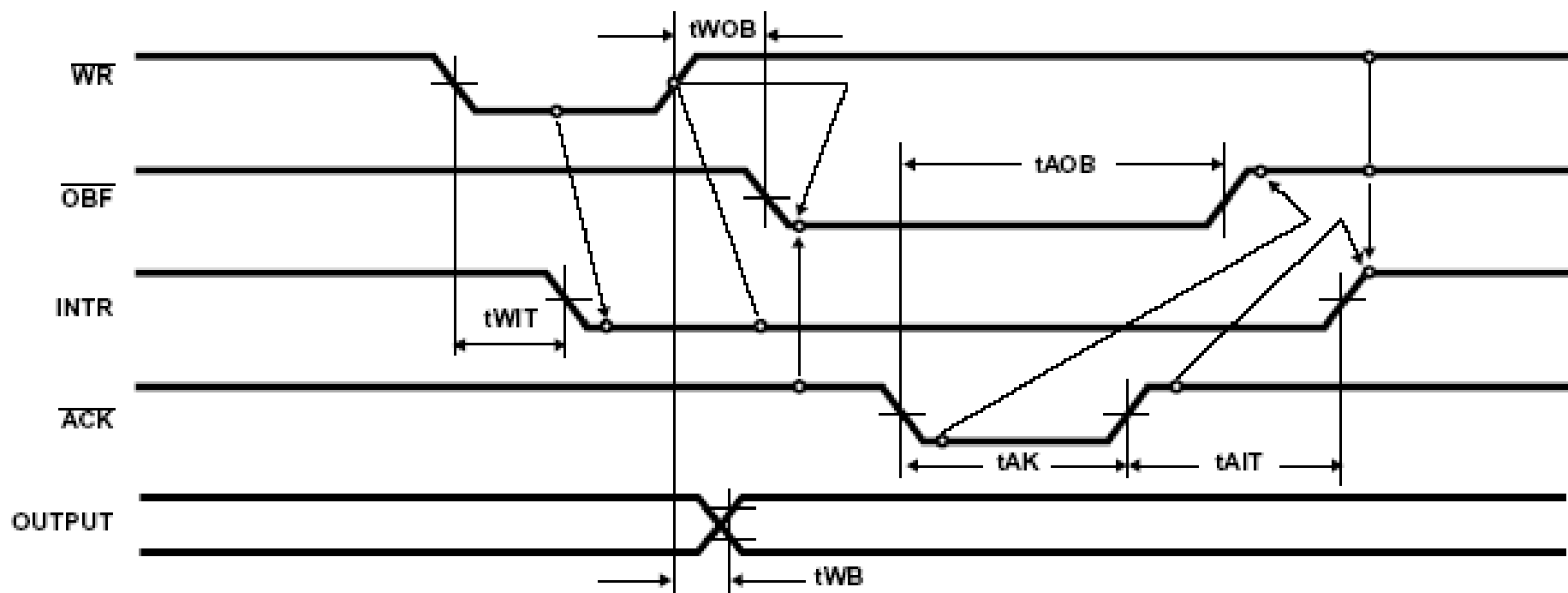


\overline{WR} → C



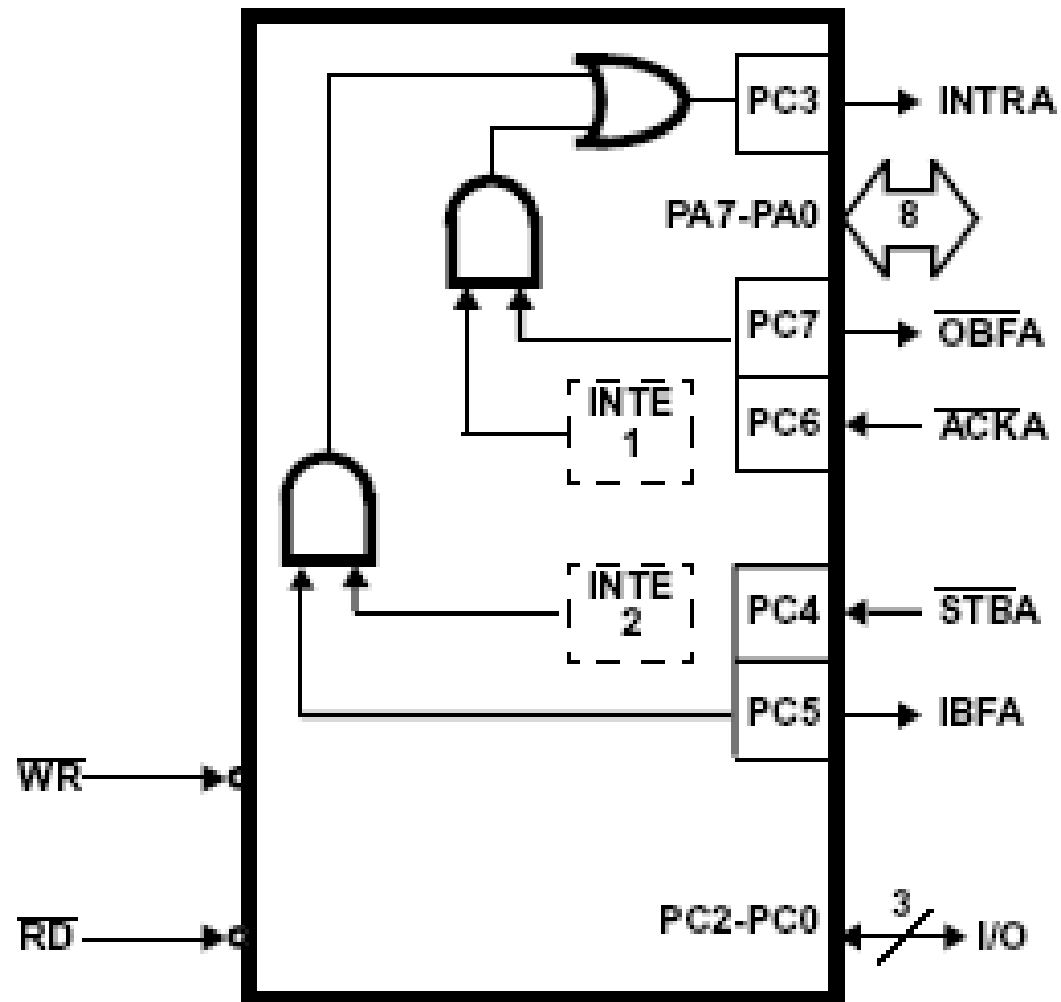
INTE B

Controlled by Bit Set/Reset of PC2.



Tryb 1 wyjściowy- przebiegi czasowe

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

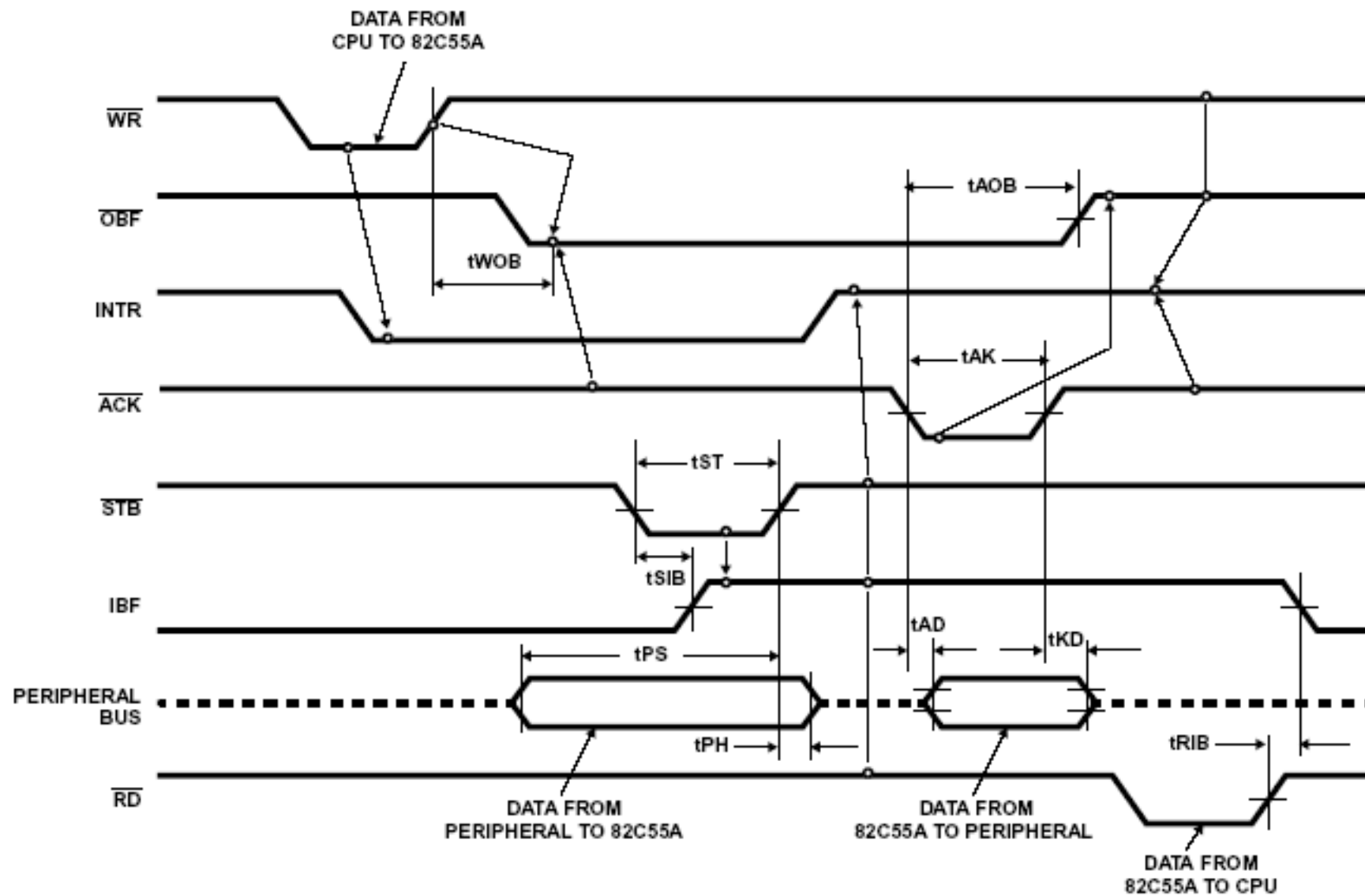


Tryb 2 portu A

FIGURE 12. MODE 2

INTE 1 - (The INTE flip-flop associated with $\overline{\text{OBF}}$). Controlled by bit set/reset of PC4.

INTE 2 - (The INTE flip-flop associated with IBF). Controlled by bit set/reset of PC4.



Tryb 2 portu A, przebiegi czasowe

Timing Waveforms (Continued)

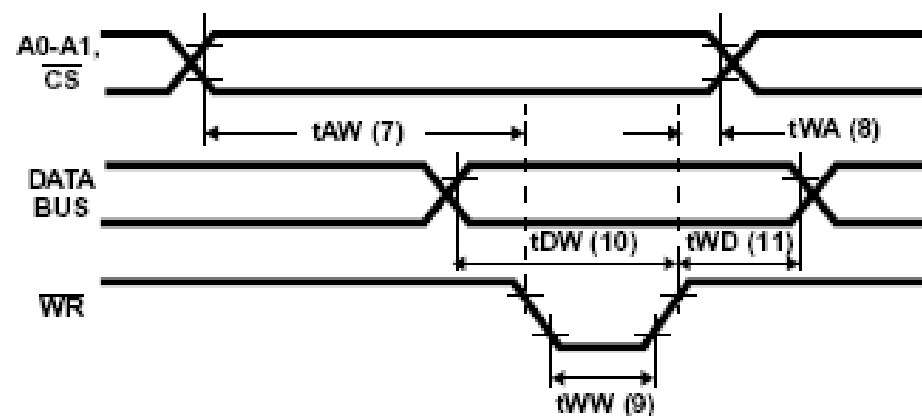


FIGURE 30. WRITE TIMING

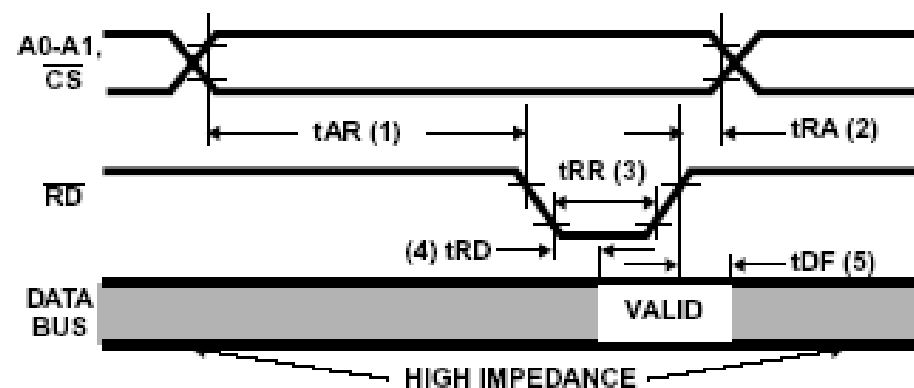


FIGURE 31. READ TIMING

Przebiegi czasowe zapisu i odczytu układu 8255 przez mikroprocesor

Programowanie układu 8255 w asemblerze Z80

port A- tryb 1 wyjście,

port B- tryb 1 wejście,

wolne bity portu C- wyjścia,

Odmaskowanie przerwania od obu portów.

Układ zajmuje lokacje adresowe: **FF00-FF03** w przestrzeni pamięci.

Słowo sterujące ustawiające tryby pracy:

1	tryb A	PA-I/O	PC4-7	tryb B	PB-I/O	PC0-3	
1	0	1	0	0	1	1	0

Słowo sterujące A6 hex

Aby odmaskować przerwania należy wysłać sterujące ustawiające bity:

PC2

0	X	X	X	numer bitu	set/reset
---	---	---	---	------------	-----------

0	0	0	0	0 1 0	1
---	---	---	---	-------	---

Słowo sterujące- 05 hex

PC6

0	X	X	X	numer bitu	set/reset
---	---	---	---	------------	-----------

0	0	0	0	1 1 0	1
---	---	---	---	-------	---

Słowo sterujące- 0D hex

Po zaprogramowaniu odczytać port B i odczytaną daną zapisać na port A.

W asemblerze Z80 liczby heksadecymalne poprzedza znak „#”, brak „#” oznacz liczbę dziesiętną, przeliczaną podczas asemblacji (zamiany na kod maszynowy) na liczbę heksadecymalną.

Przykład programu w asemblerze Z80:

LD HL, #FF03 ; załadowanie do rejestru HL adresu rejestru sterującego

LD (HL),#A6 ; wysłanie słowa sterującego stawiającego tryby pracy portów

LD (HL),#05 ; odmaskowanie przerwań od portu B

LD (HL),#0D ; odmaskowanie przerwań od portu A

LD HL,#FF01 ; załadowanie do rejestru HL adresu portu B

LD A,(HL) ; odczyt danej do akumulatora

LD HL,#FF00 ;załadowanie do rejestru HL adresu portu A

LD (HL),A; wysłanie na port A zawartości akumulatora czyli liczby odczytanej z portu B

UWAGA!

Program nie korzystał z obsługi przerwań, odczyt danej z portu B mógł nastąpić dopiero po zapisie danej na port sygnałem **STB**, po zapisaniu danej na port B pojawił **IBF**.

Przepisanie danej na port A spowodowało aktywację sygnału **OBF**, powinien pojawić się sygnał **ACK** od zewnętrznego urządzenia odczytującego daną z portu A

Przyjmujemy, że:

Układ zajmuje lokacje adresowe: **F0-F3** w przestrzeni pamięci.

LD A,#A6 ;zapis do rejestru A słowa sterującego ustawiającego tryby pracy portów

OUT (#F3),A ; wysłanie słowa sterującego pod adres rejestru sterującego

LD A,#05 ;załadowanie do A słowa odmaskowującego przerwania od portu B

OUT (#F3),A ;wysłanie

LD A,#0D ;załadowanie do A słowa odmaskowującego przerwania od portu A

OUT (#F3),A ;wysłanie

LD C,#F1 ; załadowanie do C adresu portu B

IN E,(C) ;odczyt danej z portu B do rejestru E

LD C,#F0 ;załadowanie do C adresu portu A

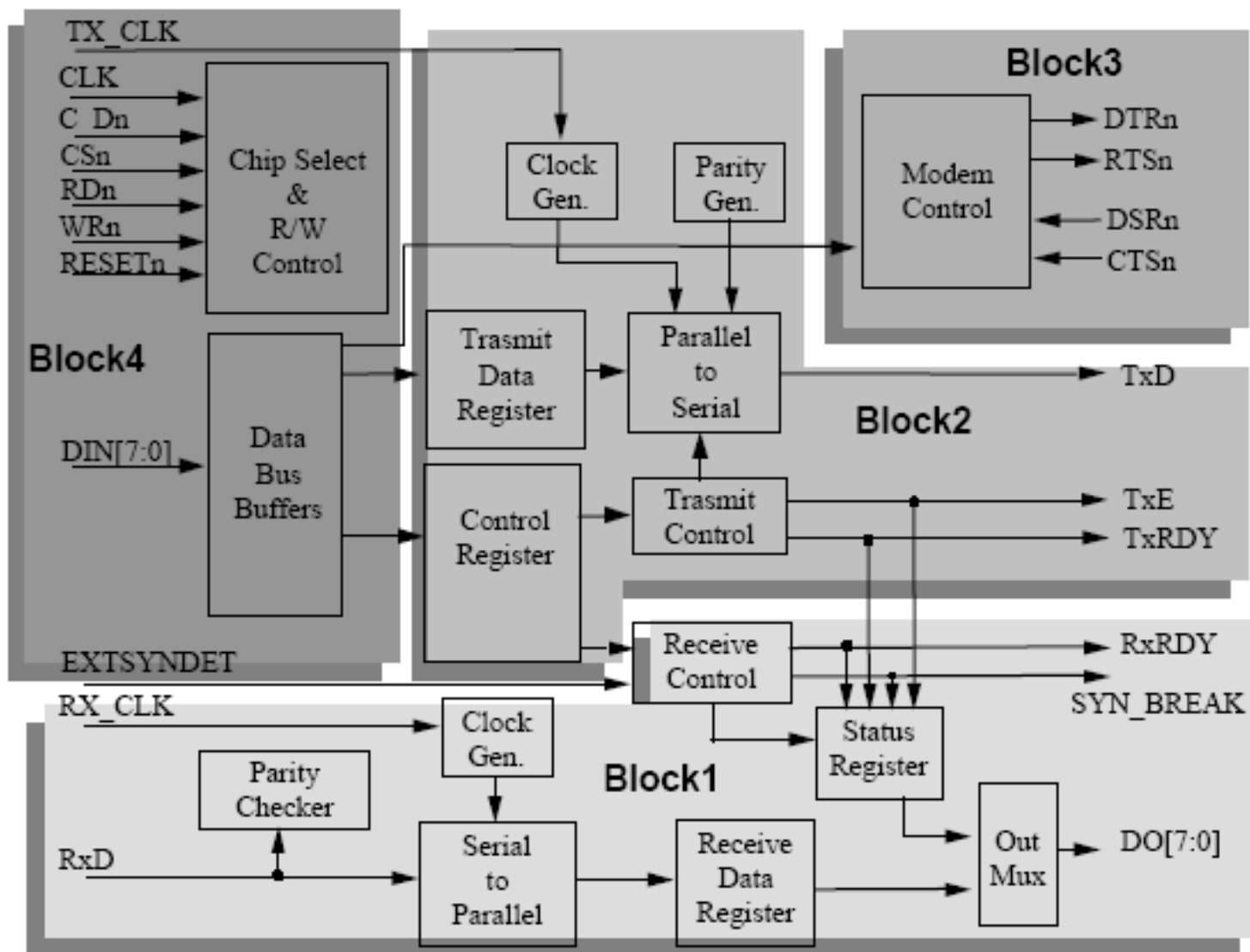
OUT (C),E ;wysłanie danej z rejestru E na port A

Programowalny interfejs portu szeregowego 8251C

intel.

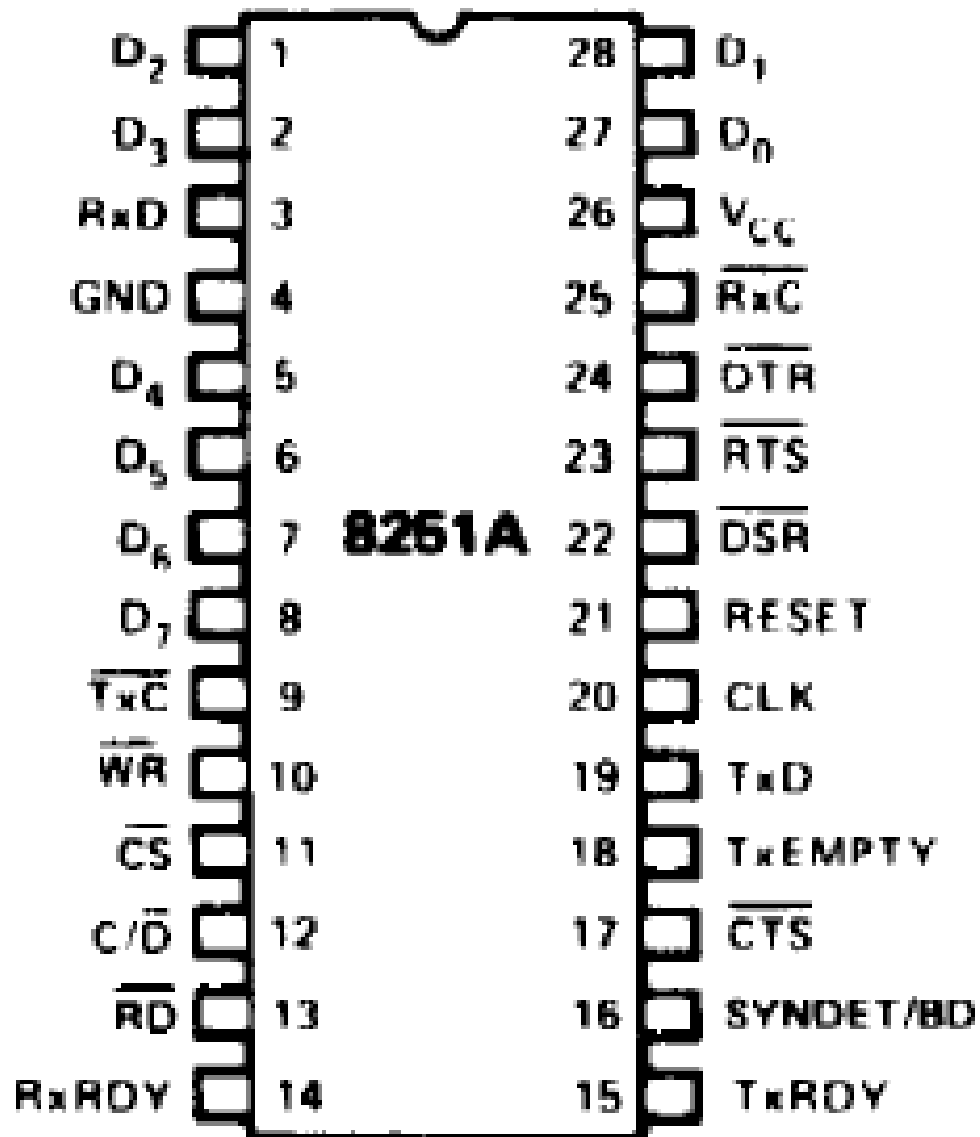
8251A

PROGRAMMABLE COMMUNICATION INTERFACE



Schemat blokowy układu 8251

[<http://www.moxsyn.com/Altera/c8251.pdf>]



Wyprowadzenia układu 8251C

Wyprowadzenia układu 8251C

RESET- zerowanie układu aktywne stanem niskim

CLK- taktowanie układu

TX_CLK- zegar nadajnika

RX_CLK- zegar odbiornika

RD- aktywny stanem niskim strob odczytu

WR- aktywny stanem niskim strob zapisu

CS- aktywny stanem niskim sygnał wyboru układu

C/D- wybór rodzaju dostępu (rejstry kontrolne/rejestr danych)

EXTSYNDET, we-wy- zewnętrzny sygnał detekcji synchronizacji lub braku synchronizacji

D0-D7- 8-mio bitowa magistrala danych

TxD- wyjście danych nadajnika szeregowego

RxD- wejście danych odbiornika szeregowego

CTS- wejście modemowe Clear to Send (aktywne stanem niskim)

DSR- wejście modemowe Data Set Ready (aktywne stanem niskim)

TxE- nadajnik pusty (aktywny stanem niskim)

RTS- wyjście modemowe Request to Send (aktywne stanem niskim)

DTR- wyjście modemowe Data Terminal Ready (aktywne stanem niskim)

TxRDY- wyjście nadajnik gotowy

RxRDY- wyjście odbiornik gotowy

Komunikacja z układem 8251

C/D	\overline{RD}	\overline{WR}	\overline{CS}	
0	0	1	0	8251A DATA → DATA BUS
0	1	0	0	DATA BUS → 8251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3-STATE
X	X	X	1	DATA BUS → 3-STATE

[[http://www.abandah.com/gheith/wp-content/uploads/2011/02/8251A Datasheet.pdf](http://www.abandah.com/gheith/wp-content/uploads/2011/02/8251A_Datasheet.pdf)]

Wysterowanie linii **C/D** na **1** powoduje iż przy zapisie układu możliwy jest dostęp do słowa trybu i słowa sterującego, przy odczycie dostępny jest stan rejestru statusowego.

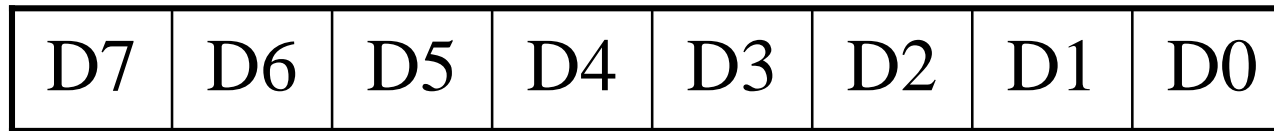
Gdy linia ta jest w stanie **niskim** przy zapisie następuje wpis do bufora nadajnika, przy odczycie odczyt bufora odbiornika szeregowego.

Format słowa trybu dla pracy asynchronicznej



- D3 D2 - długość słowa
00 - 5 bitów
01 - 6 bitów
10 - 7 bitów
11 - 8 bitów

- D1 D0 wybór szybkości transmisji
00 - zarezerwowane dla tr. synchronicznej
01 - $k = 1$
10 - $k = 16$
11 - $k = 64$

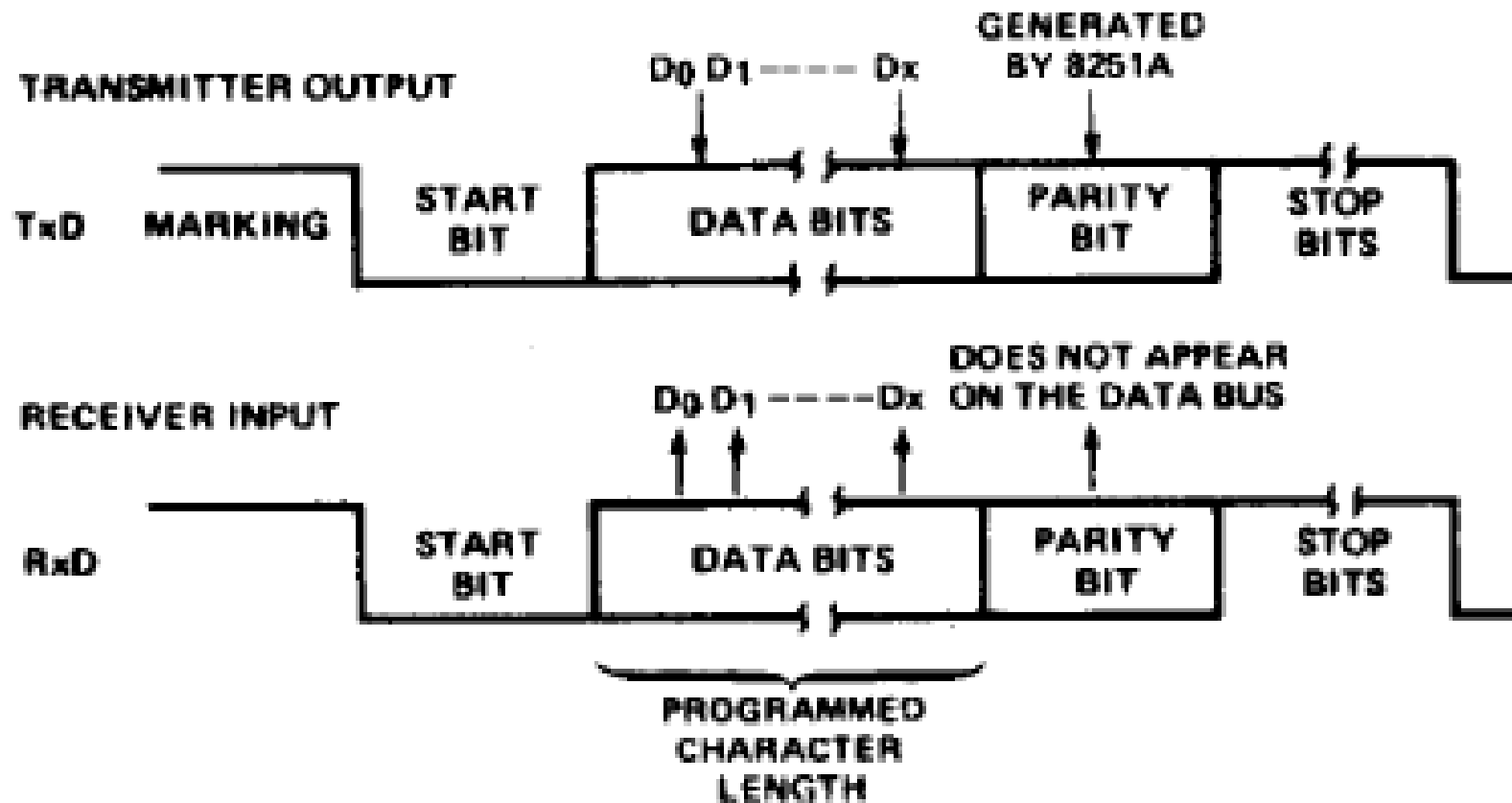


D5 - rodzaj kontroli
0 - bit nieparzystości
1 - bit parzystości

. D4 - zezwolenie na kontrole parzystości/nieparzystości
0 - kontrola
1 - nie ma zezwolenia na kontrolę

D6 D7 - długość bitu stopu
00 - zabronione
01 - 1 bit stopu
10 - 1,5 bitu stopu
11 - 2 bity stopu

Ramka transmisji asynchronicznej



Słowo trybu dla pracy synchronicznej

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D3 D2 - długość słowa

00 - 5 bitów

01 - 6 bitów

10 - 7 bitów

11 - 8 bitów

D1 D0 – 00- tryb syn.

DD4 - zezwolenie na
kontrolę

parzystości/nieparzystości

0 - kontrola poprawności

1 - nie ma zezwolenia na
kontrolę

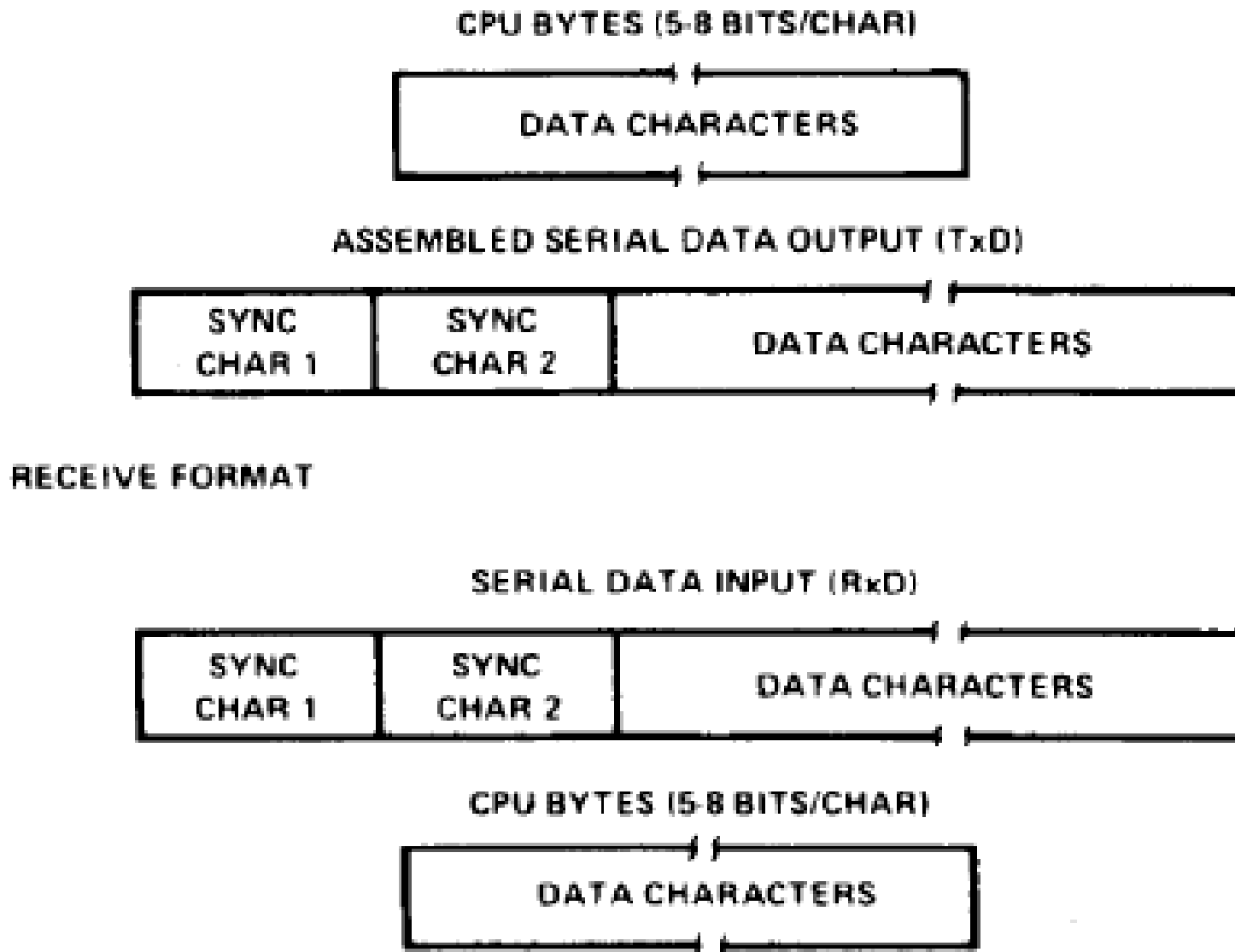


D7 - ilość znaków
synchronizujących
0 - pojedynczy znak
1 - dwa znaki

D6 - rodzaj
synchronizacji
0 - SYNDET jako wy-
- synchronizacja
wewnętrzna
1 - SYNDET jako we-
- synchronizacja
zewnętrzna

D5 - rodzaj kontroli
0 - bit nieparzystości
1 - bit parzystości

Ramka transmisji synchronicznej



Słowo sterujące

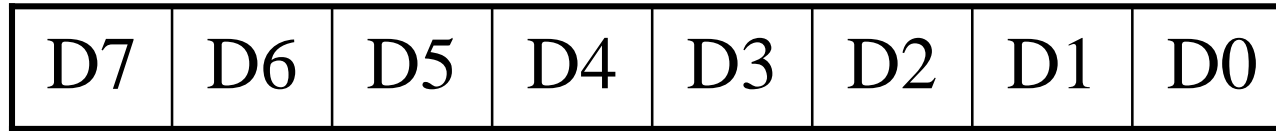
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D1 - DTR- wymusza zmianę na wyjściu DTR (1 - 0)

· D3 - SBRK- wymusza stan niski na linii TxD

D0 – TXen- odblokowanie nadajnika

· D2 - RXen- odblokowanie odbiornika



- D5 – RTS- wymusza zmianę na wyprowadzeniu RTS (1 - 0)

- D7 – EH - synchronizacja wewnętrzna (dotyczy transmisji synchronicznej)

D4 - ER- zerowanie błędów PE,OE,FE w rejestrze statusu

D6 -IR- wymusza zerowanie układu i możliwość ponownego wpisu słowa modu

Słowo statusowe

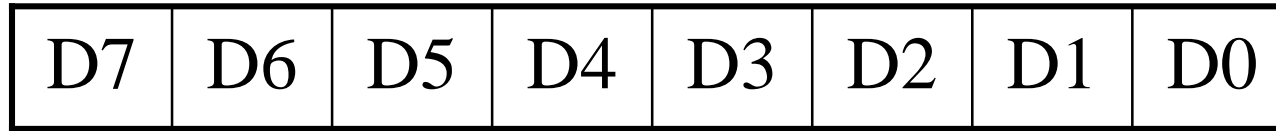
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D1 – RxRDY - znak przepisany z wejścia szeregowego do rejestru buforowego

· D3 – PE - wystąpił błąd parzystości

D0 – TxRDY- nastąpiło przepisanie bajtu z rejestru buforowego (rejestr nadajnika pusty)

D2 - TxE (odzwierciedla stan wyprowadzenia o tej samej nazwie)



. D5 – FE- wystąpił błąd bitu stopu

D4 – OV - wystąpił błąd przepełnienia

D7 – DSR - aktywna linia DSR

D6 -SYNDET/BREAKDETECTED (powtórzenie stanu wyprowadzenia)

Programujemy układ 8251 do transmisji asynchronicznej 8-bitowej bez kontroli parzystości z jednym bitem stopu i prędkością transmisji CLK/64.

Układ lokowany w przestrzeni pamięci pod adresami 8000 hex (dane) i 8001 hex (słowo modu i sterujące)

Słowo sterujące

D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	1	1	1	1

5F hex

Słowo sterujące (włącz odbiornik i nadajnik)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	0	1

05 hex

LD HL,#8001 ; wpisz do HL adres rejestru trybu

LD (HL),#5F ; wpisz słowo trybu

LD (HL),#05 ;wpisz słowo sterujące

LD HL,#8000 ;wpisz adres rejestru danych

LD A,(HL) ; odczytaj na akumulator bufor odbiornika

LD (HL),A ;zapisz bufor nadajnika

LD HL,#8001 ; wpisz do HL adres rejestru słowa sterującego

LD (HL),#40 ; zerowanie układu można na nowo wpisać tryb pracy układu

Technika mikroprocesorowa I

Studia niestacjonarne rok II

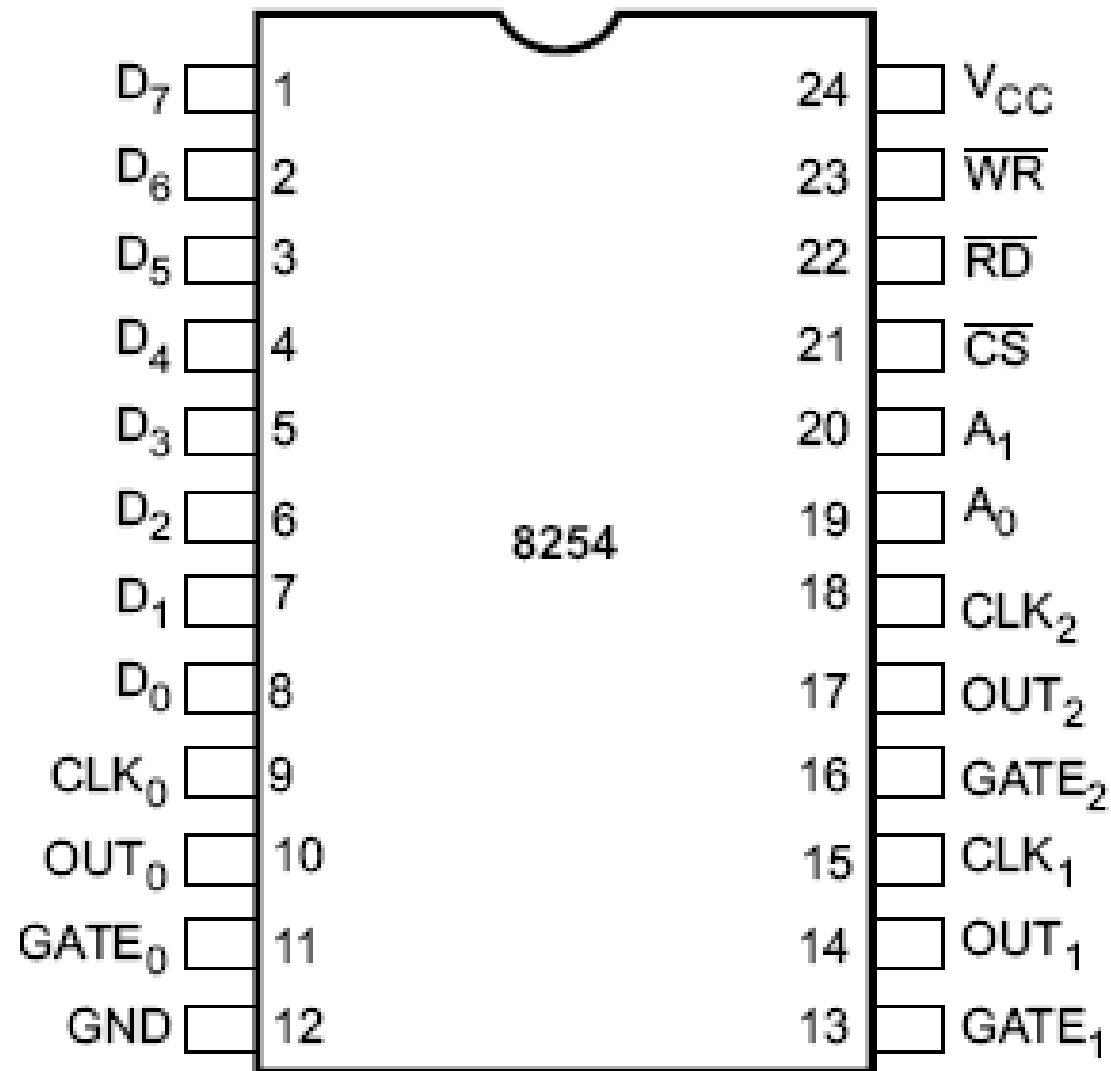
Wykład 4

Układ czasowo licznikowy 8253 INTEL

8253	8254
1. Operating frequency 0 - 2.6 MHz.	1. Operating frequency 0 - 10 MHz.
2. Uses N-MOS technology.	2. Uses H-MOS technology.
3. Read-Back command not available.	3. Read-Back command available.
4. Reads and writes of the same counter can not be interleaved.	4. Reads and writes of the same counter can be interleaved.

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

Wyprowadzenia układu



[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

D0-D7: 8-bitowa magistrala danych,

CS: aktywacja układu (aktywny stanem niskim),

A0, A1: wybór jednej z czterech lokacji zajmowanych przez układ (licznik0, licznik1, licznik2, rejestr kontrolno-sterujący),

RD- strob odczytu (aktywny stanem niskim),

WR- strob zapisu (aktywny stanem niskim),

CLKi- wejście zegara licznika $i=0$ lub 1 lub 2 ,

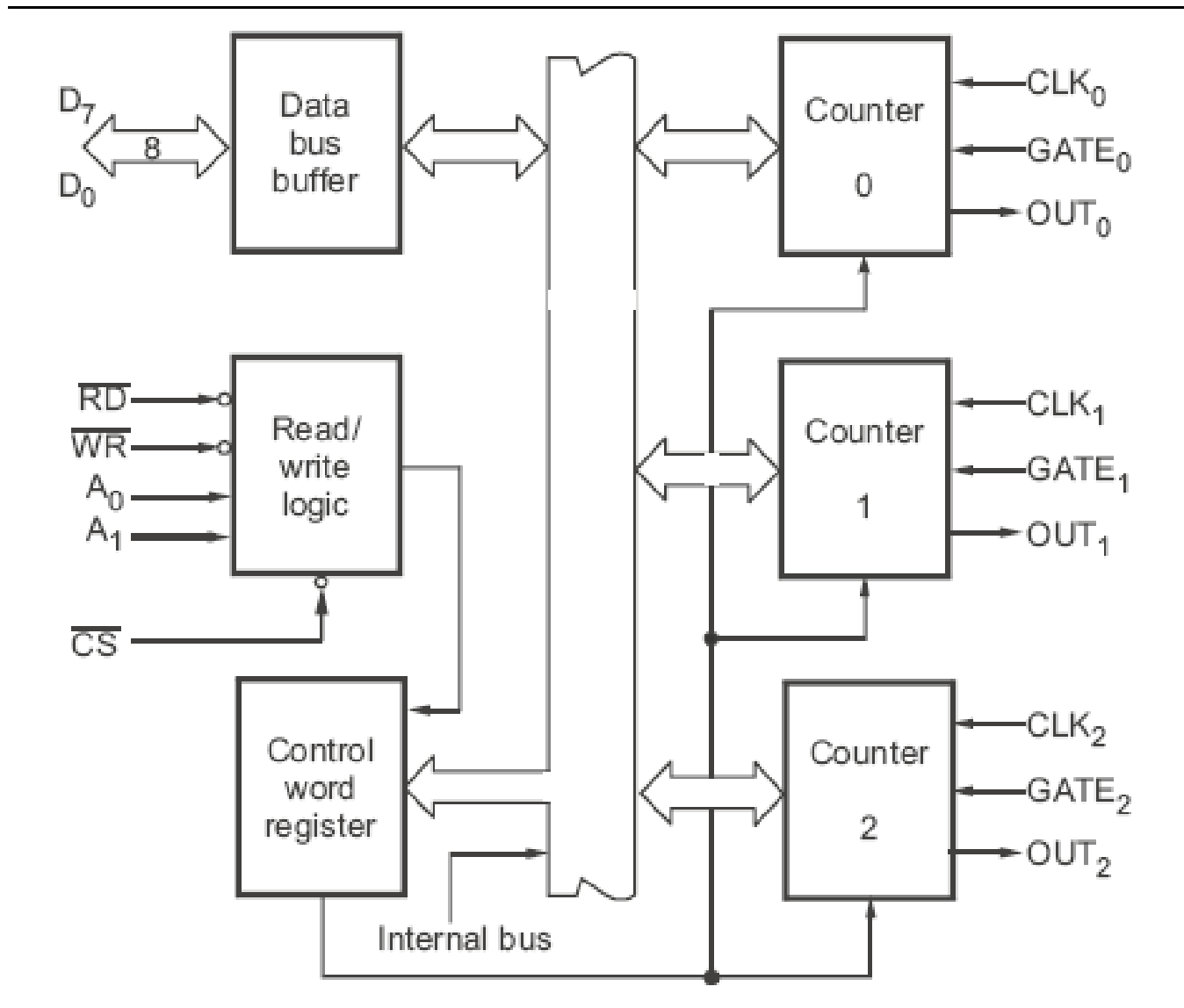
OUTi- wyjście licznika i ,

GATEi- wejście bramkujące zliczaniem licznika i .

A_1	A_0	Selection
0	0	Counter 0
0	1	Counter 1
1	0	Counter 2
1	1	Control word Register

Adresacja liczników i słowa kontrolnego

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]



Schemat blokowy układu 8253

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC ₁	SC ₀	RW ₁	RW ₀	M ₂	M ₁	M ₀	BCD

SC - Select counter

SC₁ SC₀

0	0	Select counter 0
0	1	Select counter 1
1	0	Select counter 2
1	1	Illegal for 8253 Read -Back command for 8254 (See Read operations)

M - Mode

M₂ M₁ M₀

0	0	0	Mode 0
0	0	1	Mode 1
x	1	0	Mode 2
x	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

RW - Read /Write

RW₁ RW₀

0	0	Counter latch command (See Read operations)
0	1	Read / Write least significant byte only
1	0	Read / Write most significant byte only
1	1	Read / write least significant byte first, then most significant byte

BCD :

0	Binary counter 16 - bits
1	Binary coded decimal (BCD) Counter (4 Decades)

Słowo sterujące układu 8253

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

SC1, SC0: umożliwiają indywidualne programowanie każdego z liczników,

RW1, RW0- tryb dostępu do liczników lub zatrzymywanie wartości zliczonej,

M2, M1, M0- wybór trybu pracy,

BCD- zliczanie binarne lub dziesiętne.

Tryby pracy układu

Tryb 0 – Przerwanie po odliczeniu żądanej liczby impulsów.

W stanie początkowym wyjście OUT znajduje się w stanie 0. Po załadowaniu do licznika wartości początkowej, licznik zaczyna zliczać. W chwili gdy licznik się wyzeruje następuje przejście wyjścia OUT do stanu wysokiego.

Tryb 1 – Programowalny uniwibrator.

W stanie początkowym wyjście układu OUT jest w stanie wysokim. Po wystąpieniu narastającego zbocza na wejściu GATE, wyjście OUT zmienia stan na niski, który będzie trwał do końca zliczania impulsów taktujących. Po wyzerowaniu licznika wyjście OUT ponownie przechodzi w stan wysoki.

Tryb 2 – Programowalny dzielnik częstotliwości.

Jak w trybie 1 aż do chwili gdy licznik osiągnie wartość jeden (przed wyzerowaniem). Wyjście OUT, które znajdowało się dotychczas w stanie wysokim, zostaje wówczas sprowadzone do niskiego poziomu na czas jednego okresu przebiegu taktującego. Następuje ponowne załadowanie licznika wartością i wykonanie całego cyklu.

Tryb 3 – Generator fali prostokątnej.

Tryb 4 – Generator impulsu wyzwalanego programowo.

Tryb 5 – Generator impulsu wyzwalany sprzętowo.