

# Bramki logiczne

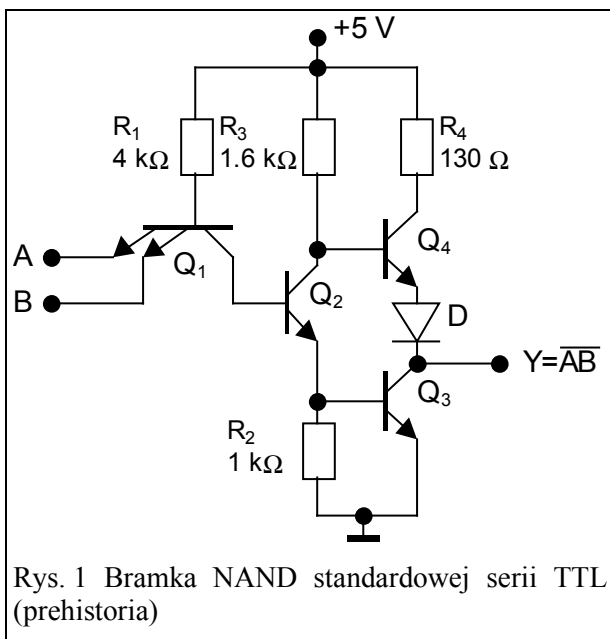
Układy logiczne opisywane przez algebrę Boole'a mogą być praktycznie realizowane z wykorzystaniem cyfrowych bramek logicznych, dostępnych w postaci układów scalonych. W układach tych zmienne logiczne („0” i „1”) są reprezentowane poprzez odpowiednie poziomy napięcie (najczęściej odpowiednio przez niski i wysoki poziom napięcia). Obecnie istnieje na rynku bardzo wiele rodzin cyfrowych układów scalonych, różniących się między sobą zarówno technologią wykonania (układy bipolarne oraz MOS), jak i zewnętrznymi parametrami elektrycznymi (poziomy logiczne, czasy propagacji, maksymalna częstotliwość pracy, pobór mocy itp.). Kolejne rodziny układów cyfrowych stanowią odzwierciedlenie postępu, jaki dokonuje się w dziedzinie projektowania układów scalonych (pierwsze bramki logiczne serii TTL zostały wprowadzone w roku 1965), w związku z czym wiele z tych rodzin ma obecnie jedynie znaczenie historyczne i nie jest zalecanych do wykorzystywania we współcześnie opracowywanych konstrukcjach. (Mimo to z nie całkiem jasnych przyczyn układy te są w dalszym ciągu Niemniej jednak znajomość podstawowych koncepcji leżących u podstaw poszczególnych rodzin układów cyfrowych z pewnością nie jest szkodliwa a ponadto może być wykorzystana do przedstawienia najważniejszych zasad, których znajomość jest konieczna do praktycznego wykorzystywania z powodzeniem scalonych układów cyfrowych. Ponadto wiele wejść i wyjść różnych złożonych układów scalonych zachowuje standardy odnośnie poziomów logicznych charakterystycznych dla starszych wersji układów cyfrowych pomimo tego, że układy te są wykonane w zupełnie innej technologii.

Obecnie największe znaczenie mają cyfrowe układy scalone wykonane w technologii CMOS, wykorzystującej komplementarne tranzystory MOS z kanałem zubażonym typu N i P. Ponadto istnieje tendencja do obniżania napięcia zasilającego, co jest związane z obniżaniem poboru mocy oraz dążnością do zmniejszenia poziomu zakłóceń wytwarzanych przez układy cyfrowe. Dawniej typową wartością dla układów cyfrowych było 5 V, teraz jest to 3.3 V, przy czym istnieją też układy, które zasilane są napięciem 2.5 V, czy też 1.8 V. Dotyczy to zwłaszcza złożonych układów cyfrowych, takich jak różnego typu procesory czy logiczne układy programowalne. Układy takie określa się mianem logiki niskonapięciowej (ang. low voltage), a w ich oznaczeniach występują symbole LV lub L (np. MC74LVX00).

Dla osób zainteresowanych głębiej tematyką związaną z cyfrowymi układami scalonymi oraz praktycznymi zasadami konstruowania złożonych systemów cyfrowych można polecić bogatą literaturę dostępną na stronach internetowych producentów, takich jak Texas Instruments ([www.ti.com](http://www.ti.com)) czy ON Semiconductors ([www.onsemi.com](http://www.onsemi.com)).

## 1. Układy TTL (ang. Transistor Transistor Logic)

Bramki TTL zostały wprowadzone w 1965 roku (40 lat temu !!!) i od tego czasu na podstawie ich struktury wyewoluowało sporo konstrukcji pochodnych, o większej szybkości przełączania i zmniejszonym poborze mocy. Podstawową bramką w serii układów TTL jest dwuwejściowa bramka NAND, której schemat jest przedstawiony na Rys. 1.



Rys. 1 Bramka NAND standardowej serii TTL (prehistoria)

Nie wnikając w zbytne szczegóły działania tej bramki można wyjaśnić w następujący sposób. Jeśli którekolwiek z wejść A lub B jest podłączone do niskiego potencjału względem masy (poniżej ok. 0.7 V), to tranzystor wieloemiterowy  $Q_1$  jest wprowadzany w stan nasycenia (gdyż jego prąd kolektora praktycznie nie może wtedy płynąć) co powoduje, że tranzystor  $Q_2$  jest zatkany (bo nie płynie prąd bazy). W takiej sytuacji przewodzi tranzystor  $Q_4$ , który pracuje jako wtórnik emiterowy i na wyjściu powstaje napięcie o ok. 1.4 V niższe od napięcia zasilania (spadek napięcia na diodzie D oraz złącza BE tranzystora  $Q_4$  i pomijając zależny od obciążenia układu niewielki spadek napięcia na rezystorze  $R_3$ ), czyli ok. 3.6 V. Jednocześnie tranzystor  $Q_3$  jest zatkany, gdyż tranzystor  $Q_2$ , który polaryzuje jego bazę, jest również zatkany. Tak więc niski poziom napięcia na dowolnym wejściu wytwarza na wyjściu wysoki poziom napięcia.

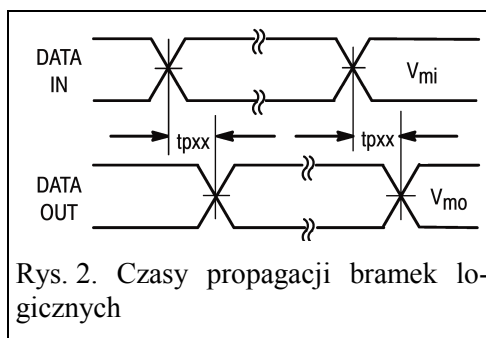
Sytuacja jest inna gdy obydwa wejścia są spolaryzowane napięciem wyższym niż ok. 2 V. Wtedy tranzystor  $Q_1$  zaczyna pracować w trybie inwersyjnym (rola końcówek emitera i kolektora ulega zamianie) a tranzystor  $Q_2$  wchodzi w stan nasycenia. powoduje to również nasycenie tranzystora  $Q_3$  i potencjał na wyjściu układu jest równy ok. 0.3 V. Obecność diody D jest w układzie konieczna, gdyż bez niej tranzystor  $Q_4$  by przewodził, powodując przepływ dużego prądu z zasilania do masy poprzez tranzystory  $Q_3$  i  $Q_4$ .

Na podstawie powyższej analizy oraz schematu można zauważyć, że z punktu widzenia zewnętrznych zaciśków bramka taka zachowuje się następująco:

- w stanie **niskim** z wejścia **wyplywa** prąd;
- w stanie **wysokim** do wejścia prąd **wplywa**;
- w stanie **wysokim** z wyjścia prąd **wplywa**;
- w stanie **niskim** wyjście może absorbować **prąd**.

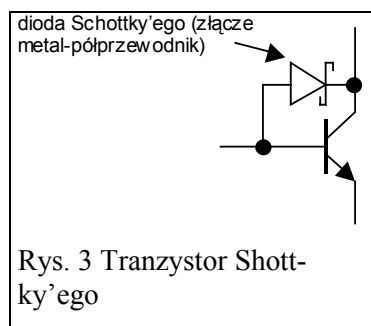
Cechy te są charakterystyczne dla wszystkich bramek logicznych z kategorii TTL, przy czym wartości prądów są różne dla różnych rodzin układów logicznych.

Z punktu widzenia szybkości pracy bramki TTL charakteryzują się czasem propagacji (czyli czasem potrzebnym na to, aby zmiana sygnału na wejściu z „0” na „1” lub odwrotnie spowodowała stosowną zmianę na wyjściu) rzędu 10 ns, natomiast maksymalna szybkość przełączania jest rzędu 20 MHz. Parametry dynamiczne podstawowej bramki TTL nie są na obecne czasy niczym rewelacyjnym, jednak 40 lat temu było to duże osiągnięcie. Rys. 2 ilustruje sposób określania czasów propagacji w układzie logicznym. Na rysunku tym w miejsce „xx” należy podstawić „LH” lub „HL” w zależności od tego, czy poziom logiczny zmienił się z niskiego na wysoki, czy też z wysokiego na niski. Czasy te w niektórych przypadkach nie są jednakowe (zwłaszcza dla złożonych funkcji logicznych, jak np. EXOR).



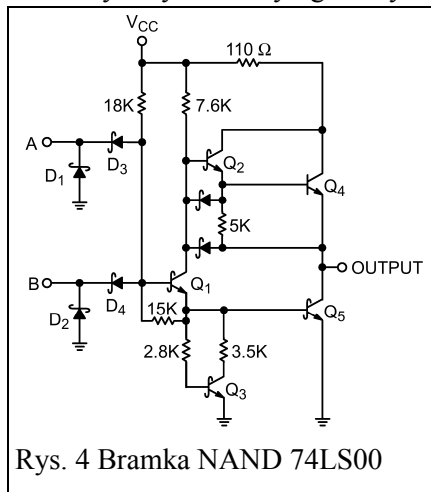
Rys. 2. Czasy propagacji bramek logicznych

Niska maksymalna częstotliwość pracy podstawowej bramki TTL jest spowodowana nasycaniem się tranzystorów w układzie (proszę przypomnieć sobie wykład o bipolarnym kluczu tranzystorowym i czasie przeciągania, związanym z wyłączaniem nasyconego tranzystora).



Nasycaenia się tranzystorów jest konieczne dla poprawnej pracy bramki tego typu, gdyż dzięki niemu są dobrze zdefiniowane wejściowe i wyjściowe poziomy logiczne w układzie. Nasycaenia się tranzystorów można uniknąć stosując zamiast zwykłych tranzystorów tak zwane tranzystory Schottky'ego (Rys. 3), w których złącze baza-kolektor jest zwarte przy pomocy diody Schottky'ego, której napięcie przewodzenia jest rzędu 0.3 V. Połączenie takie sprawia, że przy polaryzacji złącza BC tranzystora w kierunku przewodzenia (jak to się dzieje w obszarze nasycenia) wcześniej zaczyna przewodzić dioda, zmniejszając w ten sposób prąd bazy tranzystora. Przez to unika się głębokiego nasycenia i związanego z tym czasu przeciągania przy wyłączaniu, jednocześnie zachowując dobrze zdefiniowane napięcie kolektor-emiter przy silnym wystereowaniu tranzystora. Napięcie to w tranzystorze Schottky'ego wynosi ok. 0.5 V.

Tranzystory Schottky'ego stały się podstawą do konstrukcji kilku serii układów cyfrowych, mianowicie układów serii S (Schottky), LS (Low-power Schottky), AS (Advanced Schottky), ALS (Advanced LS), F (Fast), które w stosunku do układów standardowych oferują albo mniejszy pobór mocy, albo większą szybkość pracy, albo jedno i drugie. Ze względu na kompatybilność poziomów logicznych wszystkie układy typu TTL mogą być łączone ze sobą, co pozwala na zastępowanie układów starszych nowszymi. Wyjątkiem jest tutaj oczywiście kwestia czasu propagacji bramek, gdyż niekoniecznie jest możliwe zastąpienie bramki szybszej wolniejszą (np.: bramki serii AS przez bramkę ALS).



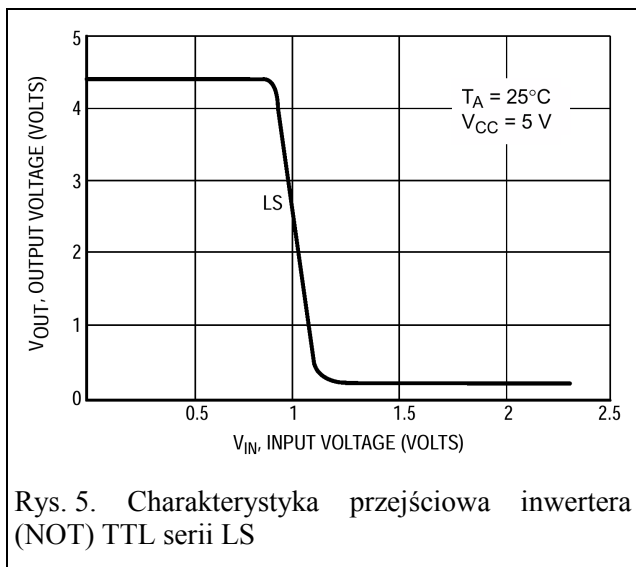
Rys. 4 Bramka NAND 74LS00

Schematy wewnętrzne bramek poszczególnych rodzin są podobne do standardowej bramki TTL, a różnice sprowadzają się do zastosowania tranzystorów Schottky'ego, niewielkich modyfikacji stopnia wejściowego bramek, zmian wartości rezystancji oraz zmniejszania rozmiarów tranzystorów wraz z doskonaleniem się możliwości technologicznych. Przykła-

dowy schemat bramki NAND typu 74LS00 jest przedstawiony na Rys. 4. Na schemacie tym można zauważyć, że wejściowy tranzystor wieloemiterowy  $Q_1$  z Rys. 1 zastąpiony tutaj został pełniącym analogiczną funkcję logiczną (funkcja AND) układem, złożonym z diod  $D_3$  i  $D_4$  oraz rezystora  $18\text{ k}\Omega$ .

## 2. Charakterystyki przejściowe i wyjściowe

Bramka logiczna jest w zasadzie wzmacniaczem. W przypadku wzmacniacza oczekujemy, żeby sygnał (napięcie) na jego wyjściu było wzmocnioną kopią wejścia, czyli interesuje nas praca w obszarze liniowym charakterystyki przejściowej. W przypadku układu logicznego interesuje nas coś całkowicie innego – chcemy, aby sygnał wyjściowy był stały, podczas gdy sygnał wejściowy może się nieco zmieniać (na przykład na skutek zakłóceń, które układy cyfrowe same chętnie wytwarzają). Tak więc bramka logiczna jest takim wzmacniaczem, który przystosowany jest do tego aby pracować w warunkach przesterowania. Przesterowanie jest zagwarantowane przez podanie na wejście układu odpowiednich poziomów napięć, które dla każdej rodziny bramek muszą się mieścić w pewnym zakresie.



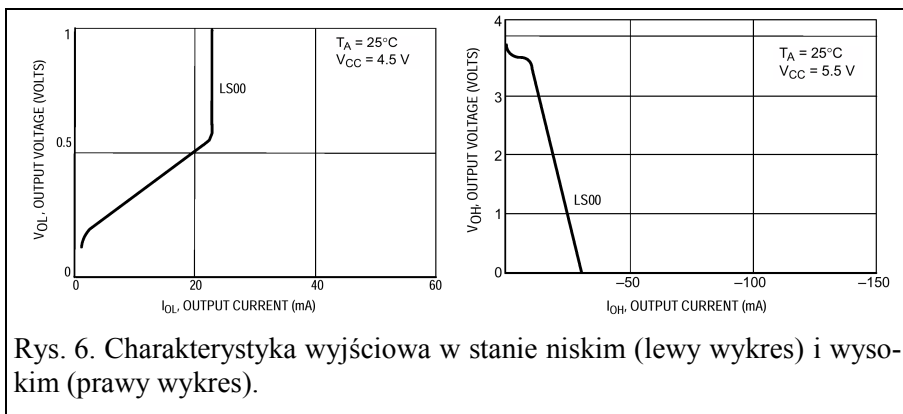
Rys. 5. Charakterystyka przejściowa inwertera (NOT) TTL serii LS

Przykładowa charakterystyka przejściowa bramki TTL serii LS jest przedstawiona na Rys. 5. Można z niej odczytać, że poziom wysoki  $V_{OH}$  (Output High) na wyjściu układu to ok.  $4.4\text{ V}$ , a poziom niski  $V_{OL}$  (Output Low) to ok.  $0.3\text{ V}$ . Jednocześnie można zauważyć, że poziom wysoki na wyjściu będzie występował wtedy, gdy napięcie na wejściu w stanie niskim  $V_{IL}$  (Input Low) będzie niższe od ok.  $0.8\text{ V}$ . Dla poziomu niskiego na wyjściu jest wymagane, aby na wejściu panowało w stanie wysokim napięcie  $V_{IH}$  (Input High) większe niż ok.  $1.2\text{ V}$ .

Przedstawiona charakterystyka dotyczy w zasadzie układu inwertera (zarówno inwertera jako takiego, jak i bramki o charakterze negatora, np.: NAND czy NOR) niemniej jednak w ramach każdej rodziny układów logicznych jest zagwarantowane, że poziomy logiczne zarówno na wejściu jak i na wyjściu każdego układu są takie same. Tak więc z punktu widzenia zacisków wejściowo-wyjściowych poziomy logiczne będą takie same dla bramki NOT, AND czy NOR, jak też i przerzutnika lub komparatora cyfrowego.

Charakterystyka przedstawiona na Rys. 5 jest w pewnym sensie idealizowana, gdyż zakłada brak obciążenia wyjścia bramki oraz uwzględnia typowe warunki pracy, a nie najbardziej niekorzystne. Nie uwzględnia też możliwego rozrzutu technologicznego, który jest nieunikniony w procesie technologicznym. Z punktu widzenia projektanta systemu cyfrowego właśnie takie najbardziej niekorzystne warunki są często istotne. Nie powinno być tak, aby układ pracował poprawnie tylko w temperaturze  $25^\circ\text{C}$  i by działał tylko z układami pochodzącymi od jednego producenta. W związku z tym poziomy logiczne definiuje się zawsze z pewnym zapasem, pozostawiając margines na różne nieprzewidziane okoliczności. Tak więc przykładowo dla bramki serii LS przyjmuje się, że minimalny poziom na wejściu w stanie wysokim powinien być  $2\text{ V}$ , a nie jak to by wynikało z charakterystyki z Rys. 4 tylko  $1.2\text{ V}$ . Najpewniej układ pracowałby też poprawnie z niższym napięciem wejściowym, niemniej jednak dla bezpieczeństwa nie powinno się tego robić.

Odpowiednie poziomy logiczne na wyjściu bramki są zapewnione tylko wtedy, jeśli jej zbyt nie obciążymy. Standardowo zakłada się, że bramka będzie sterować podobne sobie bramki w liczbie nie przekraczającej pewnej granicy, która często wynosi 10. W związku z tym definiuje się obciążenie wnoszone przez standardowe wejście jako obciążenie jednostkowe (oznaczane UL – Unit Load lub fan-in) i mówi się, że obciążalność bramki wynosi np. 10 UL. Należy zaznaczyć, że UL dla każdej rodziny logicznej reprezentuje inną wartość prądu, w związku z tym pojęcie takie ma sens tylko



Rys. 6. Charakterystyka wyjściowa w stanie niskim (lewy wykres) i wysokim (prawy wykres).

W związku z tym definiuje się obciążenie wnoszone przez standardowe wejście jako obciążenie jednostkowe (oznaczane UL – Unit Load lub fan-in) i mówi się, że obciążalność bramki wynosi np. 10 UL. Należy zaznaczyć, że UL dla każdej rodziny logicznej reprezentuje inną wartość prądu, w związku z tym pojęcie takie ma sens tylko

ramach danej rodziny i nie można go rozciągać na przypadek łączenia bramek pochodzących z różnych rodzin. Ponadto czasami bywa tak, że w niektóre wejścia reprezentują większe obciążenie niż tylko 1 UL.

Znacznie dokładniej właściwości bramki oddają charakterystyki wyjściowe. Są dwie takie charakterystyki, oddzielnie dla stanu wysokiego i niskiego. Przykładowe krzywe są pokazane na Rys. 6. Można z nich odczytać, że dla bramki NAND LS00 napięcie w stanie niskim na wyjściu nie będzie większe niż 0.4 V pod warunkiem, że prąd wpływający do wejścia nie przekroczy ok. 15 mA. Aby w stanie wysokim napięcie nie spadło poniżej 2.7 V z wyjścia bramki nie powinniśmy pobierać prądu większego niż ok. 10 mA. Ze względu na rozrzuty technologiczne oraz różne inne nieprzewidziane okoliczności praktycznie przyjmuje się, że prądy te nie powinny przekroczyć odpowiednio 8 mA i 0.4 mA.

Oprócz bramek o standardowej obciążalności wyjściowej istnieją specjalne układy, zwane buforami, które można obciążyć znacznie mocniej. Służą one do sterowania magistral w systemach procesorowych lub do przesyłania danych na większe odległości (rzędu dziesiątek cm) przy pomocy linii transmisyjnych. Jako przykład można podać bufor LS240, którego obciążalność prądowa wynosi 24 mA w stanie niskim i 15 mA w stanie wysokim.

### 3. Marginesy zakłóceń

Ponieważ z zasady oczekujemy, aby bramka logiczna była w stanie sterować następnym układem cyfrowym, to wytwarzane na jej wyjściu poziomy napięć muszą zapewnić przesterowanie stopnia wejściowego tej kolejnej bramki i wprowadzenie jej wyjścia w stan nasycenia. Z tego też powodu bramki są konstruowane w taki sposób, aby poziom logiczny na wyjściu posiadał pewien zapas w stosunku do wymagań na wejściu. W związku z tym zawsze spełnione są zależności:

$$V_{OHmin} > V_{IHmin}$$

$$V_{OLmax} < V_{ILmax}$$

Różnica pomiędzy wymaganym poziomem sygnału na wejściu bramki sterowanej a poziomem z wyjścia bramki sterującej jest nazywana marginesem odporności na zakłócenia (ang. Noise Margin - NM). Tak więc:

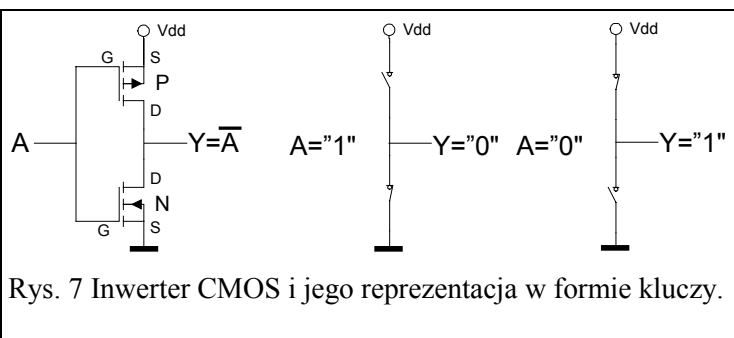
$$NM_H = V_{OHmin} - V_{IHmin}$$

$$NM_L = V_{ILmax} - V_{OLmax}$$

Różne rodziny bramek mają różne poziomy odporności na zakłócenia. Ogólnie można stwierdzić, że większe wartości NM są lepsze, gdyż zwiększają szansę na poprawną pracę układu w środowisku o większych zakłóceniach. Jako zakłócenia należy rozumieć nie tylko zakłócenia powodowane przez jakieś zewnętrzne urządzenia generujące pola elektromagnetyczne, ale także zakłócenia wytwarzane wewnątrz samego układu cyfrowego. Należą do nich na przykład wahania napięcia zasilającego układ na skutek impulsowego poboru prądu (układy cyfrowe w większości przypadków działają właśnie w ten sposób – pobierają duży prąd z zasilania w momencie zmian stanów logicznych, co powoduje chwilowe spadki napięć na indukcyjnościach doprowadzeń układów scalonych), czy też odbicia sygnału na przewodach łączących wzajemnie różne części układu (nawet jeśli nie jest to nam do niczego potrzebne, to wiele układów cyfrowych przełącza stan na wyjściu w bardzo krótkim czasie, często poniżej 1 ns, co sprawia, że połączenia rzędu kilku cm należało by traktować jako linie długie. Żeby uniknąć kłopotów związanych z odbiciami nie należy stosować zbyt szybkich układów (np.: F czy AS) tam, gdzie nie jest to na prawdę potrzebne).

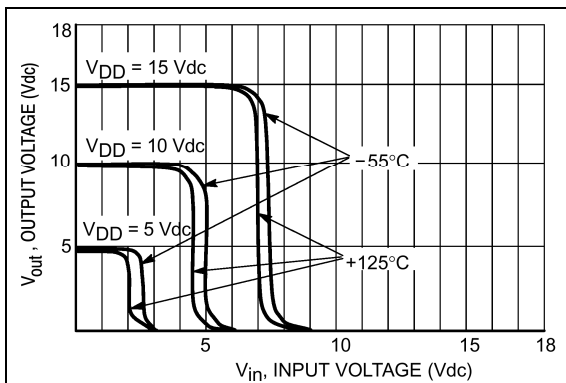
### 4. Układy CMOS (Complementary MOS)

Układy CMOS stanowią drugą wielką rodzinę układów cyfrowych i w zasadzie one obecnie dominują we wszelkiego rodzaju sprzęcie elektronicznym. Podobnie jak w przypadku układów TTL istnieje tutaj wiele podrodzin, które różnią się zasadniczo pod względem poziomów logicznych i czasu propagacji. Układy CMOS zasilane takim samym napięciem można wzajemnie ze sobą łączyć lecz niekoniecznie można je łączyć z układami TTL. Jest to związane z innym kształtem charakterystyki przejściowej, a co za tym idzie z innymi poziomami logicznymi. Najczęściej bez problemu można z wyjścia bramki CMOS sterować bramkę TTL, natomiast w drugą stronę (TTL → CMOS) jest to możliwe tylko dla bramek kompatybilnych z układami TTL, które w oznaczeniu zawierają zwyczajowo literę „T”, np.: HCT, ACT itp.



Rys. 7 Inwerter CMOS i jego reprezentacja w formie kluczy.

Podstawowa struktura w technologii CMOS



Rys. 8. Charakterystyki przejściowe inwertera CMOS dla różnych wartości napięcia zasilania i temperatury.

stanowi zwarcie do masy. Na wyjściu otrzymujemy więc niski poziom napięcia, praktycznie równy 0 V. Jeśli z kolei na wejściu podamy niski poziom napięcia to sytuacja się odwraca, gdyż teraz z pewnością jest zatkany tranzystor z kanałem N (bo jego  $U_{GS} = 0$ ), a głęboko w obszarze liniowym pracuje tranzystor z kanałem P (bo jego  $U_{GS} < U_T$ ). Tak więc zwiera on wyjście do napięcia  $V_{DD}$ , ustalając na nim tym samym „jedynekę” logiczną. Na Rys. 7 pokazano też reprezentację inwertera CMOS jako zestawu dwóch pracujących naprzemiennie kłuczy, sterowanych logicznym sygnałem wejściowym.

Rys. 8 przedstawia **charakterystyki przejściowe inwertera CMOS** (konkretnie jest to układ MC14049 produkcji ON Semiconductors). Można zauważyć, że charakterystyka przejściowa ulega „przeskalowaniu” w zależności od napięcia zasilającego i że przełączenie poziomu logicznego na wyjściu następuje w okolicach połowy napięcia zasilającego. Brak „na sztywno” zdefiniowanych poziomów logicznych stanowi tutaj zaletę, gdyż układy tej serii można zasilac np. niestabilizowanym napięciem z baterii lub akumulatora. Układy z tej serii (znane też jako CD4xxx, MC14049=CD4049) tolerują napięcia zasilające z zakresu 3-18 V.

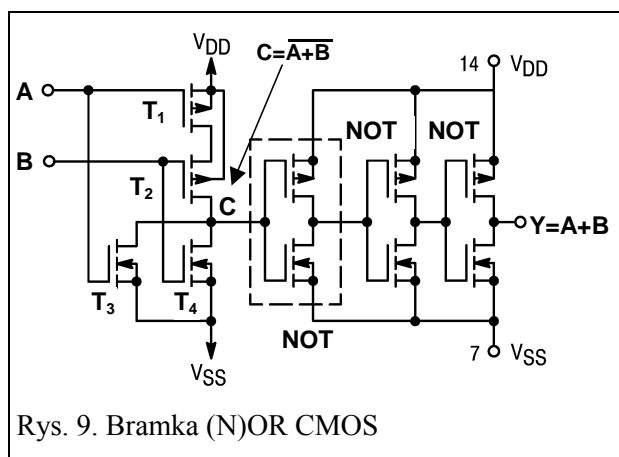
W technologii CMOS **bardziej złożone funkcje logiczne** są realizowane poprzez szeregowe i równoległe łączenie komplementarnych tranzystorów. Przykład dwuwejściowej bramki OR jest przedstawiony na Rys. 9. Bramka ta składa się z tranzystorów  $T_1$ - $T_4$ , tworzących zasadniczy funktor NOR, oraz trzech buforów wyjściowych, co łącznie tworzy bramkę logiczną OR (bramka negacji sumy + inwersja).

Działanie wewnętrznej bramki NOR (z tranzystorów  $T_1$ - $T_4$ ) można wyjaśnić zauważając, że podanie wysokiego poziomu logicznego na dowolne wejście A lub B (lub oba) spowoduje włączenie tranzystora  $T_3$  lub  $T_4$  (lub obydwu). Jednocześnie co najmniej jeden z tranzystorów  $T_1$  lub  $T_2$  zostanie zatkany skutkiem czego będzie niski poziom napięcia w punkcie C. Z kolei podanie na obydwa wejścia niskiego poziomu logicznego spowoduje zatkanie tranzystorów  $T_3$  i  $T_4$  oraz włączenie obydwu tranzystorów  $T_1$  i  $T_2$ , przez co w punkcie C uzyskamy wysoki poziom logiczny.

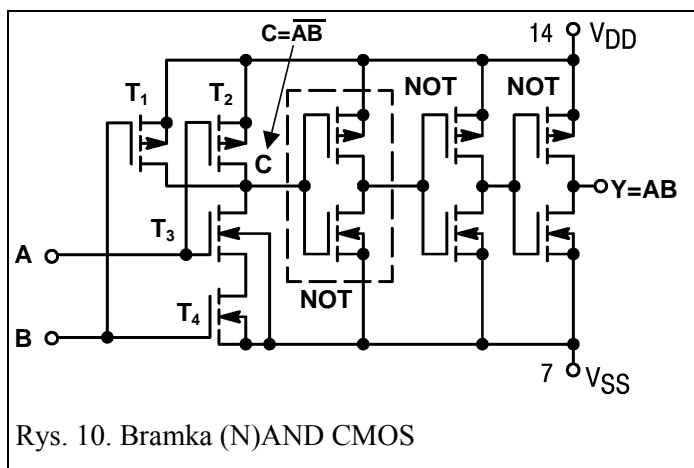
Budowa wewnętrzna bramki logicznej AND CMOS jest przedstawiona na Rys. 10. Podobnie jak w przypadku bramki z Rys. 9 mamy tutaj do czynienia z układem komplementarnych tranzystorów  $T_1$ - $T_4$ , które realizują zasadniczą funkcję logiczną (NOR) oraz inwerterami wyjściowymi. Tym razem, ze względu na sposób połączenia tranzystorów  $T_1$ - $T_4$ , podanie na dowolne wejście A lub B niskiego poziomu napięcia powoduje włączenie jednego z tranzystorów  $T_1$  lub  $T_2$ , jednocześnie wyłączając odpowiedni z tranzystorów  $T_3$  lub  $T_4$ . Skutkiem

jest **inwerter**, przedstawiony schematycznie na Rys. 7. Jest on zbudowany z dwóch komplementarnych tranzystorów z kanałem wzbogacanym. Układ ten można widzieć jako dwa połączone równoległe układy ze wspólnym źródłem (OS), stanowiące dla siebie wzajemnie obciążenie w obwodzie drenu.

Działanie układu można rozważyć zakładając na początek, że na wejściu panuje napięcie  $V_{DD}$ , reprezentujące wysoki poziom logiczny. W takiej sytuacji tranzystor z kanałem N (dolny) mógłby przewodzić, bo jego napięcie  $U_{GS}$  jest większe od napięcia progowego tranzystora  $U_T$ . Ponieważ jednocześnie tranzystor z kanałem P (górny) ma napięcie  $U_{GS} = 0$ , to jest on z całą pewnością odcięty i nie może przez niego płynąć prąd. Oznacza to, że tranzystor z kanałem N nie przewodzi żadnego prądu, a więc pracuje bardzo głęboko w obszarze liniowym i



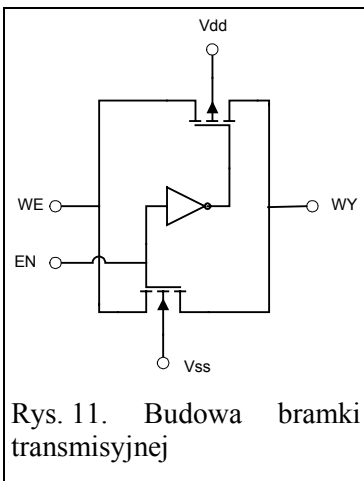
Rys. 9. Bramka (N)OR CMOS



Rys. 10. Bramka (N)AND CMOS

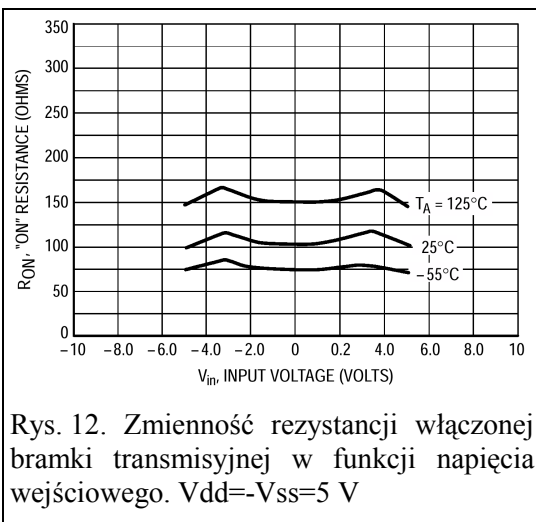
tęgo w punkcie C otrzymamy wysoki poziom napięcia. Niski poziom napięcia w punkcie C otrzymamy tylko w przypadku podania na obydwa wejścia jednocześnie poziomu wysokiego.

Oprócz standardowych bramek logicznych w technologii CMOS istotny jest też układ zwany **bramką transmisyjną**, będący w zasadzie kluczem analogowym. Jego budowa jest przedstawiona na Rys. 11. Bramka



taka składa się w najprostszej wersji z dwóch komplementarnych tranzystorów połączonych równolegle, oraz z inwertera, zapewniającego sterowanie bramek tranzystorów w przeciwfazie. Działanie układu można zobrazować w następujący sposób. Załóżmy, że na wejście EN (Enable – zezwolenie) jest podany niski poziom logiczny. Wtedy na bramce tranzystora z kanałem P (u góry) jest wysoki poziom logiczny, a na bramce tranzystora z kanałem N (u dołu) poziom niski. W takiej sytuacji obydwa tranzystory będą odcięte, gdyż do załączenia tranzystora z kanałem N potrzeba, aby napięcie na wejściu EN było wyższe o napięcie progowe tranzystora od napięcia na wejściu WE (co nie jest w tym przypadku spełnione), a dla tranzystora z kanałem P jest potrzebne, by napięcie na jego bramce było o napięcie progowe niższe niż napięcie na wejściu WE (co dzięki inwerterowi nie jest spełnione). Jeżeli do wejścia EN podłączymy wysoki poziom napięcia, to możliwe będzie przewodzenie tranzystorów (gdyż opisane powyżej warunki będą teraz spełnione) i przekazanie sygnału z wejścia na wyjście. Należy tutaj zwrócić uwagę na to, że bramka taka w żaden sposób nie

formuje sygnału, który jest w związku z tym przesyłany w postaci analogowej. Ponadto kwestia wejścia i wyjścia w takiej bramce jest sprawą całkowicie umowną, gdyż jest to układ symetryczny i **może przewodzić prąd w obydwu kierunkach**.

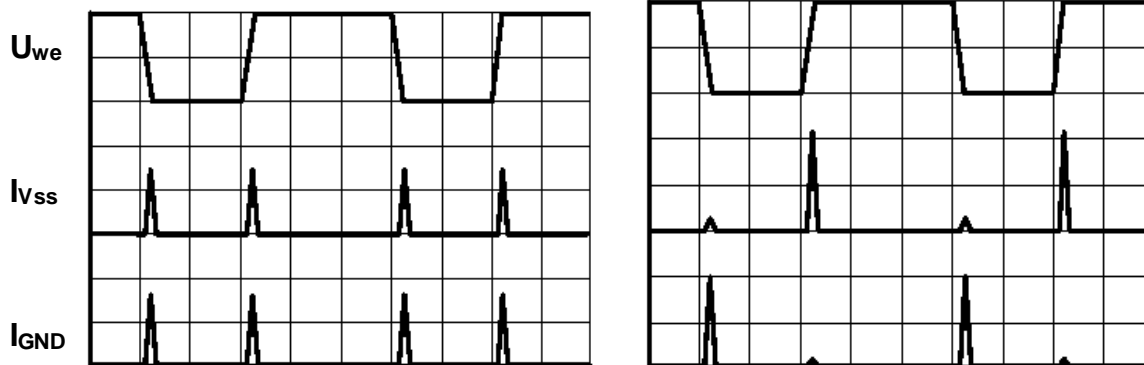


Należy jeszcze wyjaśnić fakt zastosowania w układzie bramek transmisyjnej dwóch tranzystorów zamiast tylko jednego. Gdyby zastosowano wyłącznie tranzystor z kanałem N (dolny), wtedy przy wysokim poziomie napięcia na wejściu EN zwiększanie potencjału na wejściu WE bramki prowadziłoby do zmniejszania się napięcia włączającego ten tranzystor (bo maleje wtedy różnica napięć pomiędzy bramką a wejściem). Sytuacja taka odpowiada zwiększaniu się rezystancji włączonego tranzystora, co nie jest korzystne (gdyż włączony klucz powinien reprezentować sobą małą rezystancję). Z kolei można zauważyć, że tranzystor z kanałem N dobrze radzi sobie z małymi napięciami na wejściu (bliższymi napięciu  $V_{ss}$ ), gdyż wtedy tranzystor jest silnie wysterowany i jego rezystancja jest mała. Nie namyślając się wiele można sobie wyobrazić (lub się namyślić i dojść do takiego samego wniosku), że podobny układ zbudowany z tranzystora z kanałem P będzie działał odwrotnie, dobrze radząc

sobą z sygnałami bliskimi napięciu  $V_{dd}$ , a zwiększając swą rezystancję w miarę zbliżania się do potencjału  $V_{ss}$ . Stąd prosty wniosek, że należy użyć dwóch równolegle połączonych komplementarnych tranzystorów z bramkami sterowanymi w przeciwfazie, dokładnie jak to przedstawia Rys. 11. Rys. 12 pokazuje przykładowo rezystancje załączonej bramki transmisyjnej (układ MC14051) w funkcji napięcia wejściowego.

Rzeczywiste i dostępne handlowo układy bramek transmisyjnych (np.: 4051 czy 4066) są nieco bardziej skomplikowane od układu z Rys. 11 i mają najczęściej postać układu typu T celem redukcji przesłuchów z wejścia na wyjście w fazie wyłączenia bramki.

Na koniec należy jeszcze wspomnieć o **poborze mocy układów CMOS**. Można praktycznie przyjąć, że układy takie nie pobierają prądu w sposób statyczny. Oznacza to, że układ CMOS na którego wejściu stany logiczne są cały czas takie same nie pobiera prądu ze źródła zasilającego. Jest to konsekwencją faktu, że w układach takich zawsze jeden z szeregowo połączonych komplementarnych tranzystorów jest odcięty, przez co nie jest możliwy przepływ prądu ze źródła  $V_{dd}$  wprost do masy (patrz Rys. 7, 9, 10). Ponadto wejście układu wykonanego w technologii CMOS również nie pobiera statycznie prądu, więc wyjście bramki sterującej nie musi go dostarczać. Niemniej jednak zmiana poziomu logicznego na wyjściu bramki jest związana z przepływem prądu. Są dwa powody po temu. Po pierwsze przez pewien krótki czas jest możliwe włączenie obydwu komplementarnych tranzystorów i wynikający stąd przepływ prądu ze źródła  $V_{ss}$  wprost do masy GND (Rys. 13 z lewej strony – każde zbocze sygnału wejściowego powoduje krótkotrwałe „zwarcie” źródła zasilającego). Po drugie zmiana poziomu logicznego na wyjściu jest związana z przeładowaniem pewnej pojemności,

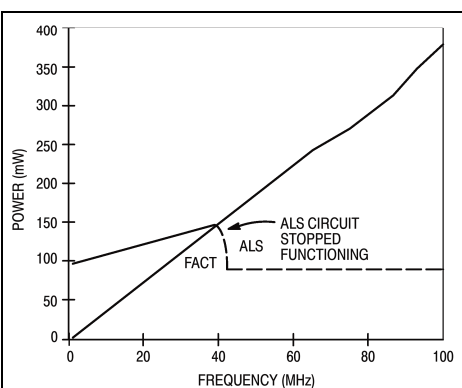


Rys. 13. Przebiegi prądu przy przełączaniu bramki CMOS: bez obciążenia (z lewej strony) i obciążonej pojemnością (z prawej strony). Na lewym rysunku skala prądu jest znacznie powiększona.

której wartość jest uzależniona między innymi od liczby bramek sterowanych z wyjścia (Rys. 13 i prawej strony – zbocze rosnące powoduje ładowanie pojemności – prąd płynie z V<sub>ss</sub>; zbocze opadające powoduje rozładowywanie pojemności – prąd płynie do masy). Ogólnie można stwierdzić, że jeśli bramka jest przełączana z częstotliwością  $f$ , to moc pobierana da się opisać zależnością:

$$P_D = (C_L + C_{PD})(V_{DD} - V_{SS})^2 f;$$

gdzie  $C_L$  oznacza pojemność obciążającą układ (przykładowo każde wejście bramki to pojemność ok. 4.5 pF) a  $C_{PD}$  oznacza ekwiwalentną pojemność związaną z poborem prądu z zasilania w fazie przełączania bramki (wartość rzędu 22 pF). Widać więc, że pobór mocy przez układy CMOS jest wprost proporcjonalny do częstotliwości pracy. Przykładowo na Rys. 14 pokazano porównanie poboru mocy przez układ zbudowany z bramek serii FACT oraz serii ALS (konkretnie jest to czterobitowy licznik wraz z dekoderelem). Widać, że pobór mocy rośnie liniowo z częstotliwością pracy i że układ CMOS jest bardziej energooszczędny przy szybkościach poniżej 40 MHz. Powyżej tej częstotliwości układ CMOS pobierałby więcej mocy gdyby pominąć drobny fakt, że wtedy układ ALS już nie działa (bo jest zbyt wolny jak na tak duże prędkości pracy).



Rys. 14. Porównanie poboru mocy przez układy ALS i CMOS (FACT)

### UWAGA

Nieuzywane wejścia bramek i układów cyfrowych CMOS **koniecznie muszą** być podłączone do odpowiednich poziomów logicznych, które nie będą uniemożliwiały funkcjonowanie układu (np. nieużywane wejście bramki (N)OR do „zera” logicznego a nieużywane wejście bramki (N)AND do „jedynek” logicznej). W przeciwnym wypadku układ może się zachowywać w całkowicie nieprzewidywalny sposób i działać zależnie od tego, czy powietrze jest wilgotne czy suche, lub czy osoba konstruktora pochyla się nad układem z prawej czy z lewej strony. Jest to związane z tym, że wejście bramki CMOS przedstawia sobą pojemność, która może być naładowana do przypadkowego napięcia jeśli celowo i świadomie się czegoś z tym nie zrobi.

### 5. Układy niskonapięciowe (Low Voltage)

W ostatnich czasach obserwuje się tendencję do obniżania napięć zasilających układy elektroniczne. W związku z tym wśród układów cyfrowych można znaleźć takie serie, które są przystosowane do zasilania napięciami 3.3 V, 2.5 V czy nawet 1.8 V. Z punktu widzenia użytkownika układy takie różnią się od układów standardowych (zasilanych napięciem 5 V) odpowiednio niższymi wartościami poziomów logicznych, obniżonym poziomem pobieranej mocy i najczęściej zwiększoną maksymalną szybkością pracy.

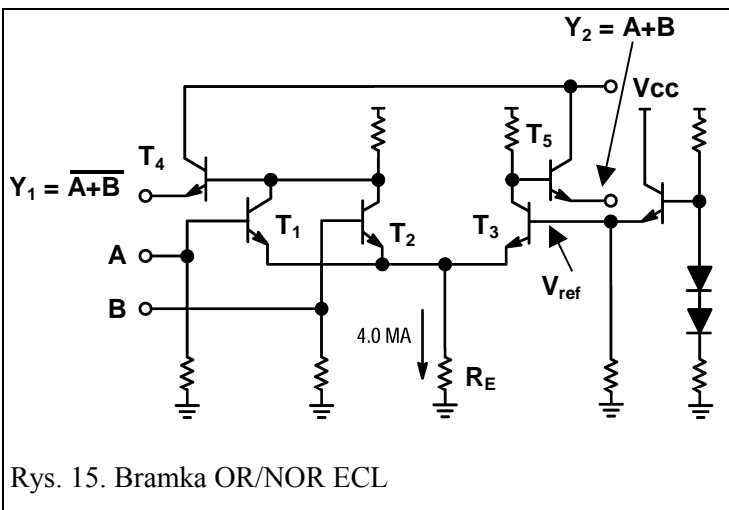
W zasadzie do układów LV można by zaliczyć już układy serii HC, które mogą pracować poprawnie począwszy od napięć rzędu 3 V, niemniej jednak ich czasy propagacji nie są w tych warunkach rewelacyjne (rzędu 90 ns). Znacznie lepsze są pod tym względem układy serii AC, których czas propagacji jest przy zasilaniu niskonapięciowym rzędu 8 ns.

Układów przystosowanych do zasilania obniżonym napięciem jest bardzo dużo i każda firma produkująca układy scalone ma w swojej ofercie różne własne serie. Przykładowo można wymienić układy LVT, ALVT, ALVC, ALVCF czy LVC firmy Texas Instruments. Należy nadmienić, że wiele układów LV może być sterowanych z układów zasilanych w sposób standardowy, jak również jest w stanie sterować standardowe układy

TTL. Właściwości takie określa się jako „5 V input tolerance” (tolerancja dla standardowych poziomów TTL), czy też „5 V compliance” (możliwość sterowania standardowych układów TTL). Cechy te dotyczą w zasadzie wyłącznie układów zasilanych napięciem 3.3 V. Układy zasilane niższymi napięciami wymagają do współpracy ze światem zewnętrznym specjalnych układów pośredniczących (tzw. translatorów poziomów logicznych), ewentualnie w przypadku układów bardziej złożonych posiadają oddzielne nóżki zasilające dla buforów wejścia/wyjścia (I/O) oraz zasadniczej części pełniącej funkcje logiczne (ang. core).

## 6. Układy ECL (Emitter Coupled Logic)

Układy ECL pracują na odmiennym zasadzie od omawianych do tej pory i wykorzystują bipolarny wzmacniacz różnicowy, pracujący jako klucz prądowy. Obowiązuje tutaj zasada, że żaden z tranzystorów nie wchodzi w stan nasycenia, dzięki czemu układy takie mogą pracować ekstremalnie szybko. Klasyczne układy ECL mogły pracować z sygnałami o częstotliwości 100 MHz i miały czasy propagacji rzędu 1 ns, natomiast współczesne układy z serii PECL (Positive ECL) mogą być przełączane nawet z szybkościami rzędu 3-4 GHz i mają czasy propagacji rzędu 200-300 ps. Poziomy logiczne układy ECL nie są kompatybilne z poziomami układów TTL-podobnych i ich współpraca jest możliwa jedynie przy użyciu odpowiednich translatorów poziomów.



Rys. 15. Bramka OR/NOR ECL

Należy zaznaczyć, że układy ECL należą do kategorii elementów dosyć specjalnych i ich używanie z sukcesem wymaga pewnych umiejętności w zakresie projektowania układów wielkich częstotliwości. W szczególności nie należy mieć złudzeń, że którykolwiek z tych układów ze chce działać zmontowany na „pajęka” bez starannie zaprojektowanej płytki drukowanej (co najmniej dwuwarstwowej).

Schemat poglądowy klasycznej bramki OR/NOR wykonanej w technologii ECL jest przedstawiony na Rys. 15. W układzie tym można wyróżnić wzmacniacz różnicowy ( $T_1+T_2$ ,  $T_3$ ), wyjściowe wtórniki emiterowe ( $T_4$ ,  $T_5$ ) oraz generator napięcia odniesienia  $V_{ref}$ . Działanie układu można objaśnić zakładając, że na dowolnym z wejść A lub B panuje wysoki poziom napięcia, to znaczy przekraczający o ok. 200 mV napięcie  $V_{ref}$  na bazie tranzystora  $T_3$ . W takiej sytuacji cały prąd płynący przez rezystor  $R_E$  zostanie przełączony do tranzystora  $T_1$  lub  $T_2$  (zależy które z wejść, A czy B, jest podłączone do wysokiego potencjału). Skutkiem tego na wyjściu  $Y_1$  otrzymamy niski poziom logiczny, a na wyjściu  $Y_2$  poziom wysoki. Tylko w sytuacji gdy na obydwu wejściach poziom jest niski (o ok. 200 mV w stosunku do  $V_{ref}$ ) na wyjściu  $Y_1$  otrzymamy poziom wysoki a na  $Y_2$  niski. Tak więc bramka taka pełni rolę funktora logicznego OR/NOR. Należy zwrócić uwagę na komplementarne wyjścia układu, co jest często regułą wśród układów ECL. Żeby układ działał prawidłowo należy z zewnątrz dołączyć rezystory polaryzujące wtórniki wyjściowe, gdyż ze względu na minimalizację poboru mocy rezystory takie nie są zainstalowane wewnątrz układu scalonego (układy ECL często są tak gorące, że parzą, trzeba więc oprócz różnych innych spraw zapewnić im możliwość odprowadzania ciepła).

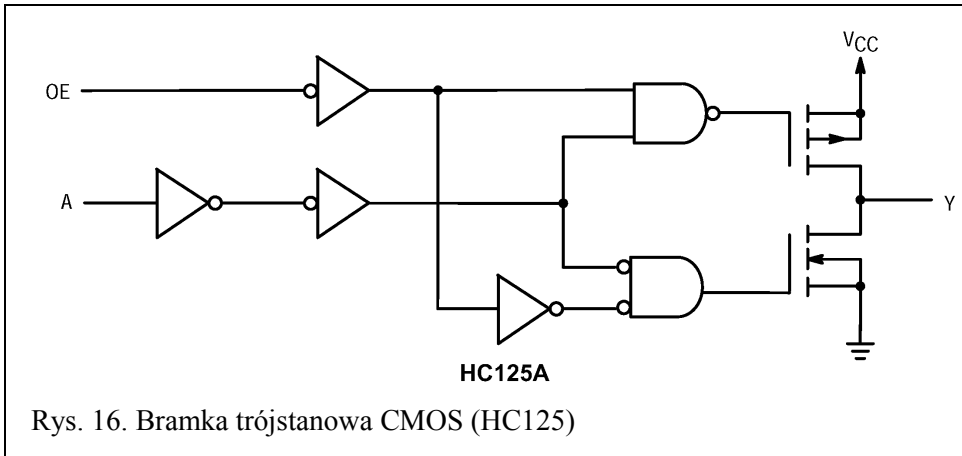
Standardowo amplituda logiczna układów ECL (różnica pomiędzy wysokim i niskim poziomem logicznym) wynosi ok. 800 mV, co jest sporo niższą wartością niż w układach typu TTL. Oprócz układów zasilanych napięciem 5 V w technologii ECL są też wytwarzane układy niskonapięciowe LVPECL, zasilane napięciem 3.3 V.

## 7. Typy wyjść układów logicznych

Oprócz standardowych wyjść układów cyfrowych omawianych do tej pory występują też wyjścia specjalne, posiadające pewne dodatkowe cechy. Wyjść standardowych nie można ze sobą z reguły łączyć, gdyż w przypadku gdyby na jednym z nich miał ochotę być stan niski a na drugim wysoki, to prowadziło by to do sytuacji nieoznaczonej, która nie może być tolerowana w układach cyfrowych. Zasada ta nie dotyczy wyjść trójstanowych oraz wyjść z otwartym kolektorem (w technologiach bipolarnych) czy z otwartym drenem (w technologiach CMOS).

Schemat wewnętrzny bramki trójstanowej wykonanej w technologii CMOS przedstawia Rys. 16. Bramka ta pełni rolę bufora (to znaczy z logicznego punktu widzenia nic nie robi), aczkolwiek jako bramki trójstanowe występują też inwertery. Bramka trójstanowa posiada dodatkowe wejście OE (Output Enable), które steruje stopniem wyjściowym w następujący sposób. Załóżmy, że  $OE=1$ . W tym przypadku obydwie bramki sterują-



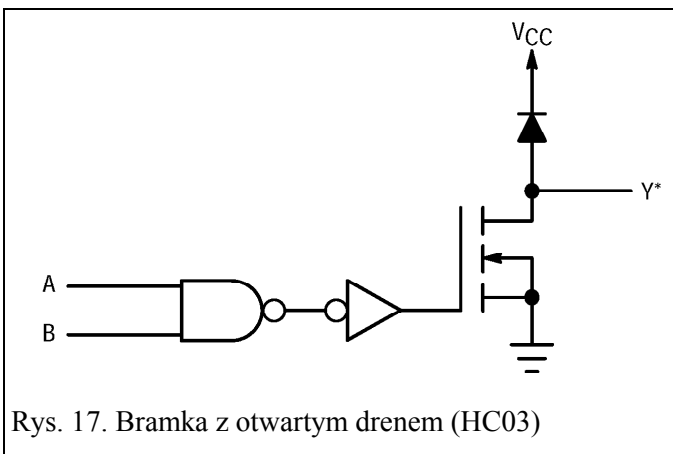


Rys. 16. Bramka trójstanowa CMOS (HC125)

ce tranzystory wyjściowe zostaną zamknięte, to znaczy niezależnie od stanu na wejściu A wyjście górnej bramki będzie w stanie wysokim, a wyjście bramki dolnej w stanie niskim (każde kółko oznacza negację sygnału logicznego, która może być dokonywana zarówno na sygnale wyjściowym jak i wejściowym). W tym stanie tranzystory wyjściowe są

odcięte i ich kanały nie mogą przewodzić prądu. Tak więc wyjście bramki jest praktycznie odłączone. Mówimy o takim wyjściu, że jest w stanie wysokiej impedancji (HIGH-Z), lub że jest w trzecim stanie.

Z kolei gdy  $OE=0$  bramka działa normalnie, to znaczy stan na jej wyjściu pokrywa się ze stanem na wejściu. Wyjścia bramek trójstanowych można łączyć ze sobą pod warunkiem, że zapewnimy takie ich sterowanie, że nigdy dwie bramki nie będą jednocześnie aktywne. Wyjścia trójstanowe bardzo dobrze nadają się do zastosowań w takich systemach cyfrowych, które wykorzystują wspólną magistralę, za pomocą której wiele urządzeń komunikuje się ze sobą.



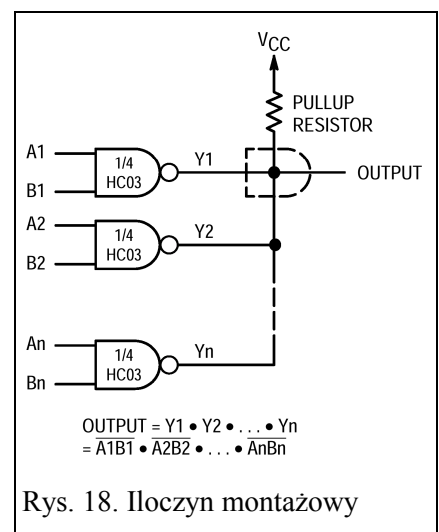
Rys. 17. Bramka z otwartym drenem (HC03)

Innym typ wyjścia, które można łączyć ze sobą równolegle, jest wyjście z otwartym drenem lub kolektorem. Przykład stosownego układu pokazuje Rys. 17. Mamy tu do czynienia z takim wyjściem, gdzie z całego stopnia wyjściowego pozostawiono jedynie dolny tranzystor z kanałem N (dla układów bipolarnych byłby to dolny tranzystor NPN). Aby wyjście takie nadawało się do użytku należy go spolaryzować zewnętrznym rezystorem dołączonym do  $V_{CC}$ . W takiej sytuacji bramka z Rys. 17 będzie realizowała funkcję NAND.

Wyjścia bramek z otwartym drenem można łączyć ze sobą bez specjalnych ograniczeń. Dla wszystkich połączonych wyjść wystarcza jeden rezystor polary-

zujący. Należy zauważyć, że załączenie dowolnego tranzystora powoduje niski stan na wyjściu takiego połączenia, to niejako przy okazji (lub jak najbardziej celowo) jest realizowana funkcja logiczna AND, zwana „iloczynem na drucie” (wired-AND) lub iloczynem montażowym. Przykład połączenia wraz z realizowaną funkcją logiczną jest przedstawiony na Rys. 18.

Możliwe jest też łączenie ze sobą wyjść bramek ECL, co wynika wprost z właściwości wtórnika emiterowego. Połączone wyjścia pracują wtedy na wspólny opornik polaryzujący. Jeśli jedno z wyjść przyjmie wysoki poziom logiczny, to wtórnikysterowany do poziomu niskiego się zatka i na wyjściu będzie występował wysoki poziom logiczny. Oznacza to, że i tutaj jest realizowana dodatkowa funkcja logiczna sumy (OR). Jest ona nazywana „sumą na drucie” (wired-OR) lub sumą montażową.



$$\text{OUTPUT} = Y1 \cdot Y2 \cdot \dots \cdot Yn$$

$$= A1B1 \cdot A2B2 \cdot \dots \cdot AnBn$$

Rys. 18. Iloczyn montażowy

## 8. Porównanie parametrów różnych rodzin logicznych

Zestawienie wybranych parametrów omówionych tutaj serii układów logicznych jest zebrane w formie kilku tabel poniżej.

Parametry statyczne (zasilanie, poziomy logiczne, marginesy zakłóceń)

Symbol	Parameter	LS	ALS	HCMOS	FACT		Unit
					'AC	'ACT	
$V_{CC/EE/DD}$	Operating Voltage Range	$5 \pm 5\%$	$5 \pm 10\%$	2 to 6	2 to 6	2 to 6	V
$T_A$ 74 Series	Operating Temperature Range	0 to +70	0 to +70	-40 to +85	-40 to +85	-40 to +85	°C
$V_{IH}$ (min)	Input Voltage (limits)	2	2	3.15	3.15	2	V
$V_{IL}$ (max)		0.8	0.8	0.9	1.35	0.8	V
$V_{OH}$ (min)	Output Voltage (limits)	2.7	2.7	$V_{CC}-0.1$	$V_{CC}-0.1$	$V_{CC}-0.1$	V
$V_{OL}$ (max)		0.5	0.5	0.1	0.1	0.1	V
$I_{IH}$	Input Current	20	20	+1	+1	+1	$\mu A$
$I_{IL}$		-400	-200	-1	-1	-1	$\mu A$
$I_{OH}$	Output Current at $V_0$ (limit)	-0.4	-0.4	$-4 @ V_{CC}-0.8$	$-24 @ V_{CC}-0.8$	$-24 @ V_{CC}-0.8$	mA
$I_{OL}$		8	8	4 @ 0.4 V	24 @ 0.4 V	24 @ 0.4 V	mA
DCM	DC Noise Margin LOW/HIGH	0.3/0.7	0.4/0.7	0.8/1.25	1.25/1.25	0.7/2.4	V

Parametry dynamiczne (czasy propagacji bramek, przerzutników i liczników synchronicznych)

	Product		LS	ALS	HCMOS	FACT	Unit
$t_{PLH}/t_{PHL}$	74XX00	Typ	10	5	8	5	ns
		Max	15	11	23	8.5	ns
$t_{PLH}/t_{PHL}$ (Clock to Q)	74XX74	Typ	25	12	23	8	ns
		Max	40	18	44	10.5	ns
$t_{PLH}/t_{PHL}$ (Clock to Q)	74XX163	Typ	18	10	20	5	ns
		Max	27	17	52	10	ns

Pobór mocy

Symbol	Parameter	LS	ALS	HCMOS	FACT	Unit
$I_G$	Quiescent Supply Current/Gate	0.4	0.2	0.0005	0.0005	mA
$P_G$	Power/Gate (Quiescent)	2	1.2	0.0025	0.0025	mW
$t_p$	Propagation Delay	7	5	8	5	ns
-	Speed Power Product	14	6	0.02	0.01	pJ
$f_{max}$	Clock Frequency D/FF	33	50	50	160	MHz