

Mechatroniczne systemy wykonawcze, sensoryczne i sterujące

Pamięci

dr inż. Grzegorz Góra

D1-Lab 20

ggora@agh.edu.pl

<http://home.agh.edu.pl/~ggora/>

Katedra Robotyki i Mechatroniki

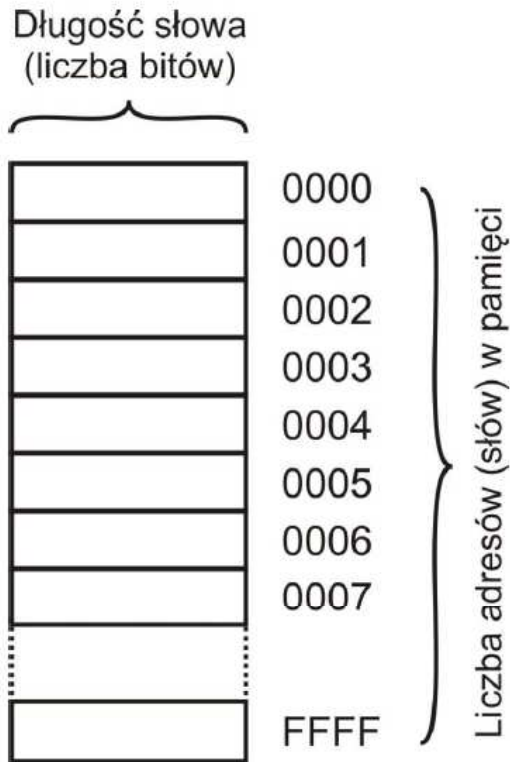
Wydział Inżynierii Mechanicznej i Robotyki

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie

PLAN WYKŁADU

- 1. Pamięci (definicje, podstawowe informacje)**
- 2. Klasyfikacja i podział pamięci**
- 3. Pamięci nieulotne (ROM)**
 - a) MROM**
 - b) PROM**
 - c) EPROM**
 - d) EEPROM**
 - e) Flash**
- 4. Pamięci ulotne (RAM)**
 - a) SRAM**
 - b) SSRAM**
 - c) DRAM**
 - d) SDRAM**
 - e) DDR**

Pamięć



Pamięć półprzewodnikowa – cyfrowy układ scalony przeznaczony do przechowywania większej ilości informacji w postaci binarnej.

Pojemnością pamięci – nazywamy maksymalną ilość informacji, jaką możemy przechowywać w danej pamięci.

Czasem dostępu do pamięci – nazywamy czas, jaki musi upłynąć od momentu podania poprawnego adresu słowa w pamięci do czasu ustalenia się poprawnej wartości tego słowa na wyjściu pamięci w przypadku operacji odczytu lub w przypadku operacji zapisu to czas jaki upłynie od momentu zapisania wartości do tego słowa z wejścia pamięci.

Pamięć podzielona jest na **słowa**. Podczas operacji wymiany danych zapisywane lub odczytywane jest zawsze całe słowo.

Każdemu słowu przyporządkowany jest niepowtarzalny numer zwany **adresem**.

Podział pamięci

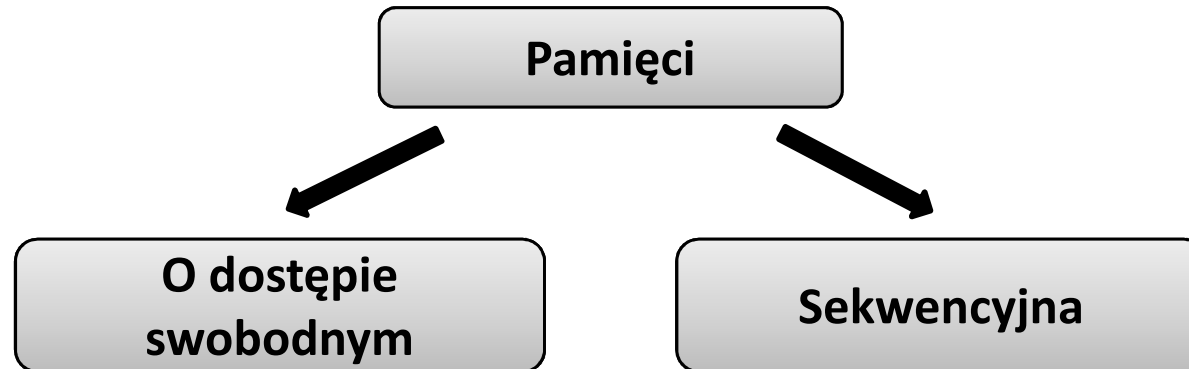
- Pamięć od dostępnie swobodnym
 - Pamięć sekwencyjna

 - Nieulotne (ROM)
 - Ulotne (RAM)
 - Statyczne (SRAM)
 - Dynamiczne (DRAM)
- Równoległe
 - Szeregowo

 - Asynchroniczne
 - Synchroniczne

 - Jednobramowe
 - Wielobramowe

Podział pamięci (ze względu na dostęp)



Pamięcią o dostępie swobodnym – nazywamy pamięć, dla której czas dostępu praktycznie nie zależy od adresu słowa w pamięci, czyli od miejsca, w którym jest przechowywana informacja.

Pamięć sekwencyjna (*ang. Sequential memory, sequential access memory, serial access memory*) – pamięć, której dane są dostępne w kolejności ich zapisywania na nośniku przesuwającym pod głowicą odczytująco-zapisującą (np. pamięć taśmowa). Czas dostępu w tak zorganizowanej pamięci zależy od odległości głowicy od położenia danych).

Podział pamięci

Pamięć ROM

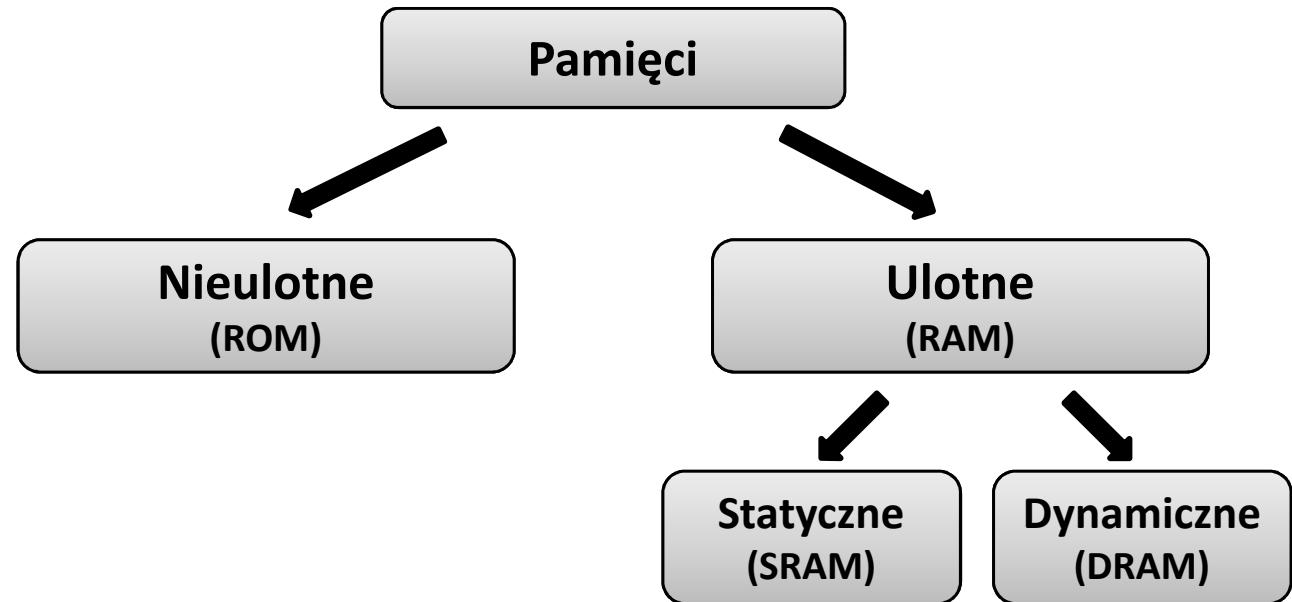
(ang. *Read Only Memory*)

pamięć półprzewodnikowa o dostępie swobodnym, której zapis danych następuje na innej drodze niż odczyt (dawniej pamięć tylko do odczytu). Pamięć **ROM jest pamięcią nieulotną** (ang. *non-volatile*), co oznacza, że informacja w niej zapisana nie jest tracona po wyłączeniu zasilania.

Pamięć RAM

(ang. *Random Access Memory*)

pamięć półprzewodnikowa o dostępie swobodnym przeznaczona do zapisu i odczytu. **Pamięć RAM jest pamięcią ulotną** (ang. *volatile*), co oznacza, że po wyłączeniu jej zasilania informacja w niej przechowywana jest tracona.



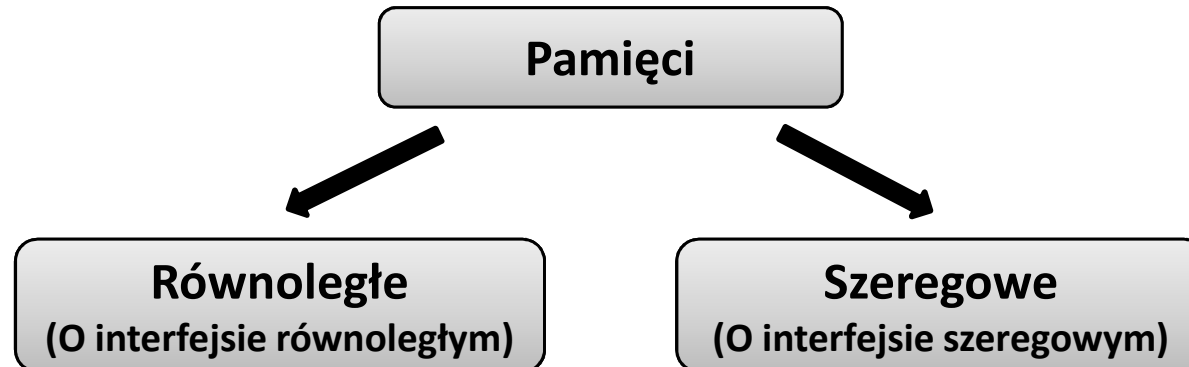
Pamięć statyczna SRAM (ang. *Static Random Access Memory*)

pamięć półprzewodnikowa o dostępie swobodnym nie wymagająca „odświeżania”. Oznacza to, że zapisane w niej dane będą przechowywane do momentu odłączenia zasilania.

Pamięć DRAM (ang. *Dynamic Random Access Memory*)

pamięć półprzewodnikowa o dostępie swobodnym wymagająca „odświeżania”. W przeciwnym razie dane w niej zgromadzone ulegają degradacji.

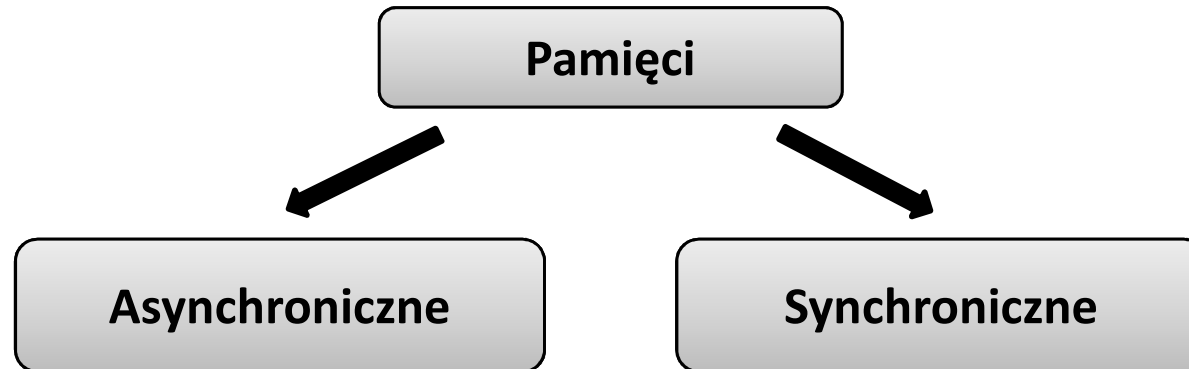
Podział pamięci (ze względu na interfejs)



Pamięci z interfejsem równoległym – wymagają wykorzystania wielu linii sygnałowych do komunikacji z nimi. Ich zaletą jest przede wszystkim szybka transmisja (dzięki szerokiej magistrali danych i adresowej), a wadą duża ilość sygnałów (np. DRAM).

Pamięci z interfejsem szeregowym – wykorzystujące do komunikacji jedną z niskopoziomowych magistrali (I2C, SPI, 1-wire), wymagają tylko od 1 do 4 linii sygnałowych. Ich wadą jest mniejsza przepustowość danych. Zazwyczaj są używane jako pamięci pomocnicze (np. EEPROM, Flash).

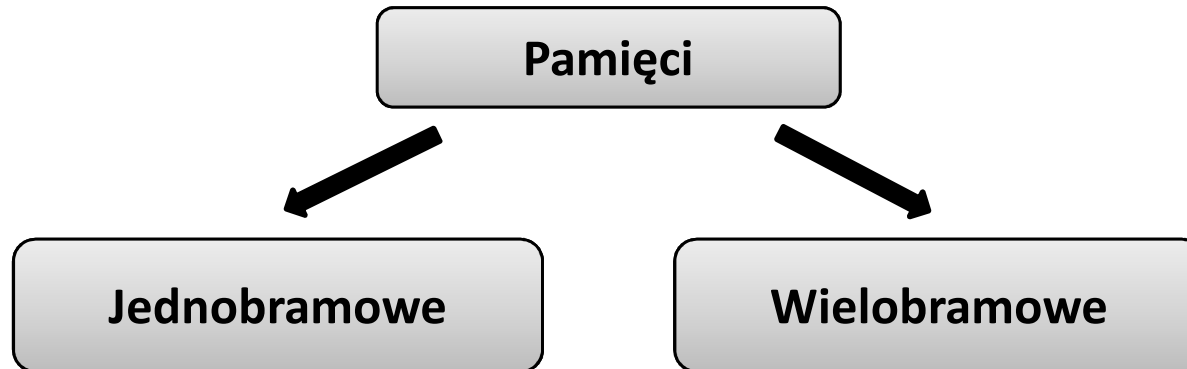
Podział pamięci
(ze względu na typ komunikacji)



Pamięć synchroniczna - to pamięć, której praca regulowana jest zegarem systemowym (np. SDRAM i DDR).

Pamięć asynchroniczna - to pamięć, której wewnętrzne sygnały taktujące nie są generowane na podstawie zegara systemowego lecz wynikają z naturalnego czasu przebiegu sygnałów przez układy elektroniczne.

Podział pamięci (ze względu na ilość interfejsów)



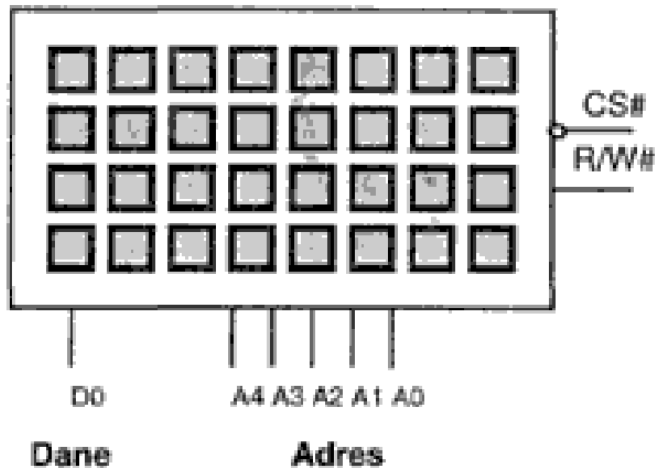
Pamięci jednobramowe (jednoportowe) – pamięć umożliwiająca dostęp do danych tylko jednemu procesowi.

Pamięci wielobramowe (wieloportowe) – pamięć umożliwiająca jednoczesny dostęp do danych wielu procesom. Najczęściej są to pamięci dwubramowe. Umożliwiają dwóm niezależnym procesom dostęp do wspólnych danych. Dzięki temu możliwa jest np. szybka wymiana danych między dwoma procesami. W tym celu pamięć wielobramowa musi mieć oddzielne interfejsy czyli osobne zestawy linii adresowych, danych i sterujących.

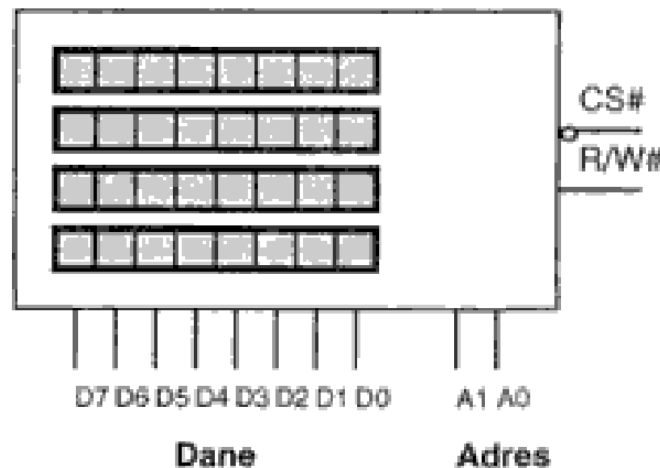
Organizacja pamięci

Pamięć zorganizowana jest w postaci dwuwymiarowej macierzy: kolumny x wiersze.

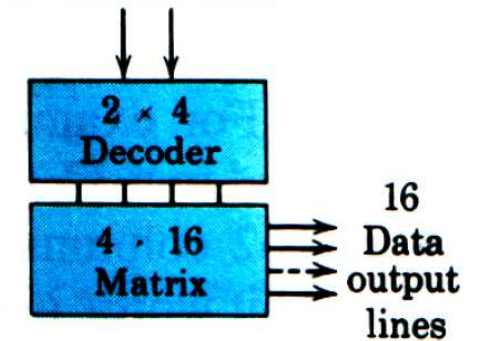
Organizacja bitowa
32 x 1 bit



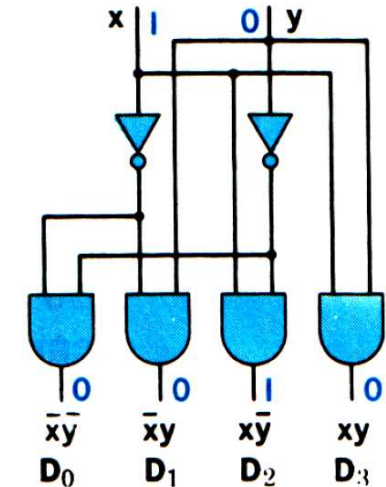
Organizacja bajtowa
4 x 8 bitów



2 Address lines



(b) Typical 4 x 16 ROM



(c) 2 x 4 decoder

Sposób podziału pamięci na słowa nazywamy **organizacją pamięci**.

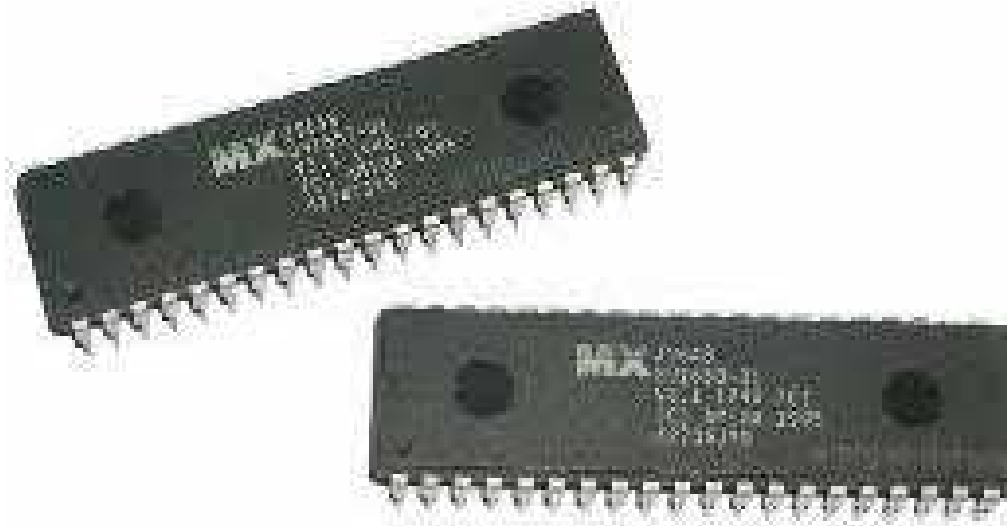
Pamięci ROM
(ang. Read Only Memory)

Podział pamięci ROM:

- ***MROM (ang. Mask ROM)***
- ***PROM (ang. Programmable ROM)***
- ***EPROM (ang. Erasable Programmable ROM)***
- ***EEPROM (ang. Electrically Erasable and Programmable ROM)***
- **Flash**

Pamięci ROM MROM

MROM (*ang. Mask ROM*) - rodzaj pamięci, której zawartość jest ustalana w procesie produkcji (przez wykonanie odpowiednich masek - stąd nazwa) i nie może być zmieniana. Przy założeniu realizacji długich serii produkcyjnych jest to najtańszy rodzaj pamięci ROM. Wykorzystywana w tablicach stałych, tablicach z czcionkami w wyświetlaczach, niezmiennie parametry.



Pamięci ROM PROM

PROM (*ang. Programmable ROM*) – pamięć jednokrotnie programowalna. Oznacza to, że użytkownik może sam zapisać dane w pamięci, jednakże potem nie można jej już zmieniać. Programowanie następuje poprzez przepalenie tzw. bezpieczników (*ang. fuse*) i jest nieodwracalne. Obecnie ten typ pamięci nie jest już używany.

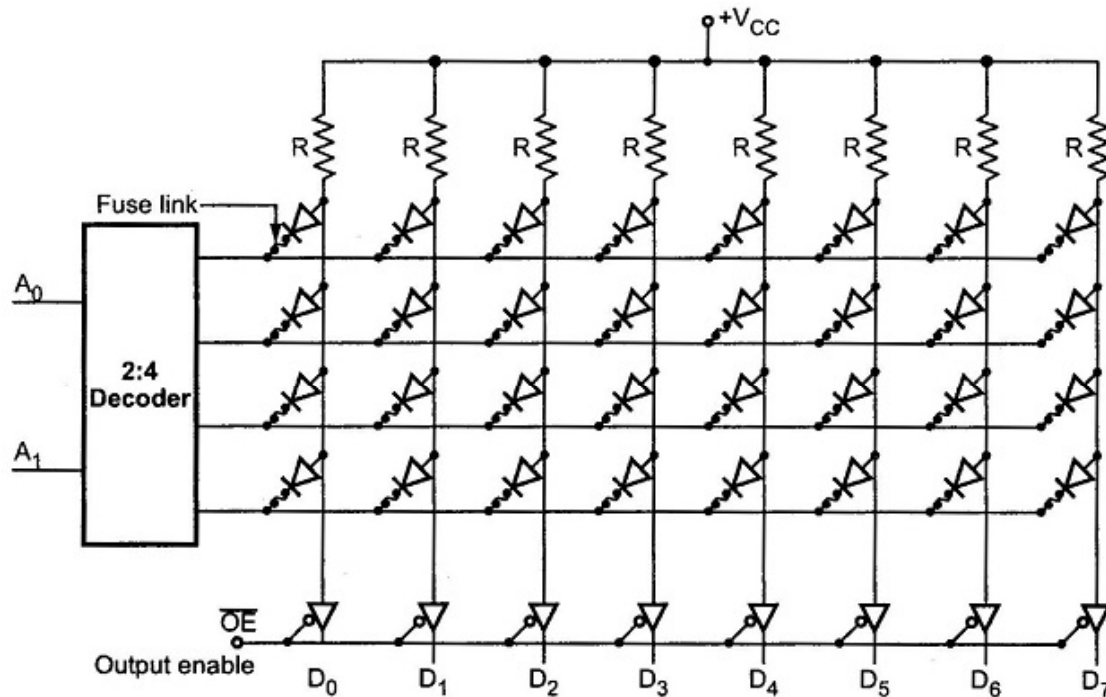
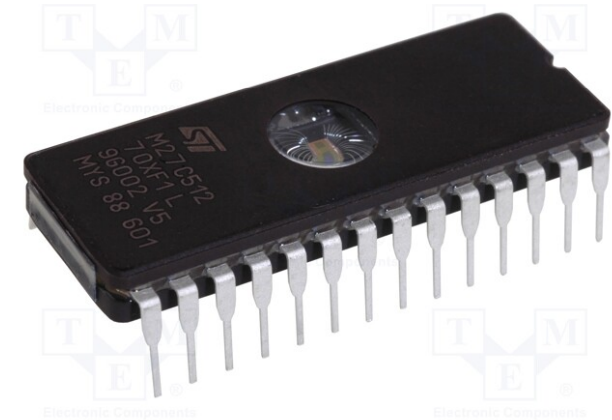
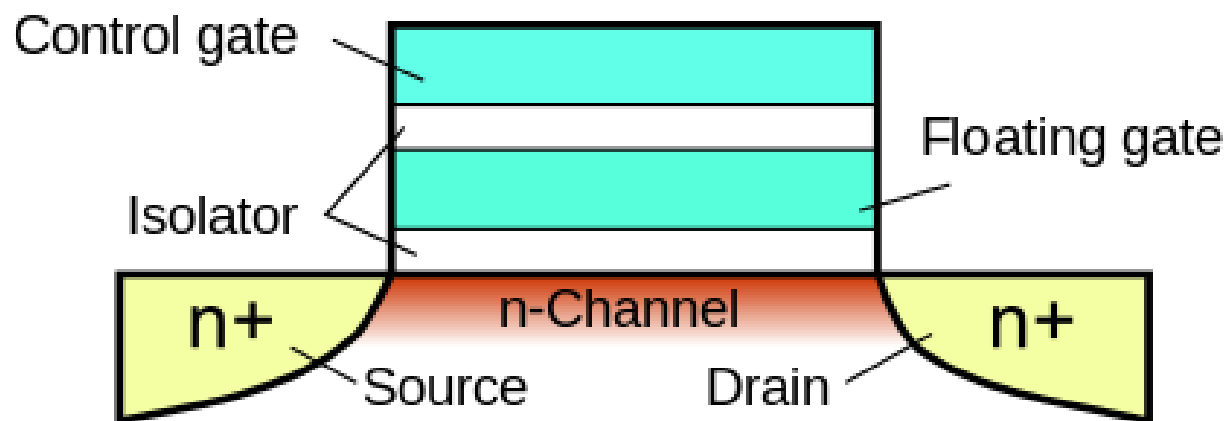


Fig. 3.71 Four byte PROM



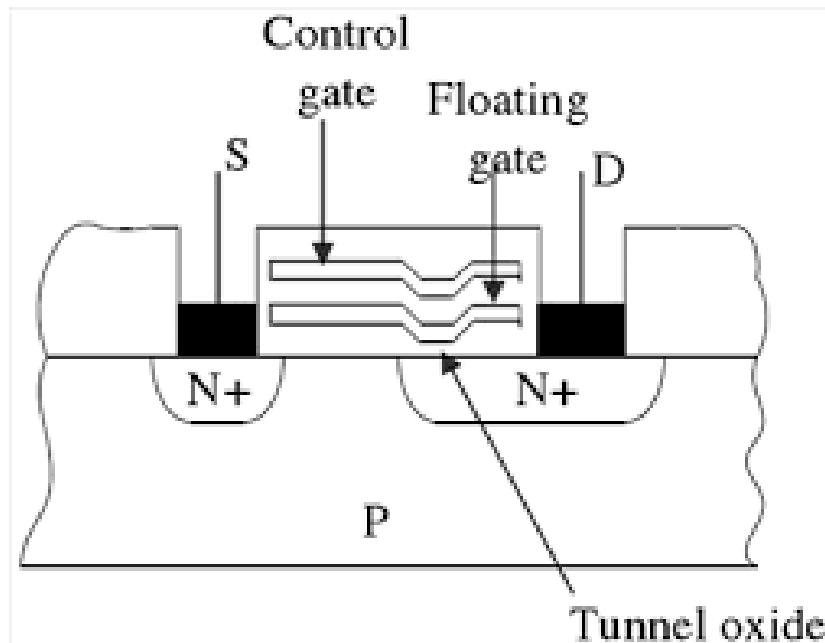
Pamięci ROM EPROM

EPROM (*ang. Erasable Programmable ROM*) - pamięć wielokrotnie programowalna. Budowa komórki jest oparta na specjalnych tranzystorów polowych posiadających dwie bramki – sterującą (*ang. control gate*), która jest normalnie podłączona do sygnałów sterujących pamięcią oraz bramkę tzw. pływającą (*ang. floating gate*), która nigdzie nie jest podłączona. Dzięki zjawisku kwantowemu tunelowania elektronów bramka pływająca może przyjąć elektrony poprzez podanie po prostu wyższego napięcia na bramkę sterującą. Kasowanie poprzedniej zawartości tej pamięci odbywa się drogą naświetlania promieniami UV. Pamięć ta wychodzi już z użycia.



Pamięci ROM EEPROM

EEPROM (ang. *Electrically Erasable and Programmable ROM*) - Pamięć kasowana i programowana na drodze czysto elektrycznej. Komórka pamięci w EEPROM zbudowana jest podobnie do komórki pamięci EPROM, również występuje tranzystor polowy o dwóch bramkach. Różnica polega na zastosowaniu innego izolatora, który umożliwia wystąpienie zjawisk tunelowania elektronów przy odpowiedniej zmianie napięcia za pomocą bramki sterującej tranzystora. Pamięć jest obecnie wykorzystywana.



Pamięć ROM FLASH

FLASH - Jest to specyficzny rodzaj pamięci EEPROM. Zapis informacji odbywa się na identycznej zasadzie - tranzystor polowy z dwoma bramkami, sterującą i pływającą. Bramka pływająca jest nasycana elektronami w czasie programowania, co blokuje tranzystor podczas normalnej pracy. Różnica występuje przy kasowaniu zapamiętanej informacji. W pamięci EEPROM można kasować jedynie pojedyncze słowa. W pamięci FLASH kasowany jest jednocześnie cały blok komórek (zazwyczaj 1024 bajty).

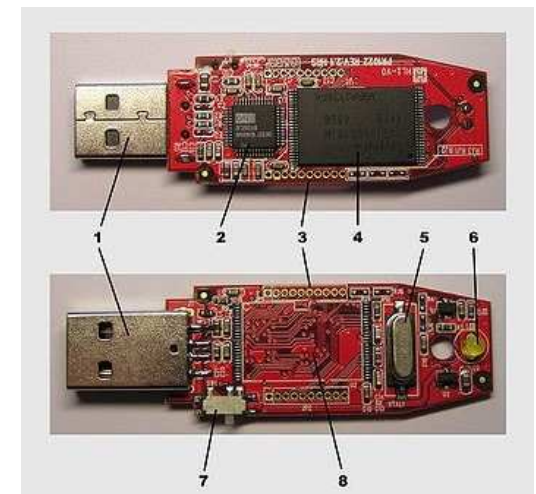
- Dzięki kasowaniu całych bloków danych możliwy jest znacznie szybszy zapis nowej treści niż w przypadku EEPROM, stąd też nazwa FLASH - czyli błysk.
- Do elektrycznego kasowania zawartości bloku komórek wymagane jest wyższe niż normalne napięcie (zwykle 12 do 24V).
- Pamięci FLASH występują w dwóch technologiach, bazujących na bramkach NOR lub NAND.

Ceny struktury NAND:

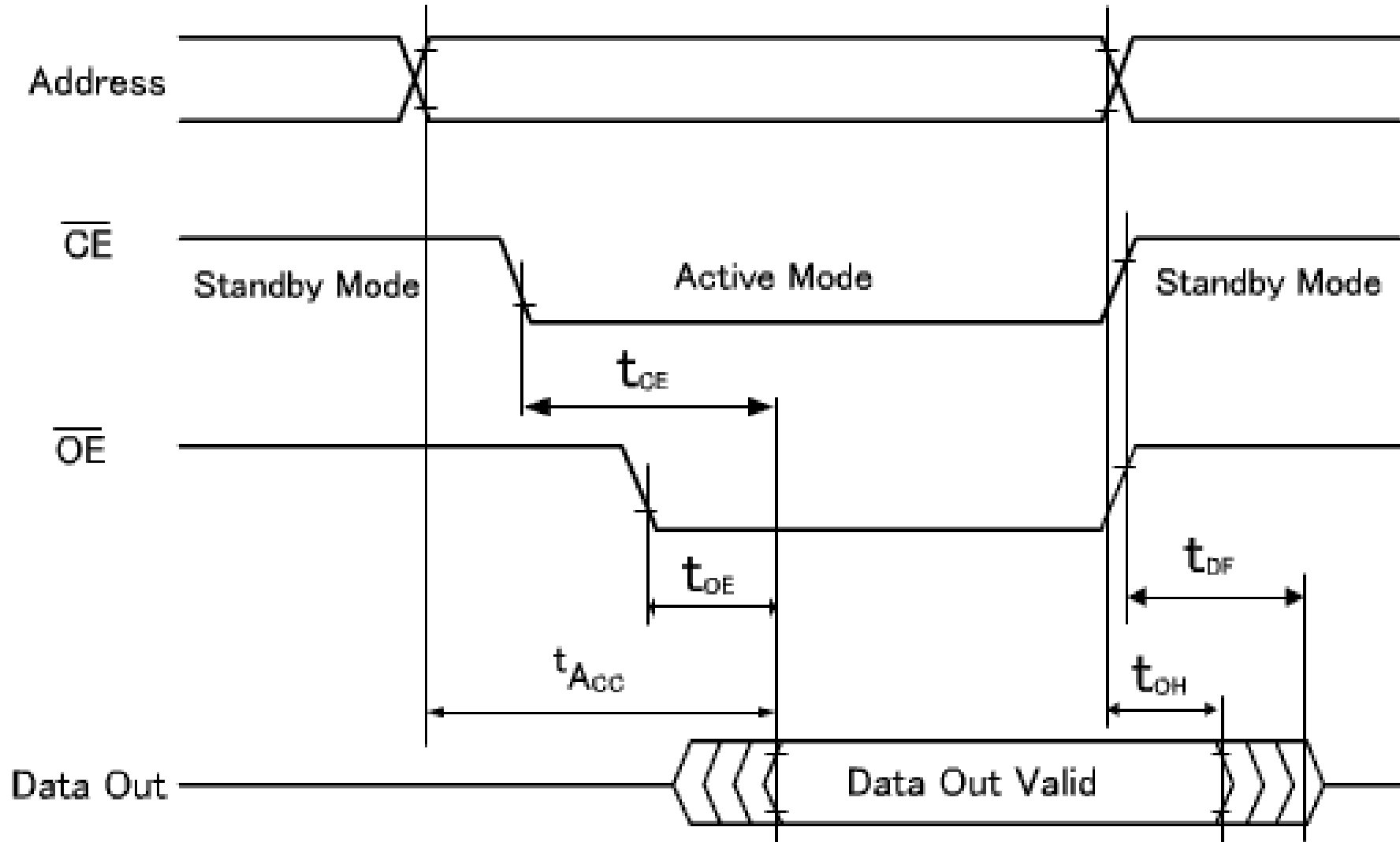
- szybki zapis i kasowanie;
- tańsze w produkcji (w porównaniu do NOR);
- ok. 10 razy większa też liczba kasowań;
- stosowane w pamięciach masowych (dyskach).

Cechy struktury NOR:

- szybki odczyt ale wolny zapis i kasowanie;
- używana np. w BIOSie.

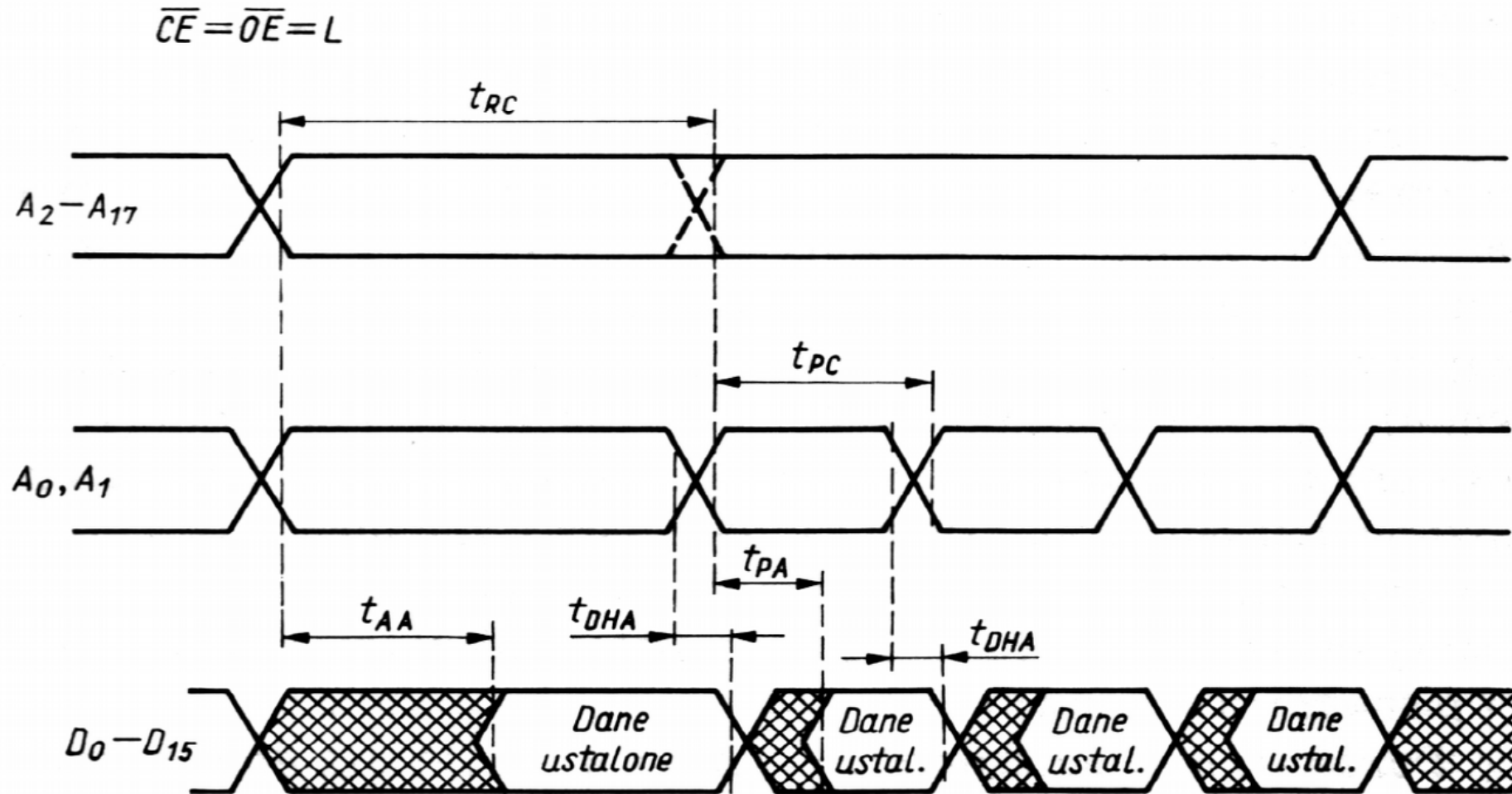


Pamięć ROM Odczyt danych



Pamięć ROM

Odczyt danych – asynchroniczny odczyt strony

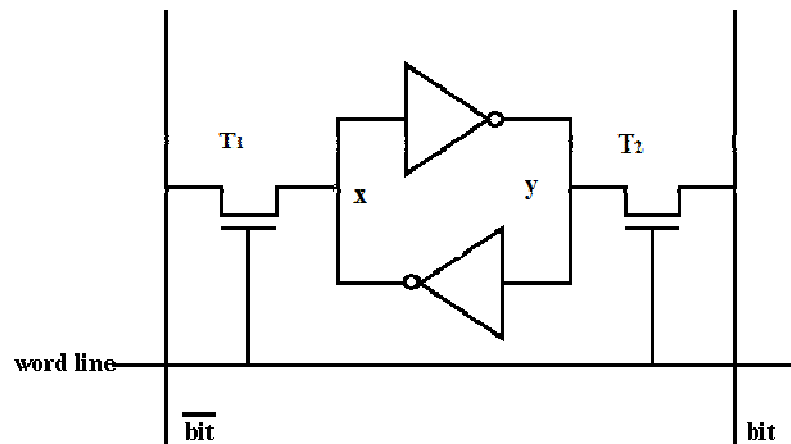


Pamięć SRAM

Pamięć SRAM (ang. Static RAM) – ulotna pamięć półprzewodnikowa (zgromadzone dane są tracone po wyłączeniu zasilania). „Statyczna” oznacza, że pamięć przechowuje swoją zawartość tak długo, jak jest podtrzymane zasilanie, w odróżnieniu od DRAM (dynamicznych), którą trzeba okresowo „odświeżać”, żeby dane w niej zawarte nie uległy degradacji.

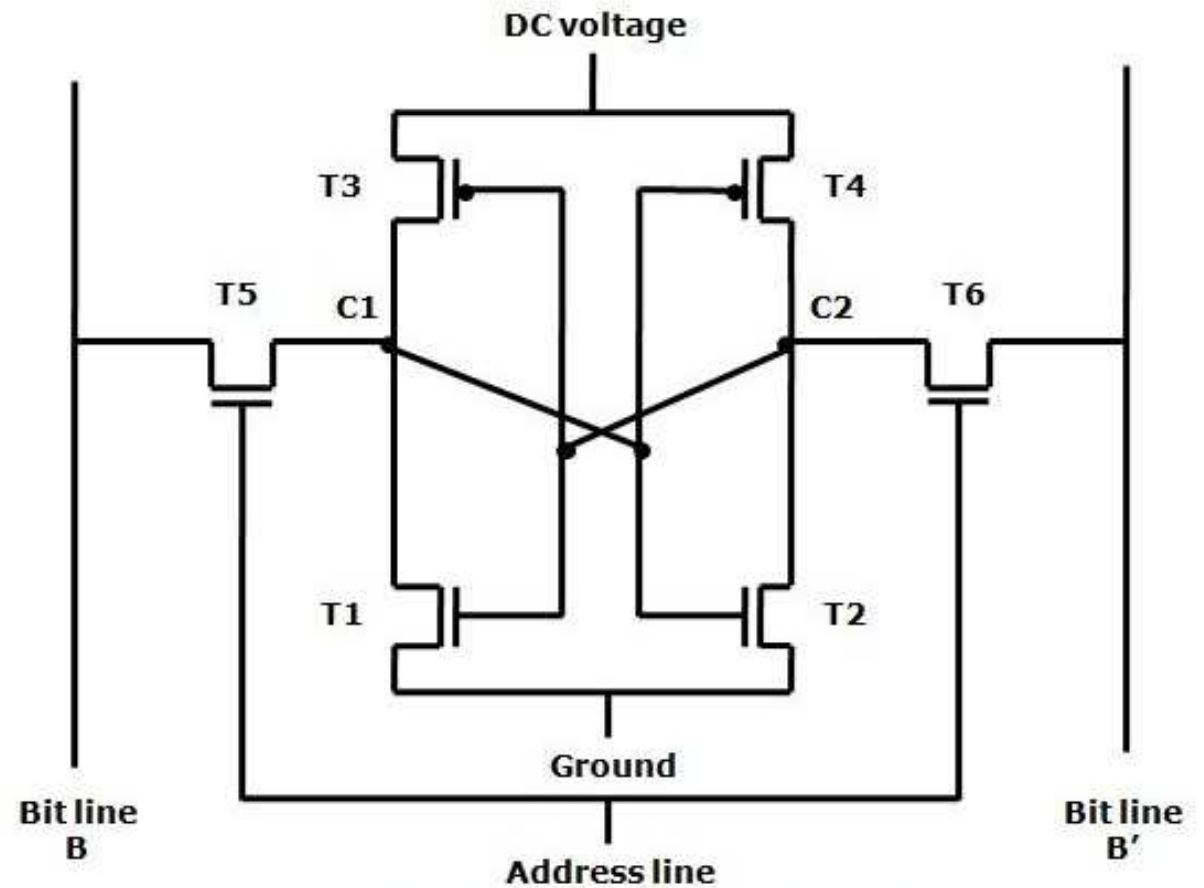
- są najszybszą odmianą pamięci półprzewodnikowych;
- ze względu na skomplikowaną budowę są one trudne w scaleniu (co oznacza, że nie można zmieścić dużych pojemności pamięci w pojedynczych układach scalonych);
- wykorzystywane są do tworzenia niewielkich lecz szybkich pamięci podręcznych np. pamięci Cache procesora;
- duża złożoność przekłada się na wysokie koszty produkcji.

Pamięć SRAM



Trzy tryby pracy:

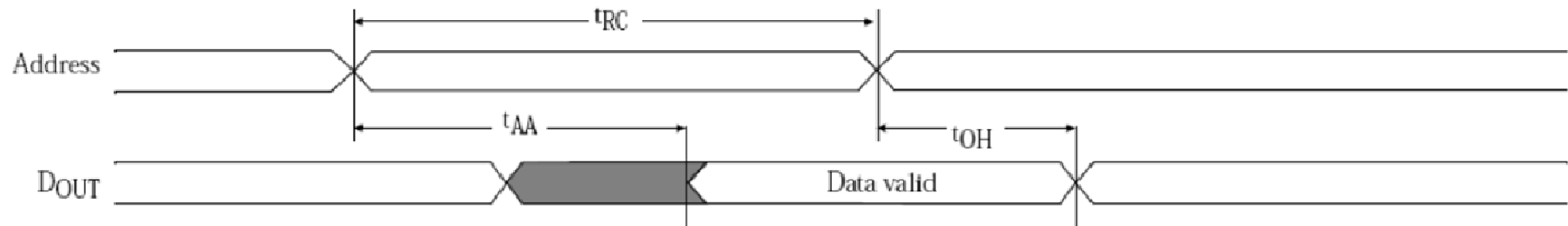
- bezczynność;
- odczyt;
- zapis.



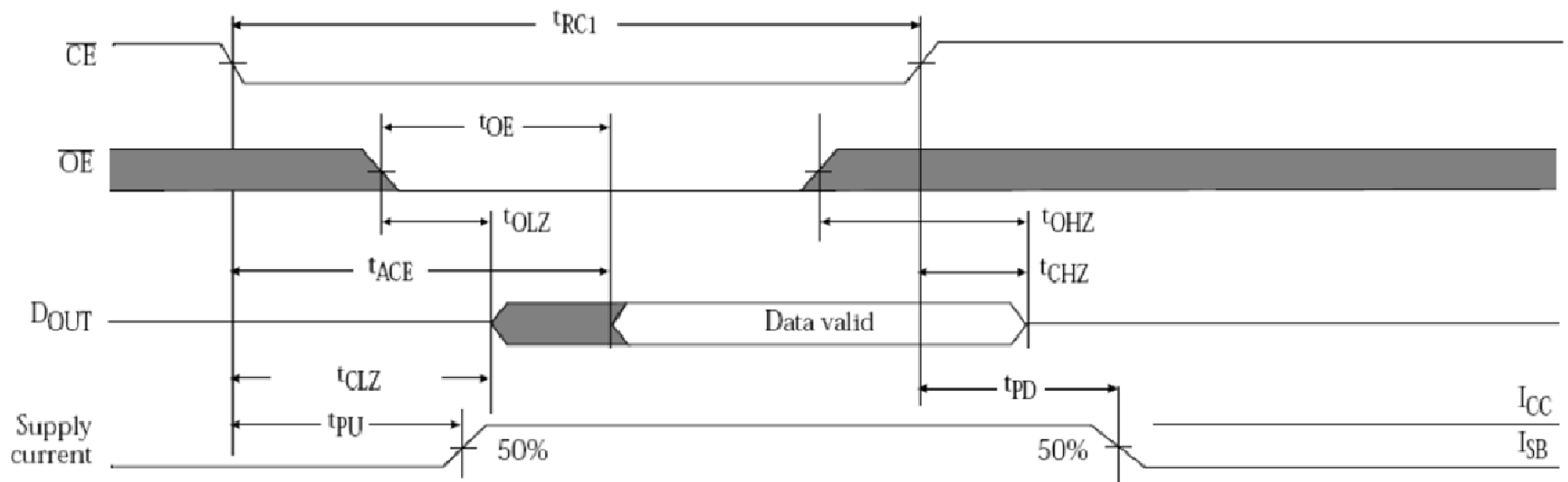
Static RAM (SRAM) Cell

Pamięć asynchroniczna SRAM Cykl odczytu

Read waveform 1 (address controlled)

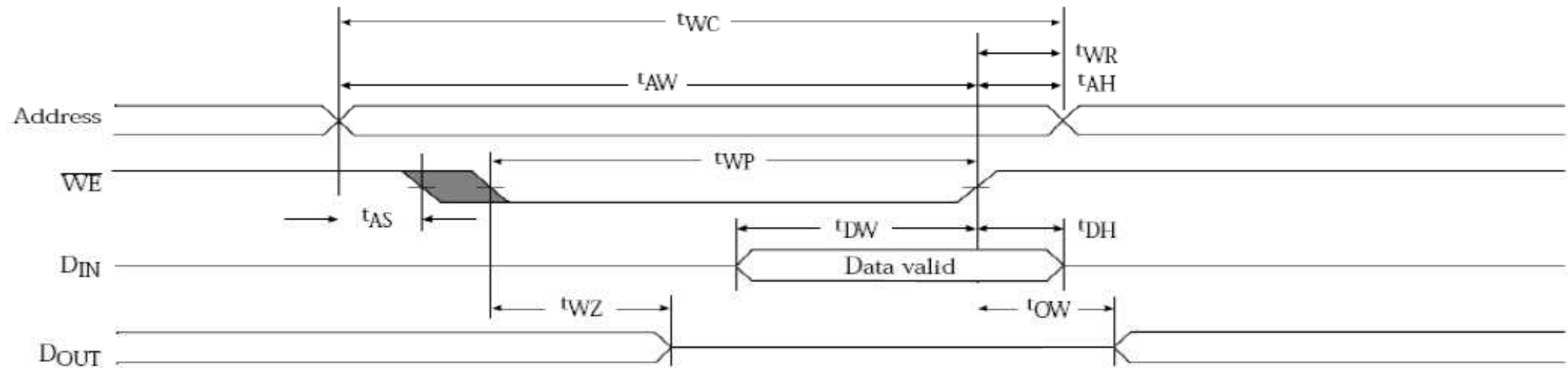


Read waveform 2 (\overline{CE} , \overline{OE} controlled)

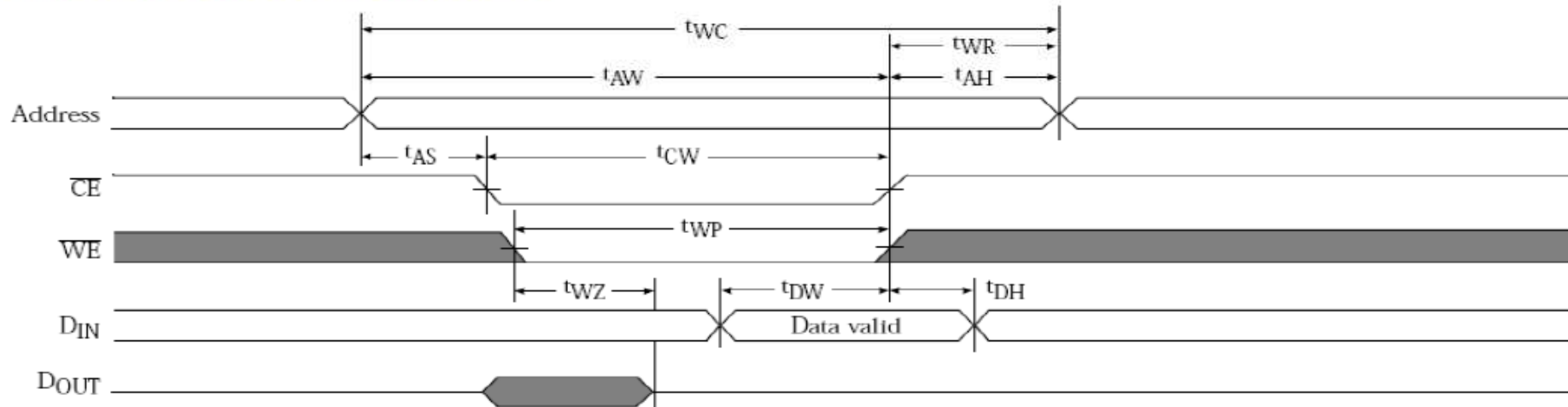


Pamięć asynchroniczna SRAM Cykl zapisu

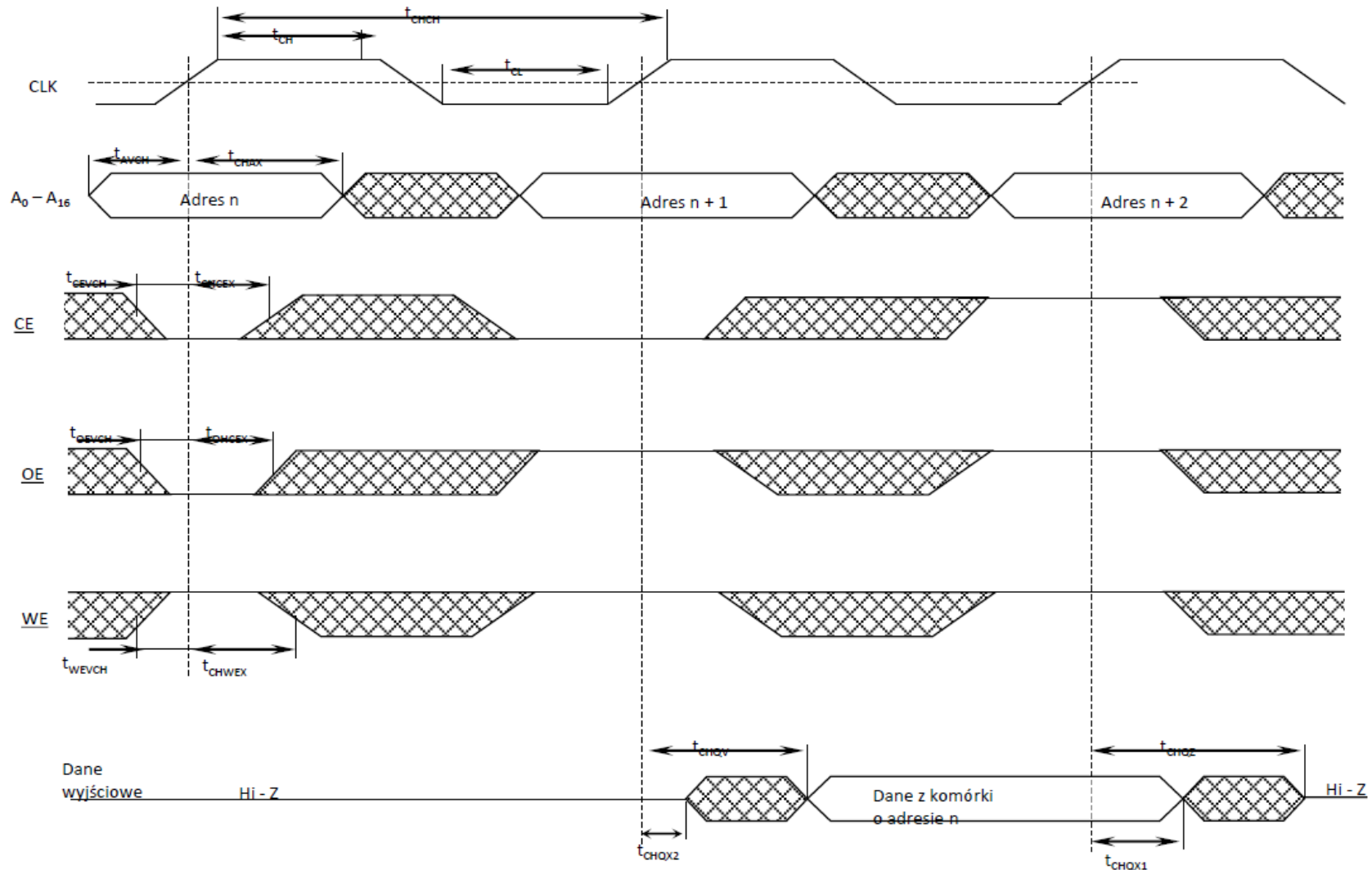
Write waveform 1 (WE controlled)



Write waveform 2 (CE controlled)

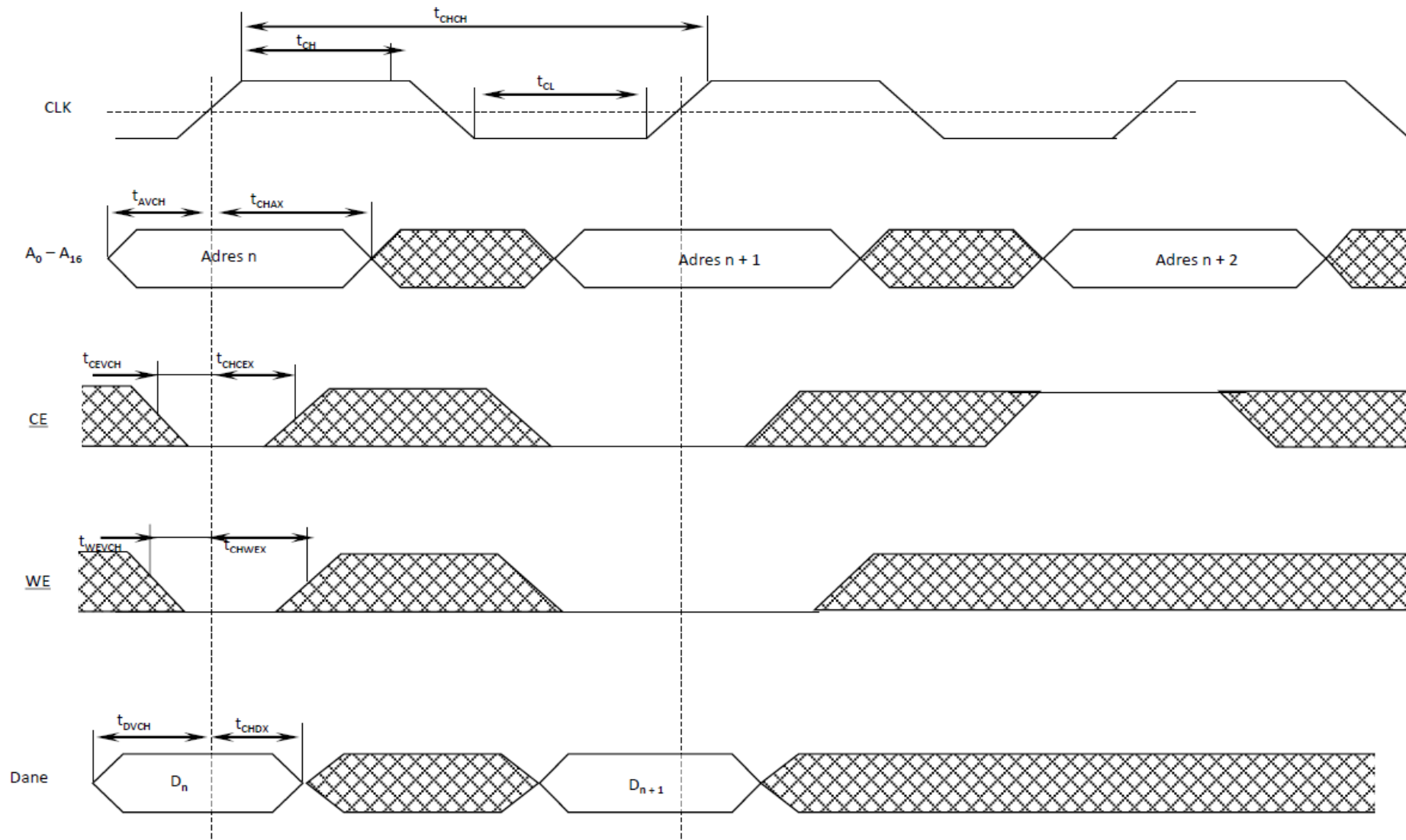


Pamięć synchroniczna SRAM (SSRAM) Cykl odczytu



Pamięć synchroniczna SRAM (SSRAM)

Cykl zapisu



Pamięć DRAM

Struktura komórki pamięci

Pamięć DRAM (ang. Dynamic RAM) – ulotna dynamiczna pamięć półprzewodnikowa. Dynamiczna oznacza, że aby dane w niej zgromadzone nie uległy degradacji musi być czasowo „odświeżana”. Cykl odświeżania powinien następować co ok. 8-20 ms.

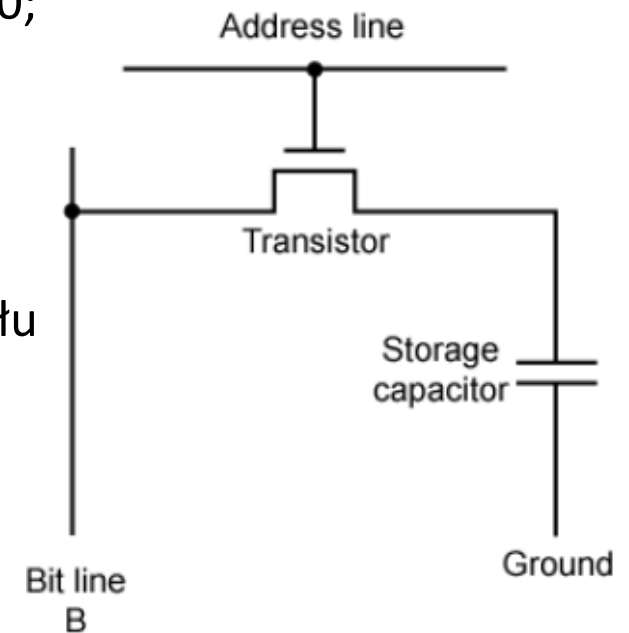
Informacja przechowywana jest w postaci ładunku elektrycznego.

Operacja zapisu

- podajemy napięcie na linie bitowa – wysokie dla 1 i niskie dla 0;
- podajemy sygnał na linie adresową;
- następuje przepływ prądu, który ładuje kondensator.

Operacja odczytu

- podajemy sygnał na linie adresową – następuje otwarcie kanału tranzystora;
- kondensator rozładowuje się poprzez linie bitowa do czujnika;
- następuje porównanie odczytanej wielkości ze wzorcem, aby określić wartość bitu (0 lub 1);
- stan naładowania kondensatora zostaje odtworzony.

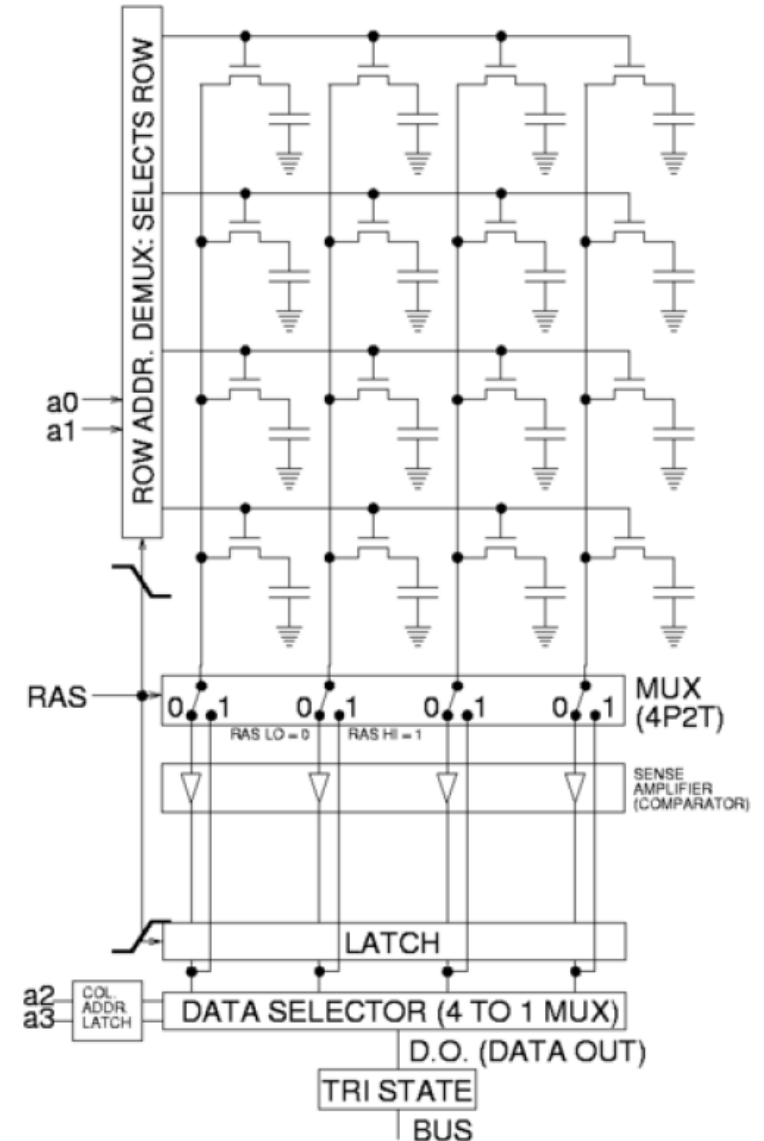
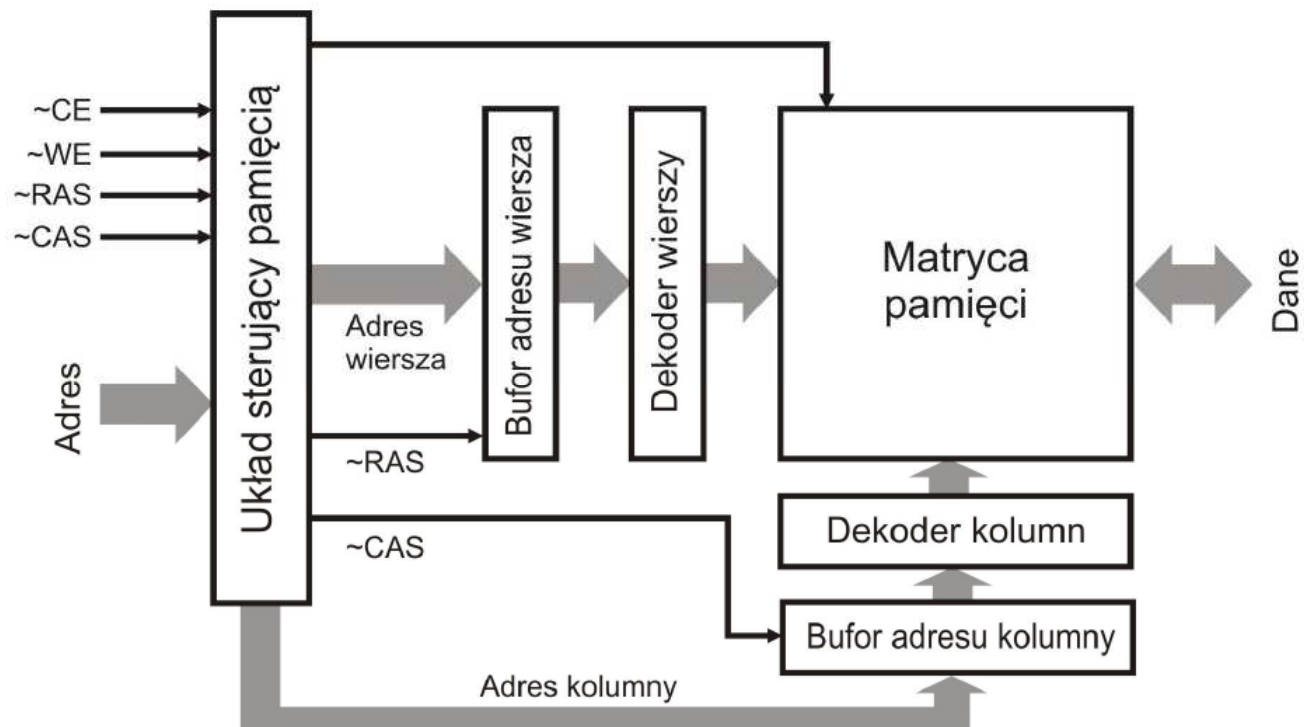


Pamięć DRAM Struktura pamięci

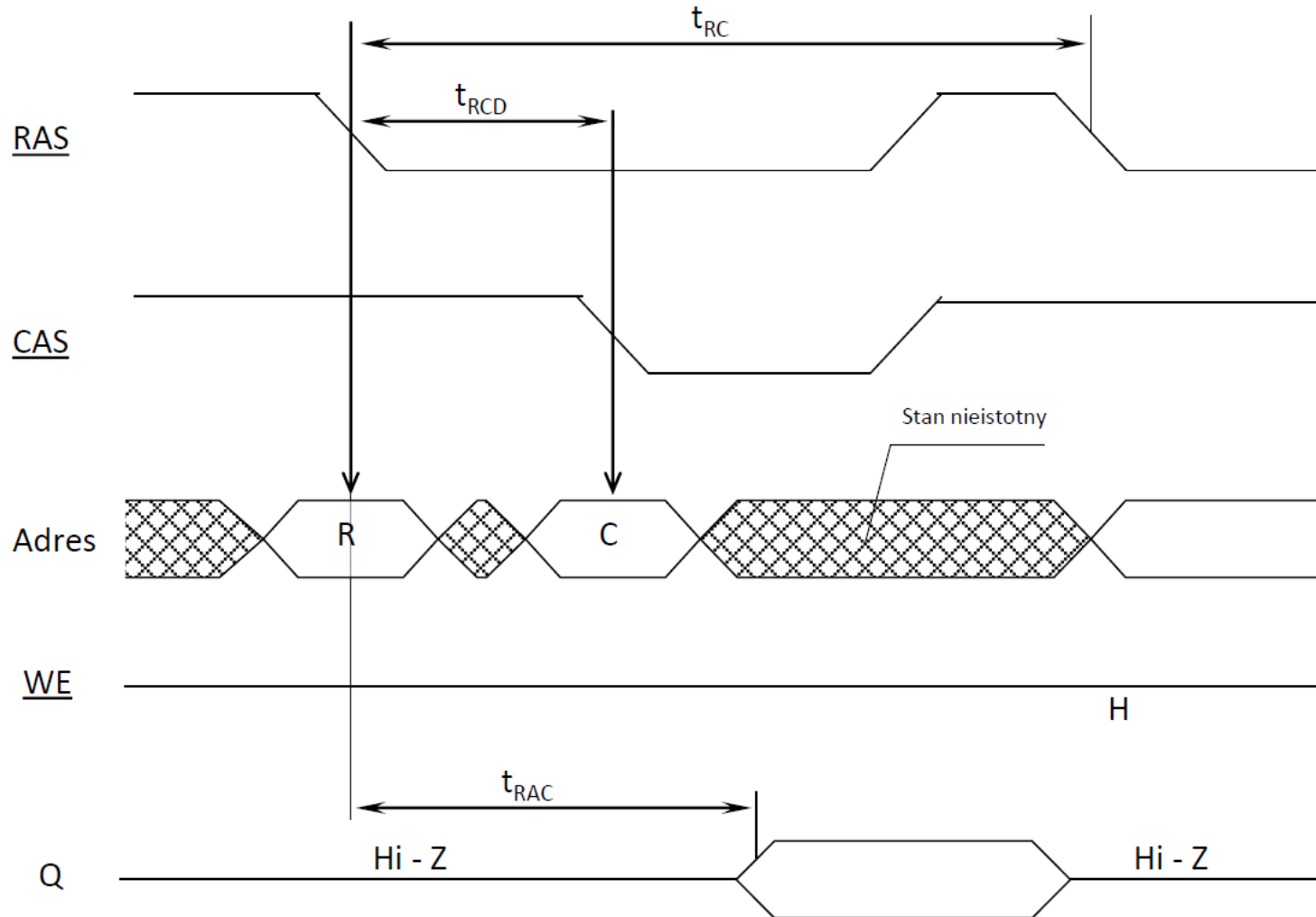
Adres podawany jest w dwóch krokach:

/RAS - Row Address Strobe (sygnał zatrzasku wiersza)

/CAS - Column Address Strobe (sygnał zatrzasku kolumny)



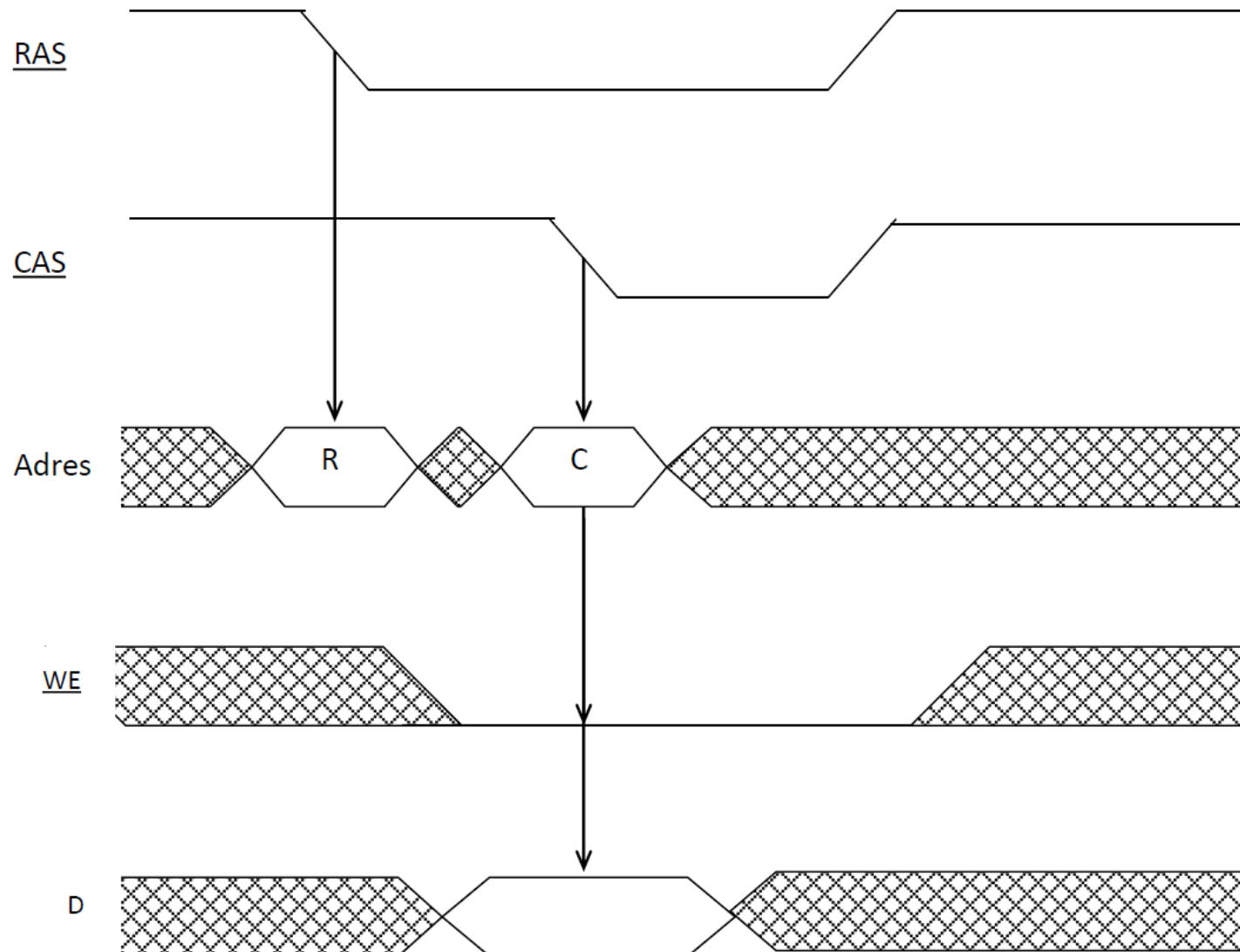
Pamięć DRAM Cykl odczytu



RAS – Row Address Strobe

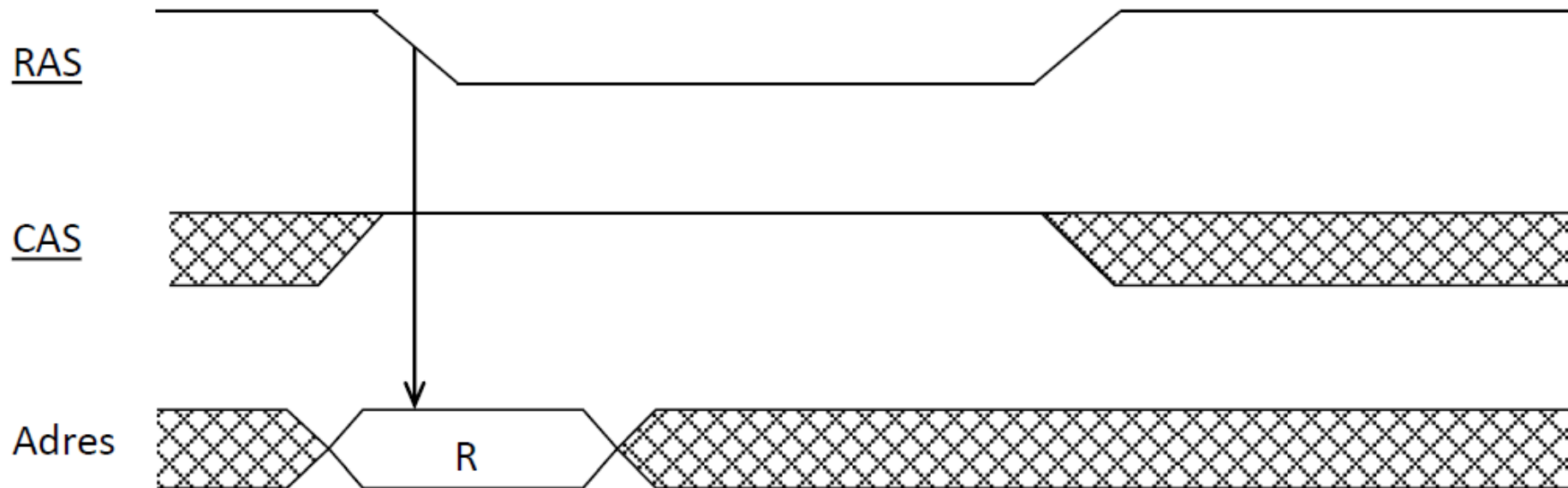
CAS – Column Address Strobe

Pamięć DRAM Cykl zapisu



Pamięć DRAM

- Odświeżanie całego wiersza



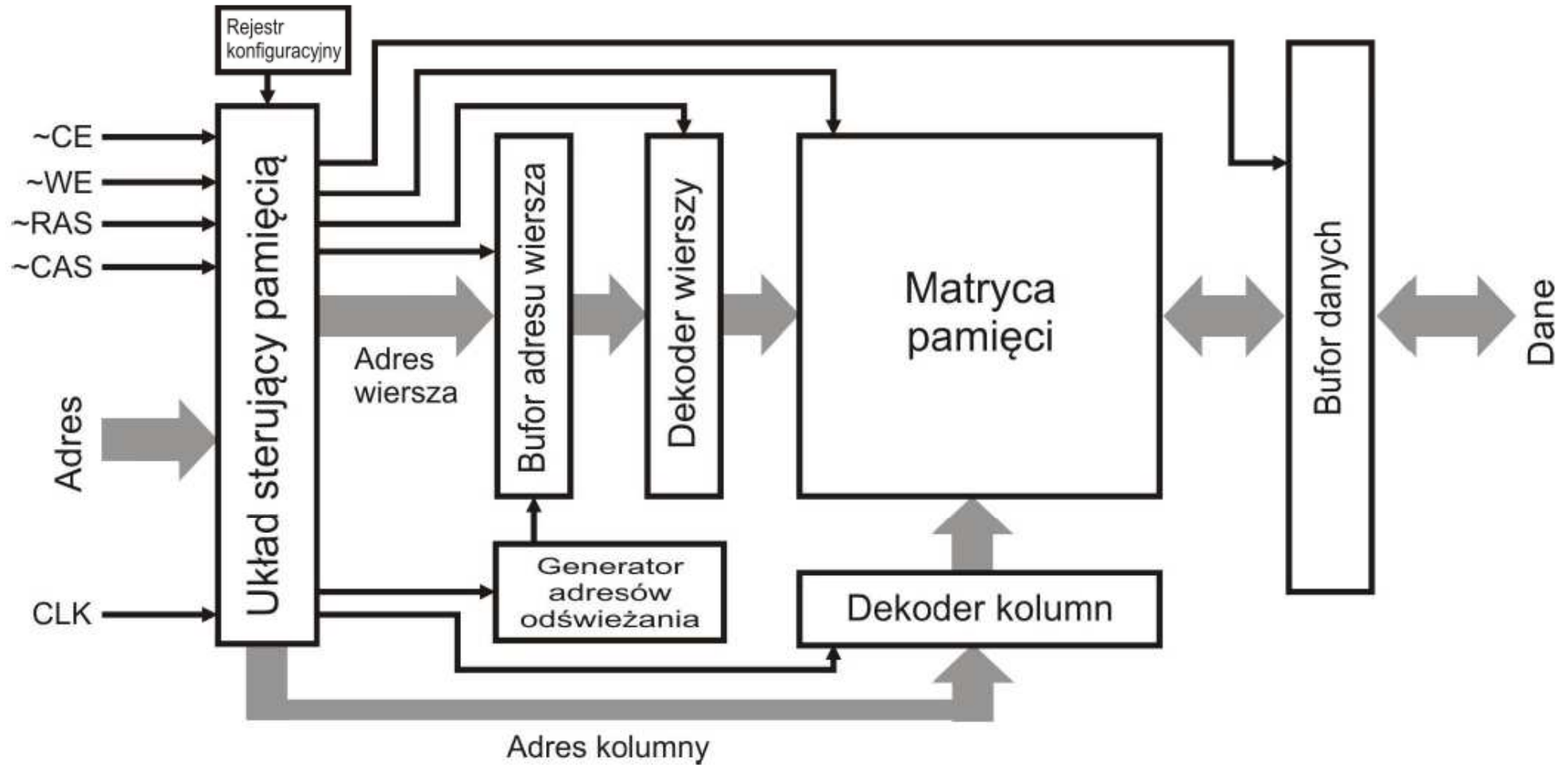
- **/CAS before /RAS** - jeśli sygnał jest ustawiony w stan niski (aktywny) przez sygnałem /RAS to pamięć ignoruje adres podany na magistrali adresowej i używa swojego wewnętrznego licznika do odświeżania kolejnego wiersza. Nie ma potrzeby inkrementacji własnego licznika.

Pamięć SDRAM

Pamięci SDRAM (ang. *Synchronous Dynamic Random Access Memory*) - synchroniczna odmiana pamięci DRAM. Pamięć SDRAM posiada wejście zegarowe, które umożliwia synchroniczną pracę układu.

- Wszystkie sygnały sterujące pamięci SDRAM synchronizowane są przez jeden przebieg zegarowy. Ułatwia to współpracę pamięci z magistralami.
- Sygnał taktujący pozwala na dokładne zsynchronizowanie ze sobą operacji wykonywanych przez pamięć i jej kontroler – umożliwia to skrócenie czasu przeznaczonego na te operacje, a więc przyspieszenie działania pamięci.
- Obsługa odświeżania pamięci przeniesiona została do wnętrza kości. Każdy chip wyposażony jest we własny generator pobudzający w odpowiednim rytmie wszystkie komórki pamięci. Powoduje to obciążenie kontrolera pamięci i umożliwia dalsze przyspieszenie jej pracy.

Pamięć SDRAM Architektura pamięci



Pamięć DDR SDRAM

Pamięć DDR (*ang. Double Data Rate*) - modyfikacja pamięci SDRAM, w której dane przesyłane są w czasie trwania zarówno rosnącego jak i opadającego zbocza zegara, przez co uzyskana została dwa razy większa przepustowość niż w przypadku konwencjonalnej SDRAM.

- Transfer danych następuje 2 razy na takt zegara – na narastające i opadające zbocze
- Komendy akceptowane są co takt zegara (w pierwszym przybliżeniu) i są podobne jak dla SDRAM
- Obniżono napięcie zasilania z 3.3V na 2.5V
- Szybkość transmisji: 2×64 (szerokość magistrali) $\times f$ (częstotliwość magistrali) [B/s]

Standard name	Memory clock	Cycle time	I/O Bus clock	Data transfers per second	Module name	Peak transfer rate
DDR-200	100 MHz	10 ns ^[1]	100 MHz	200 Million	PC-1600	1600 MB/s
DDR-266	133 MHz	7.5 ns	133 MHz	266 Million	PC-2100	2100 MB/s
DDR-300	150 MHz	6.67 ns	150 MHz	300 Million	PC-2400	2400 MB/s
DDR-333	166 MHz	6 ns	166 MHz	333 Million	PC-2700	2700 MB/s
DDR-400	200 MHz	5 ns	200 MHz	400 Million	PC-3200	3200 MB/s
DDR-500	250 MHz	4 ns	250 MHz	500 Million	PC-4000	4000 MB/s
*DDR-650	325 MHz	3.1 ns	325 MHz	650 Million	PC-5200	5200 MB/s

Pamięć DDR2 SDRAM

Pamięć DDR2

- Transfer danych na narastającym i opadającym zboczu
- Częstotliwość wewnętrzna pamięci 2 razy mniejsza od częstotliwości magistrali zewnętrznej – dlatego podczas jednego odczytu z pamięci wewnętrznej odczytywane są 4 bity, które są kolejno transferowane pojedynczo
- Obniżone napięcia zasilania na 1.8V
- Wyższa częstotliwość taktowania;
- Większe opóźnienie (latency), np. dla DDR typowe to 2 do 3, dla DDR2 typowe to 4 do 6 taktów zegara – opóźnienie to jest częściowo rekompensowane większą częstotliwością taktowania

Standard name	Memory clock	Cycle time	I/O Bus clock	Data transfers per second	Module name	Peak transfer rate
DDR2-400	100 MHz	10 ns	200 MHz	400 Million	PC2-3200	3200 MB/s
DDR2-533	133 MHz	7.5 ns	266 MHz	533 Million	PC2-4200 PC2-4300 ¹	4266 MB/s
DDR2-667	166 MHz	6 ns	333 MHz	667 Million	PC2-5300 PC2-5400 ¹	5333 MB/s
DDR2-800	200 MHz	5 ns	400 MHz	800 Million	PC2-6400	6400 MB/s
DDR2-1066	266 MHz	3.75 ns	533 MHz	1066 Million	PC2-8500 PC2-8600 ¹	8533 MB/s
DDR2-1300	325 MHz	3.1 ns	650 MHz	1300 Million	PC2-10400	10400 MB/s

Pamięć DDR3 SDRAM

Pamięć DDR3

- Częstotliwość wewnętrzna pamięci 4 razy mniejsza od częstotliwości zewnętrznej – dlatego podczas jednego odczytu wewnętrznego czytanych jest 8 bitów, które z kolei są transmitowane pojedynczo w 4 taktach zegara
 - Zwiększono częstotliwość taktowania
 - Zwiększono opóźnienie (latency)
 - Zmniejszono napięcie zasilania do 1.5V

Standard name	Memory clock	Cycle time	I/O Bus clock	Data transfers per second	Module name	Peak transfer rate
DDR3-800	100 MHz	10 ns	400 MHz	800 Million	PC3-6400	6400 MB/s
DDR3-1066	133 MHz	7.5 ns	533 MHz	1066 Million	PC3-8500	8533 MB/s
DDR3-1333	166 MHz	6 ns	667 MHz	1333 Million	PC3-10600	10667 MB/s[1]
DDR3-1600	200 MHz	5 ns	800 MHz	1600 Million	PC3-12800	12800 MB/s

LITERATURA

- [1] dr hab. inż. Maciej Petko, prof. AGH - Wykład: Pamięci
- [2] dr Artur Bartoszewski - WYKŁAD: Architektura systemów komputerowych
- [3] Witold Sumara - Technika Cyfrowa: Pamięci
- [4] Ulrich Tietze, Christoph Schenk - Układy półprzewodnikowe
- [5] dr hab. inż. Krzysztof Patan, prof. PWSZ - Wykład: Pamięć

Rysunki

- [6] <https://www.eeeguide.com/programmable-read-only-memory-prom/>
- [7] https://miro.medium.com/max/640/0*7sKJA4uIANcabU2R
- [8] http://resource.renesas.com/lib/eng/e_learnig/h8_300henglish/s13/bf04.html
- [9] <https://techdifferences.com/difference-between-sram-and-dram.html>