

Mechatroniczne systemy wykonawcze, sensoryczne i sterujące

dr inż. Grzegorz Góra

D1-Lab 20

ggora@agh.edu.pl

<http://home.agh.edu.pl/~ggora/>

Katedra Robotyki i Mechatroniki

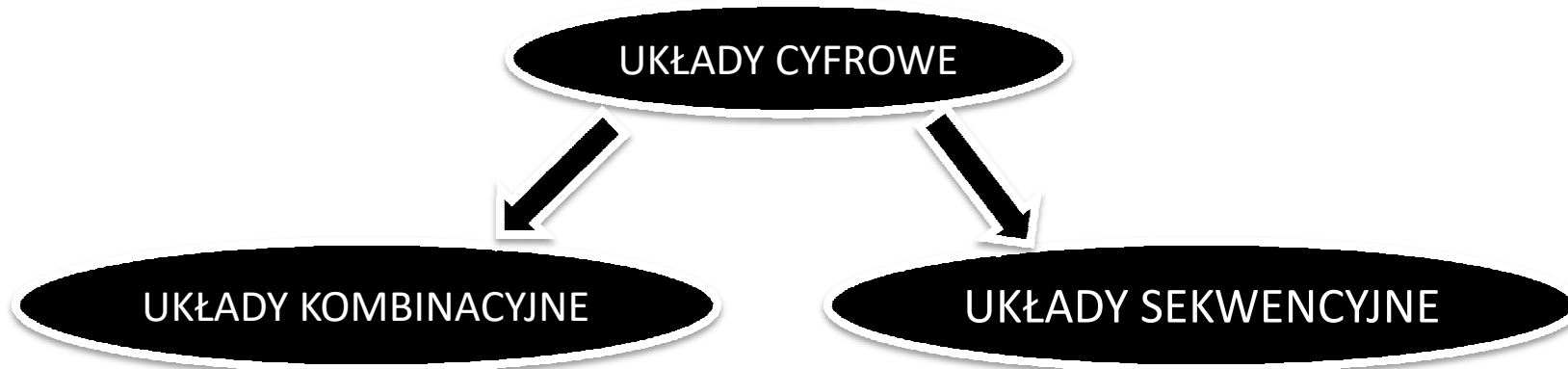
Wydział Inżynierii Mechanicznej i Robotyki

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie

PLAN WYKŁADU

- 1. Układy kombinacyjne a sekwencyjne***
- 2. Przerzutniki***
- 3. Automat Moore'a***
- 4. Automat Mealye'go***
- 5. Synteza automatu***
- 6. Przykład syntezy automatu na podstawie przejazdu kolejowego***

Układy cyfrowe: układy kombinacyjne a sekwencyjne



UKŁAD KOMBINACYJNY – rodzaj układu cyfrowego, w którym **stan wyjść tego układu zależy jedynie od stanu jego wejść**. Układami kombinacyjnymi są np. sumator, substraktor, multiplekser, komparator, transkodery, itd.

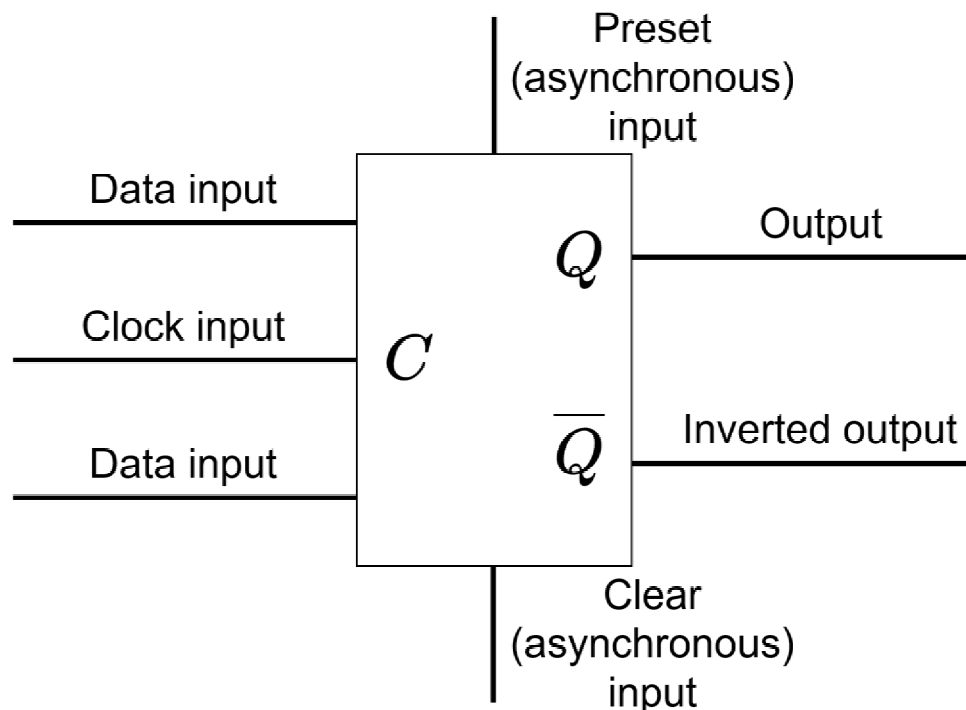
UKŁAD SEKWENCYJNY – rodzaj układu cyfrowego, w którym **stan wyjść tego układu zależy od stanu wejść oraz poprzedniego stanu tego układu**. Układami sekwencyjnymi są np. liczniki, automaty.

- Układy sekwencyjne zawierają elementy przechowujące aktualny stan.
- Do przechowywania aktualnego stanu wykorzystuje się przerzutniki i/lub zatrzaski (ang. flip-flop).
- Przerzutnik w układach sekwencyjnych pełni funkcję 1-bitowej pamięci.
- Aktualizacja stanu przerzutnika (zapamiętanej wartości) w układach synchronicznych następuje na każde narastające (lub opadające) zbocze zegara.

Przerzutnik

Przerzutniki to układy posiadające dwa stabilne stany, w których można przechowywać informacje. Układ można zmienić stan za pomocą sygnałów przyłożonych do jednego lub większej liczby wejść sterujących.

Jest to podstawowy element pamięci w logice sekwencyjnej.



Symbol wejścia	Określenie wejścia
	Wejście statyczne z aktywnym stanem 1
	Wejście statyczne z aktywnym stanem 0
	Wejście dynamiczne z aktywną zmianą stanu 0 na 1 (zbocze narastające)
	Wejście dynamiczne z aktywną zmianą stanu 1 na 0 (zbocze opadające)

Specjalne wejścia przerzutników

EN (*enable*), G (*gate*), STB (*strobe*), LE (*latch enable*) – wejście bramkujące przerzutnik

CE (*clock enable*) – wejście blokujące sygnał zegarowy

PRE (*preset*), AS (*asynchronous set*) – asynchroniczne wejście ustawiające przerzutnik

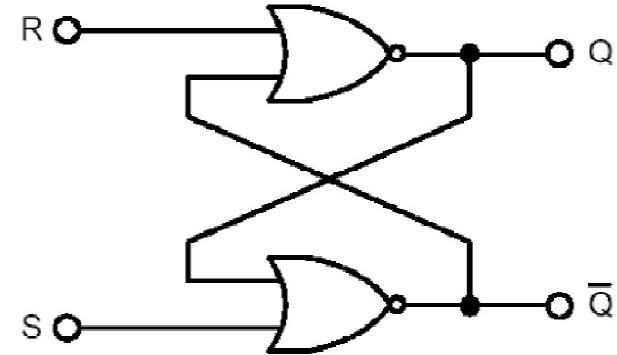
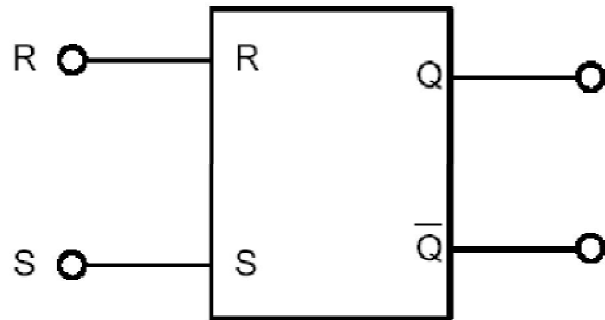
CLR (*clear*), AR (*asynchronous reset*) – asynchroniczne wejście kasujące przerzutnik

S (*set*), SET, SS (*synchronous set*) – synchroniczne wejście ustawiające przerzutnik

R (*reset*), RES, SR (*synchronous reset*) – synchroniczne wejście kasujące przerzutnik

OE (*output enable*) – wejście blokujące wyjście przerzutnika

Przerzutnik RS (asynchroniczny)



S	R	Q_n	\bar{Q}_n
0	0	Q_{n-1}	\bar{Q}_{n-1}
0	1	0	1
1	0	1	0
1	1	0	0

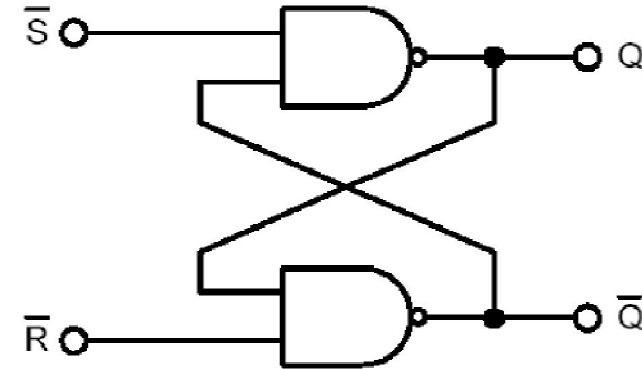
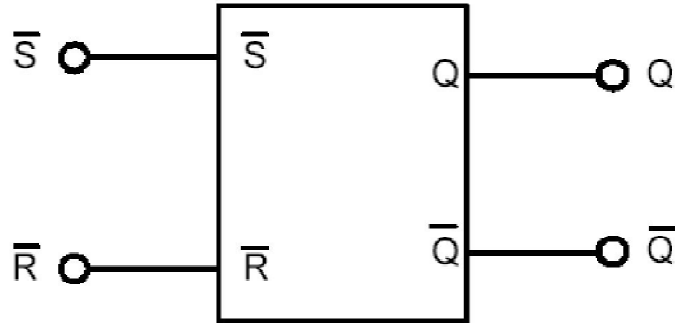
$$S \cdot R = 0$$

$Q_{n-1} \rightarrow Q_n$	S	R
0 → 0	0	X
0 → 1	1	0
1 → 0	0	1
1 → 1	X	0

Stan zabroniony –
 w stanie zabronionym
 na obu wyjściach jest '0'

Q \ SR	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Przerzutnik RS (asynchroniczny)



\bar{S}	\bar{R}	Q_n	\bar{Q}_n
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_{n-1}	\bar{Q}_{n-1}

$$\bar{S}\bar{R} = 1$$

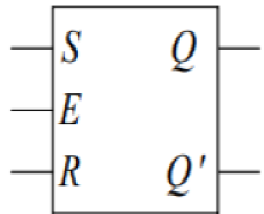
$Q_{n-1} \rightarrow Q_n$	\bar{S}	\bar{R}
0 → 0	1	X
0 → 1	0	1
1 → 0	1	0
1 → 1	X	1

$\bar{S}\bar{R}$	00	01	11	10
Q	-	1	0	0
	-	1	1	0

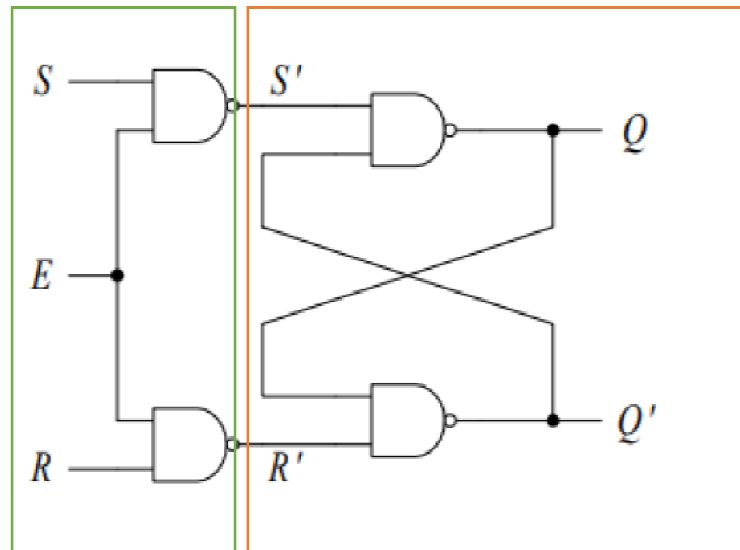
Stan zabroniony –
w stanie zabronionym
na obu wyjściach jest '1'

Zatrząsk RS (asynchroniczny)

Logic symbol



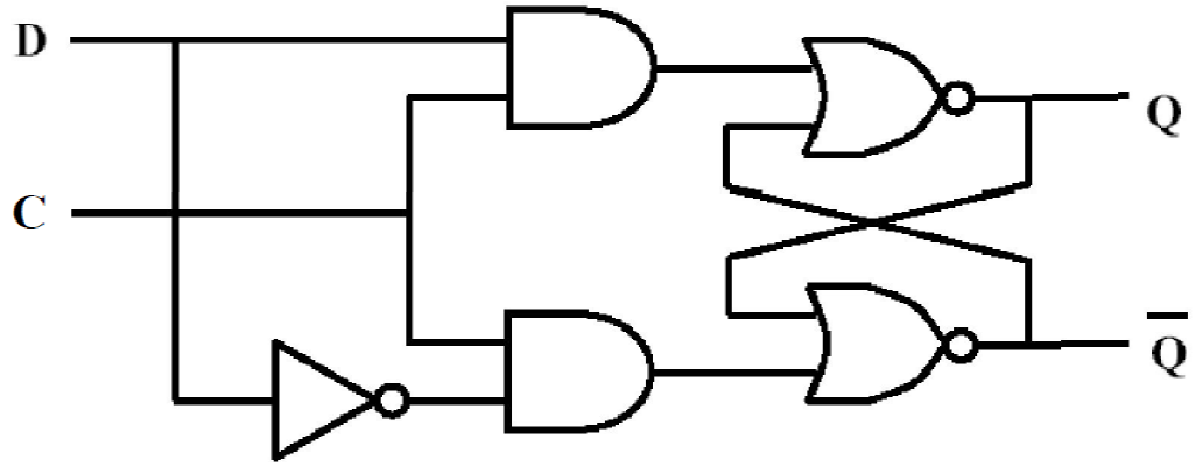
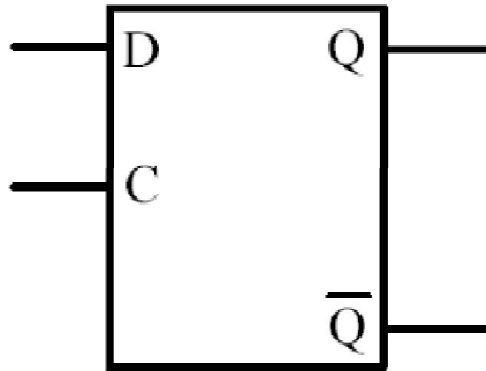
Circuit



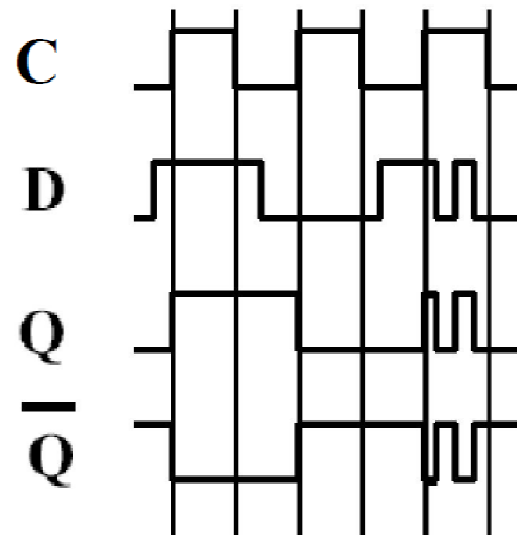
Truth table

Enable	S	R	Q	\bar{Q}
0	0	0	Latch	
0	0	1	Latch	
0	1	0	Latch	
0	1	1	Latch	
1	0	0	Latch	
1	0	1	0	1
1	1	0	1	0
1	1	1	INVALID	

Zatrzask D (ang. D-Latch)

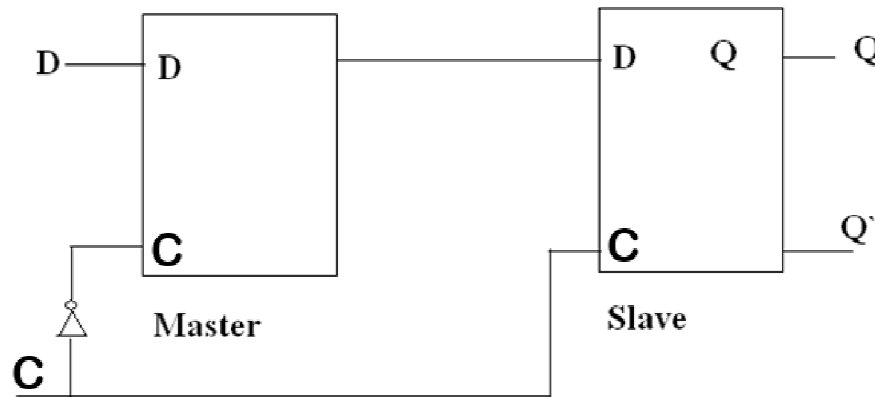
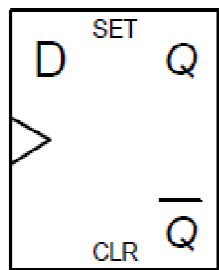
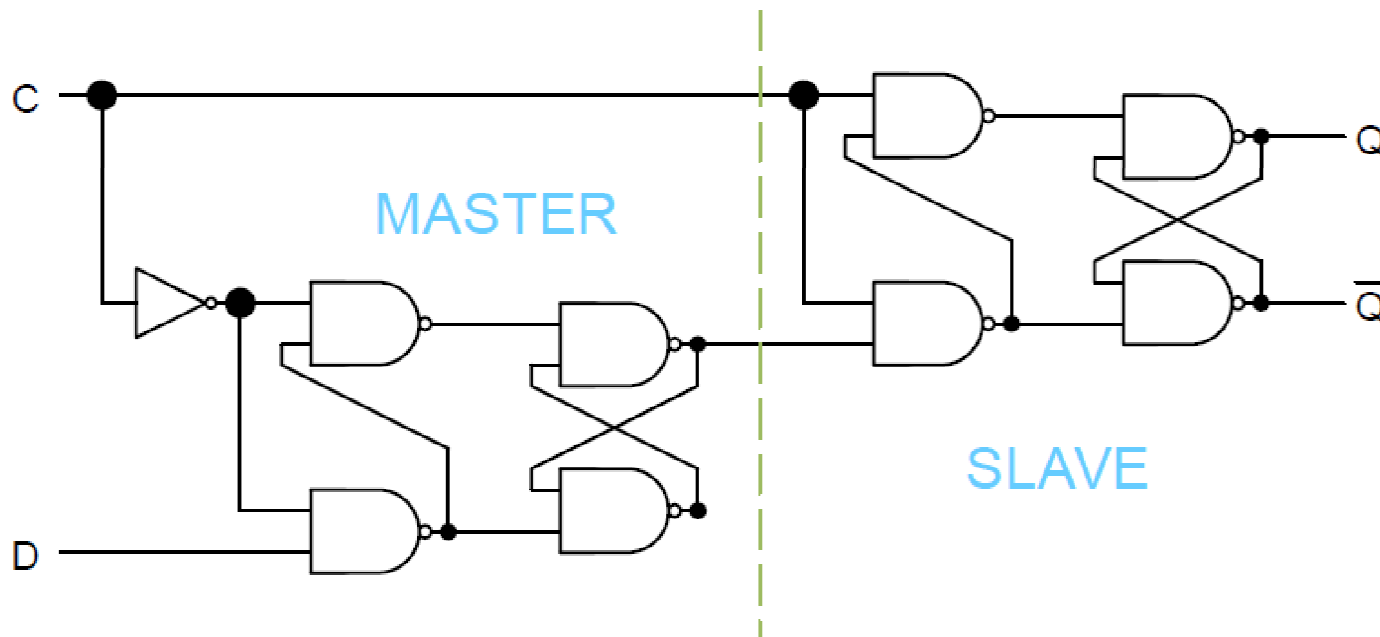


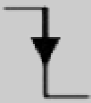
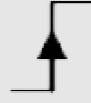

C	D	Q
0	0	Q_{n-1}
0	1	Q_{n-1}
1	0	0
1	1	1



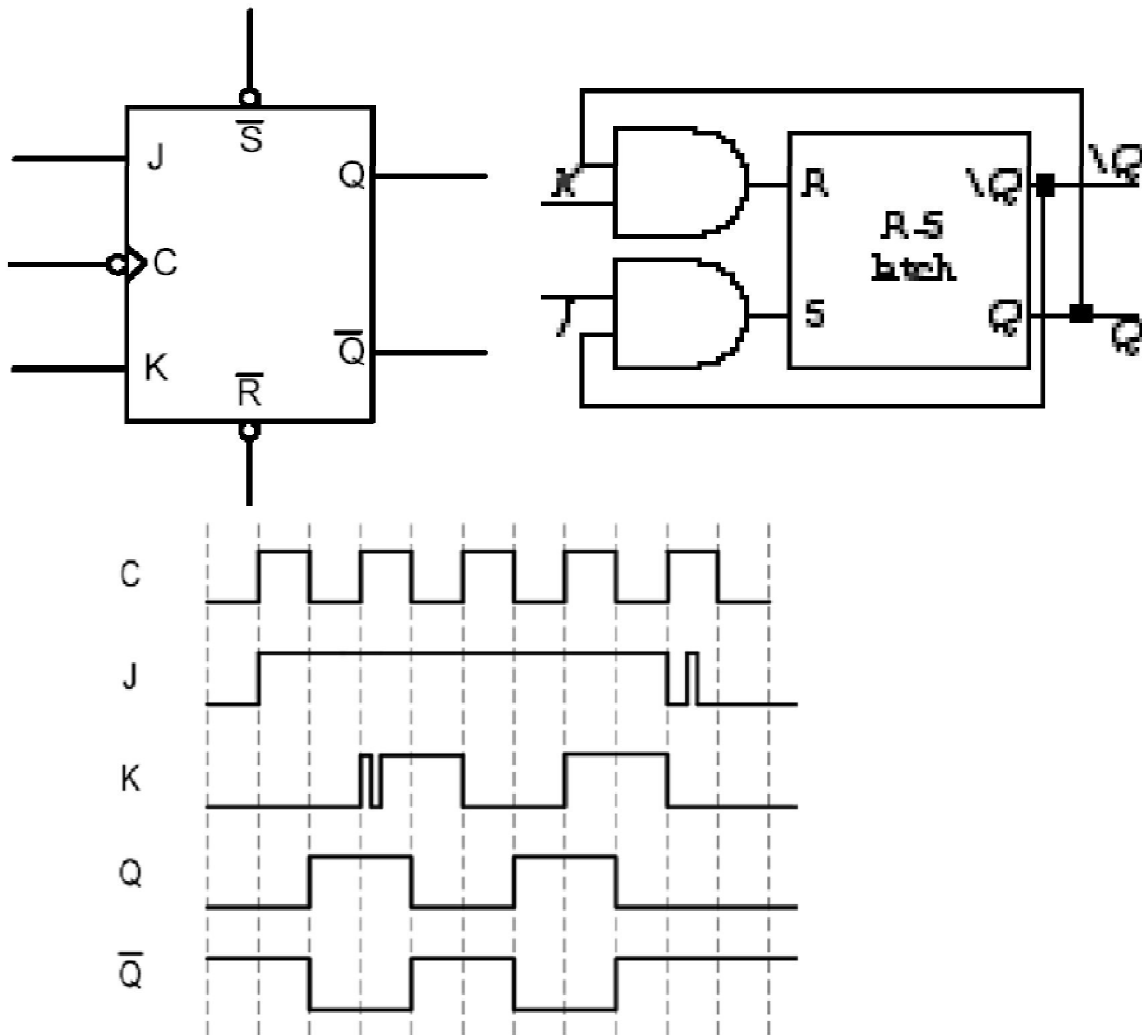
$Q_{n-1} \rightarrow Q_n$	D
0 \rightarrow 0	0
0 \rightarrow 1	1
1 \rightarrow 0	0
1 \rightarrow 1	1

Przerzutnik D (Master-Slave)



C	D	Q
0	x	Q_{-1}
1	x	Q_{-1}
	x	Q_{-1}
	0	0
	1	1

Przerzutnik JK

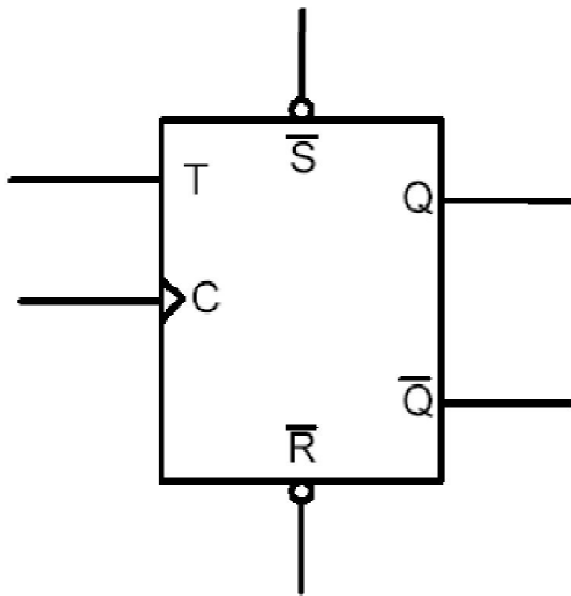


J	K	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	\bar{Q}_{n-1}

JK \ Q	00	01	11	10
0	0	0	1	1
1	1	0	0	1

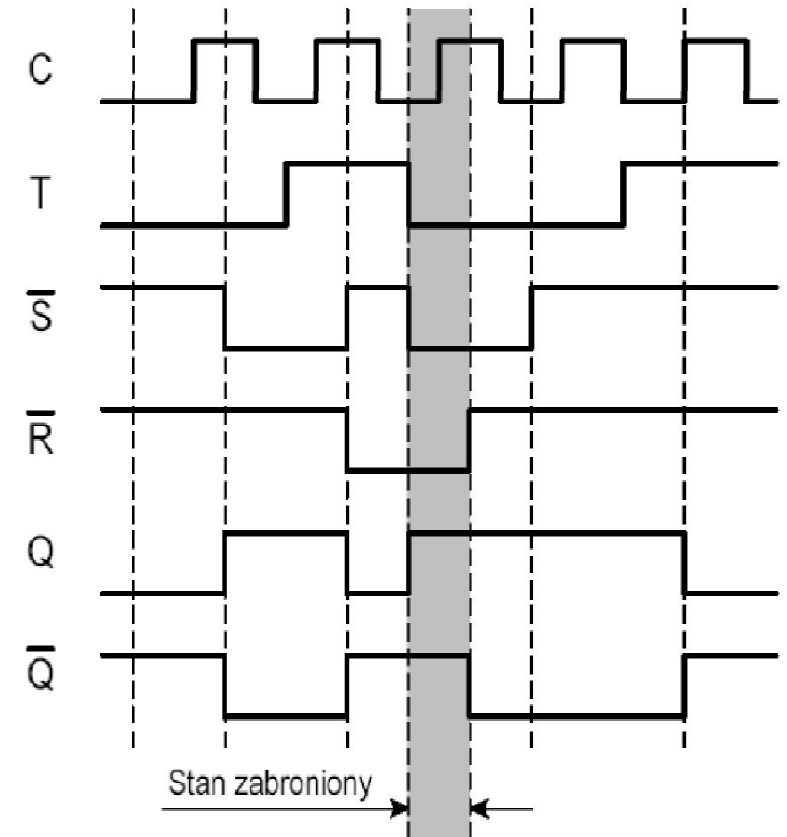
$Q_{n-1} \rightarrow Q_n$	J	K
0 \rightarrow 0	0	X
0 \rightarrow 1	1	X
1 \rightarrow 0	X	1
1 \rightarrow 1	X	0

Przerzutnik T

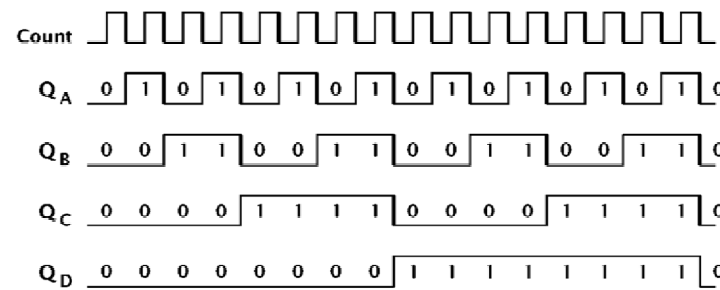
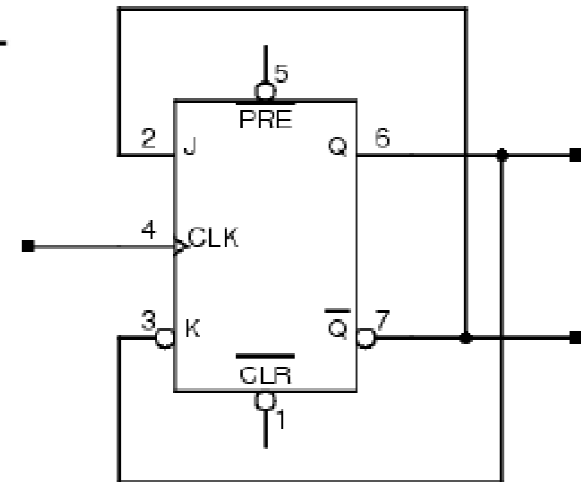
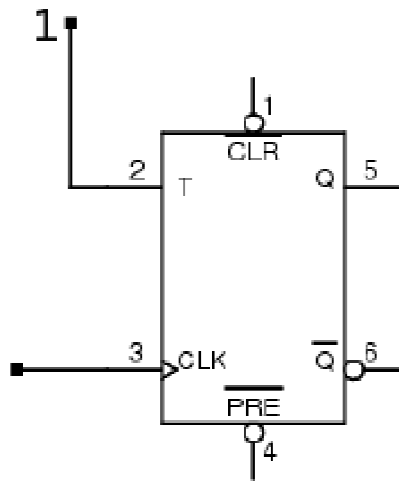
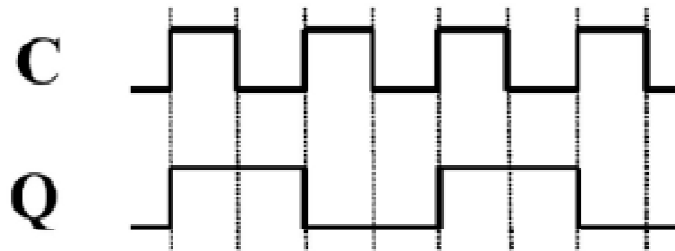
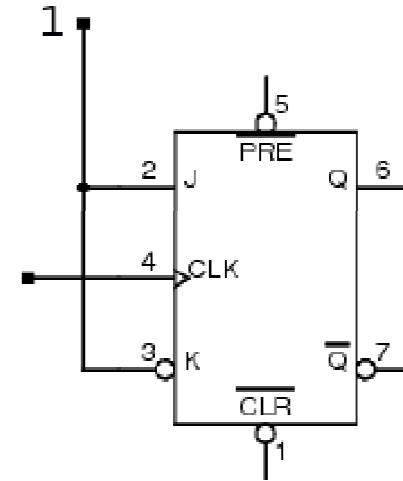
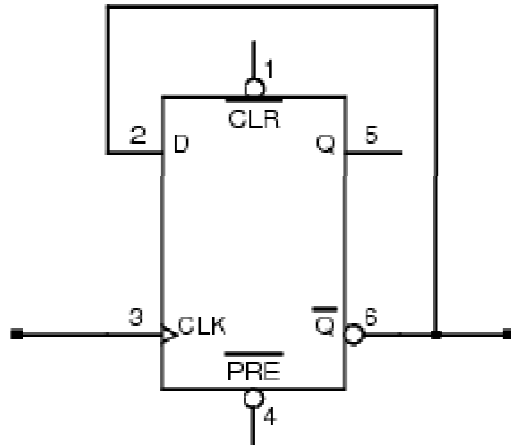


T	Q_n
0	Q_{n-1}
1	$\overline{Q_{n-1}}$

$Q_{n-1} \rightarrow Q_n$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

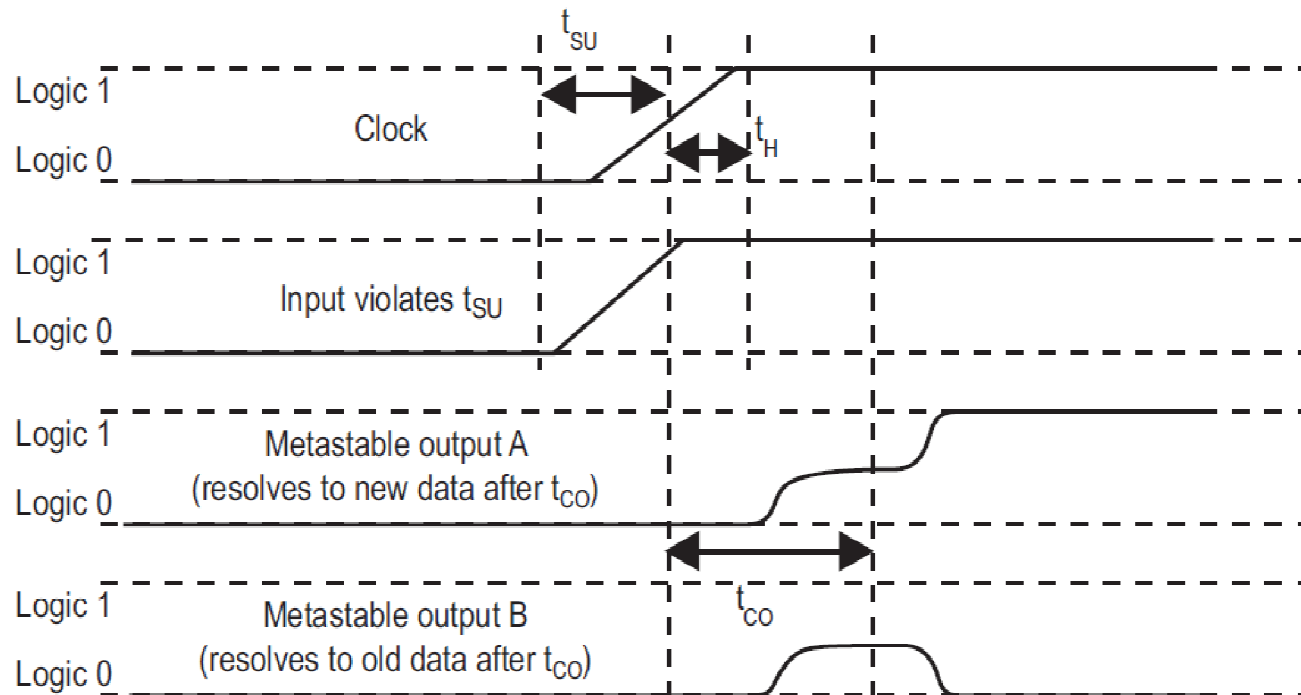


Dwójka licząca



Metastabilność

Przerzutniki w systemach cyfrowych mają zdefiniowane wymagania dotyczące taktowania sygnału, które umożliwiają każdemu przerzutnikowi prawidłowe odczytywanie danych na swoich wejściach i generowanie sygnałów wyjściowych. Aby zapewnić poprawną pracę, wejście do przerzutnika musi być stabilne przez minimalny czas przed zboczem zegara i przez minimalny czas po zboczu zegara (czasy te są przypisane jako czas nastawienia t_{SU} i czas podtrzymania t_H). Wówczas wyjście rejestru jest dostępne po upływie określonego opóźnienia przypisanego jako opóźnienie zegara do wyjścia (t_{CO}).

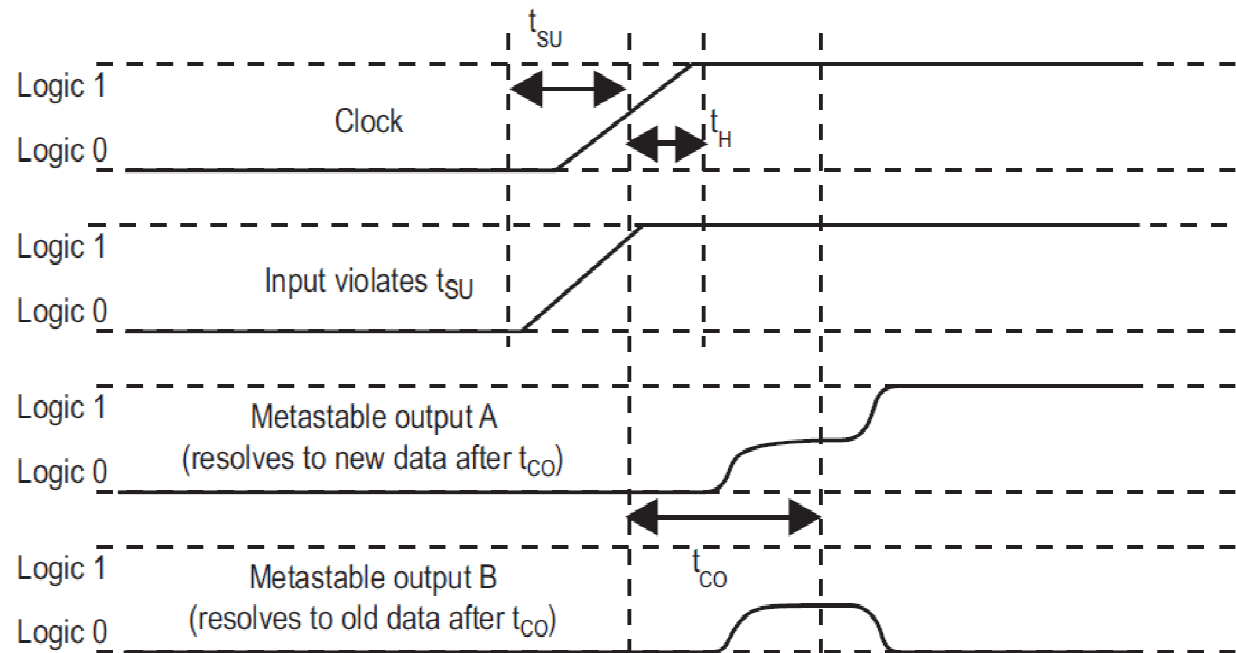


Metastabilność

Jeśli przejście sygnału danych nie spełnia wymagań czasowych, sygnały wyjściowe mogą przejść do stanu metastabilnego. W stanie metastabilnym wyjście przerzutnika oscyluje pomiędzy stanami wysokim i niskim przez pewien okres czasu. Oznacza to, że przejście wyjścia do określonego stanu wysokiego lub niskiego jest opóźnione powyżej czasu t_{CO} . Z tego powodu zjawisko metastabilności jest bardzo niebezpieczne. W układach synchronicznych sygnały wejściowe zawsze spełniają wymagania taktowania przerzutnika, więc nie pojawia się metastabilność.

Problemy z metastabilnością często pojawiają się, gdy sygnał jest przesyłany w asynchronicznych domenach zegara (na przykład jest to sygnał wejściowy z innego urządzenia).

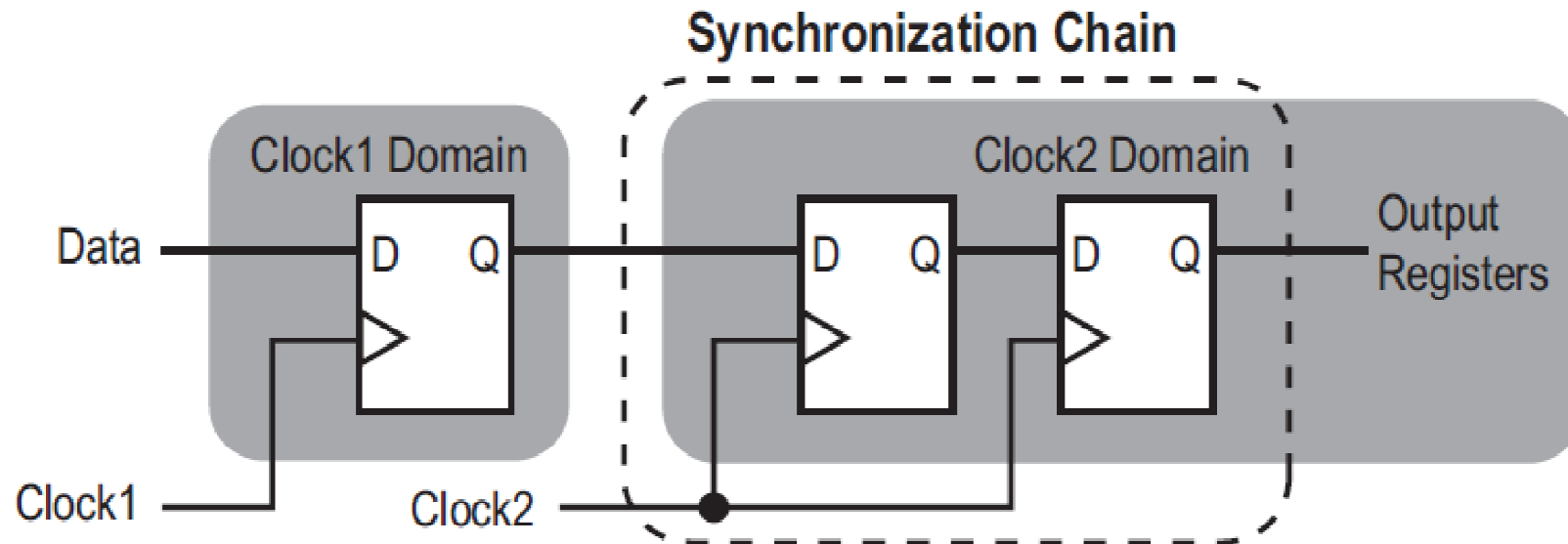
W takim przypadku projektant nie może zagwarantować, że sygnał spełni wymagania czasowe, ponieważ sygnał może dotrzeć w dowolnym momencie względem zegara docelowego.



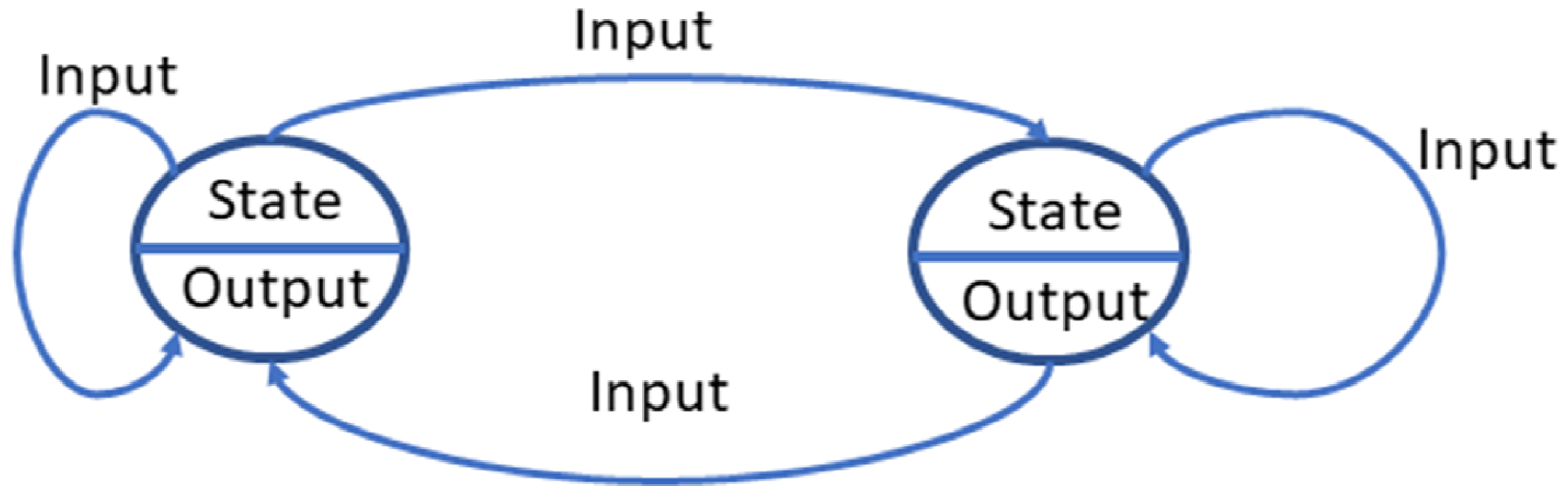
Metastabilność

Kiedy sygnał jest przesyłany pomiędzy obwodami w asynchronicznych domenach zegara, konieczne jest zsynchronizowanie tego sygnału z nową dziedziną zegara, zanim będzie można go wykorzystać. Pierwszy rejestr w nowej domenie zegara pełni funkcję rejestru synchronizacji.

Aby zminimalizować awarie spowodowane metastabilnością w asynchronicznych transferach sygnału, projektanci obwodów zazwyczaj wykorzystują sekwencję rejestrów (łańcuch rejestrów synchronizacji lub synchronizator) w docelowej domenie zegara w celu ponownej synchronizacji sygnału z nową dziedziną zegara. Rejestry te zapewniają dodatkowy czas dla potencjalnie metastabilnego sygnału do uzyskania znanej wartości, zanim sygnał zostanie wykorzystany w pozostałej części projektu.



Automat Moore'a



Generic Moore model

- Najczęściej wykorzystywaną formą opisu (zachowania) automatu jest graf.
- Stany automatu reprezentowane są przez okręgi.
- Przejścia pomiędzy stanami reprezentowane są przez strzałki.
- Na strzałkach umieszczane są warunki przejścia (kombinacje wejść).
- W automacie Moore'a stan wyjść jest jednoznacznie powiązany ze stanem automatu. Stan wyjść umieszczany jest wewnątrz okręgów.

Automat Moore'a

Q – stan automatu

$(q_{N-1}, \dots, q_1, q_0)$;

X – alfabet wejściowy

$(x_{M-1}, \dots, x_1, x_0)$;

Y – alfabet wyjściowy

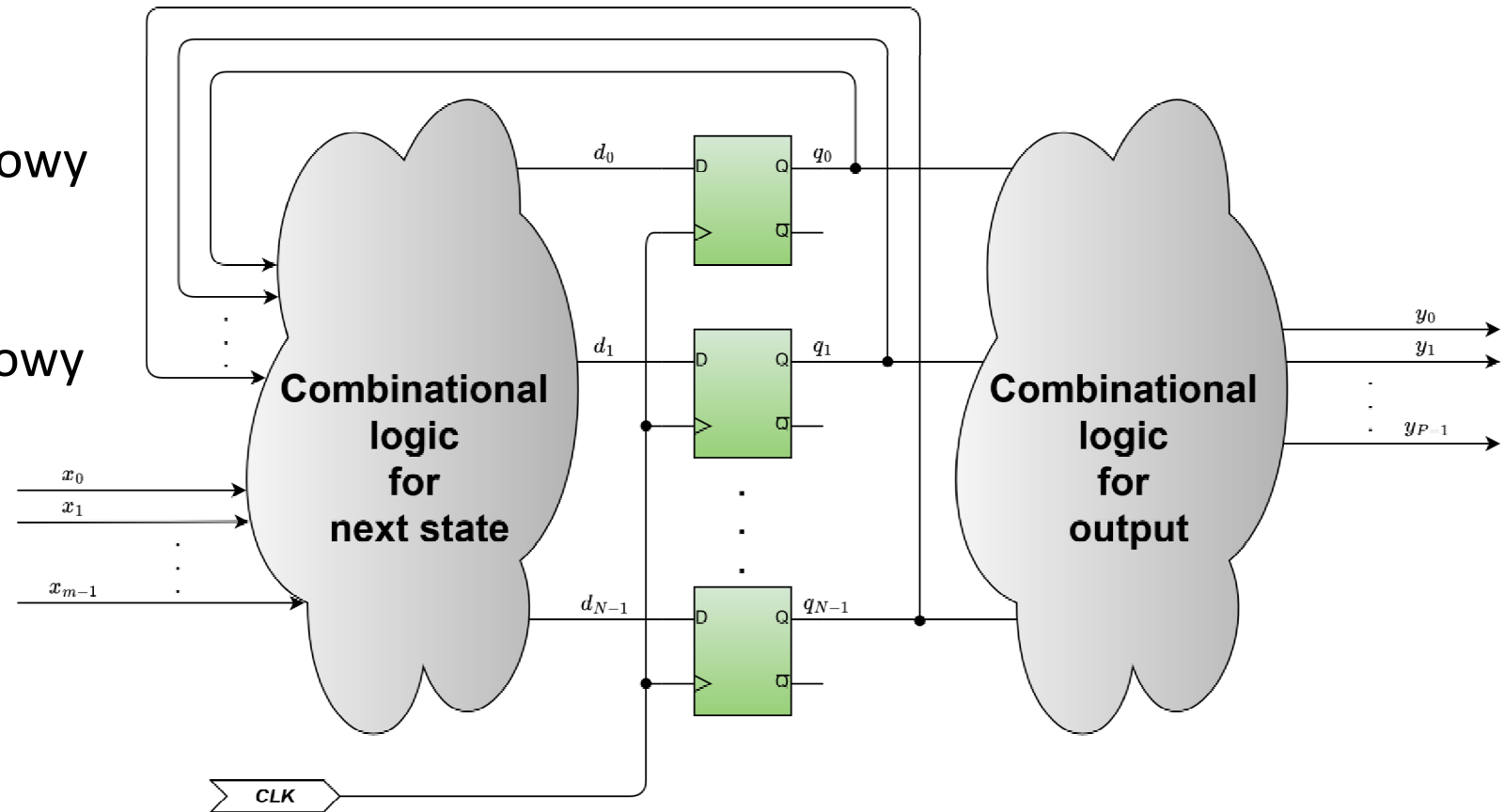
$(y_{P-1}, \dots, y_1, y_0)$;

Logika przejść:

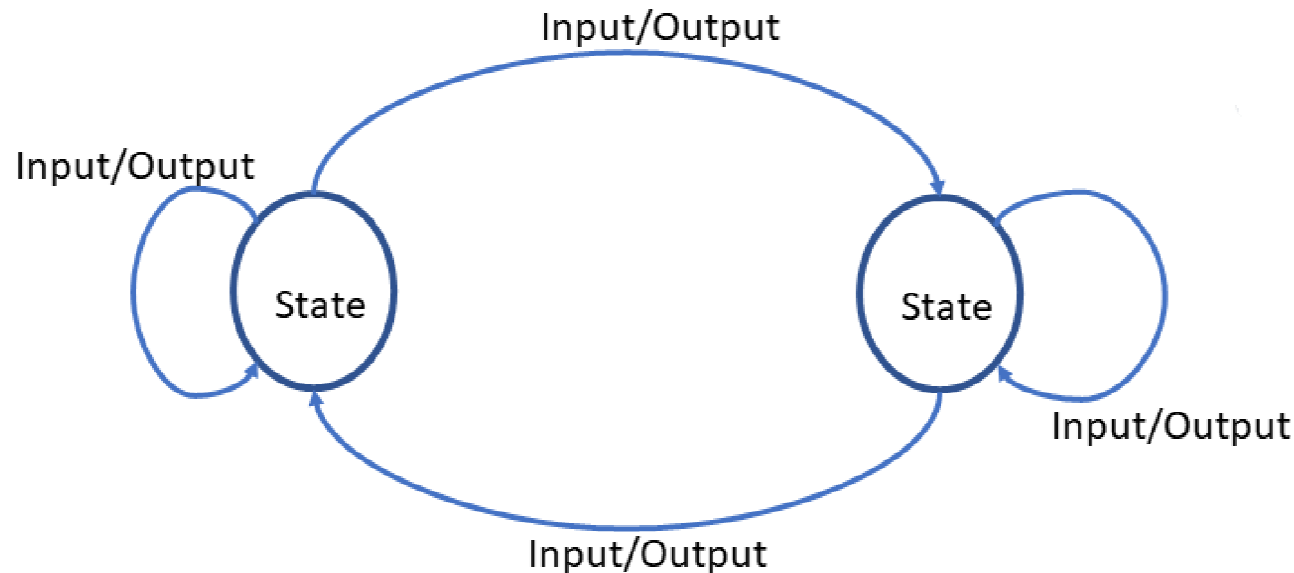
$Q_{n+1} = f(X, Q_n)$;

Logika wyjść:

$Y = f(Q_n)$;



Automat Mealy'ego



Generic Mealy model

- Najczęściej wykorzystywaną formą opisu (zachowania) automatu jest graf.
- Stany automatu reprezentowane są przez okręgi.
- Przejścia pomiędzy stanami reprezentowane są przez strzałki.
- Na strzałkach umieszczane są warunki przejścia (kombinacje wejść).
- W automacie Mealy'ego stan wyjść jest funkcją stanu automatu i wejść. Stan wyjść umieszczany jest na strzałkach obok stanu wejść.

Automat Mealy'ego

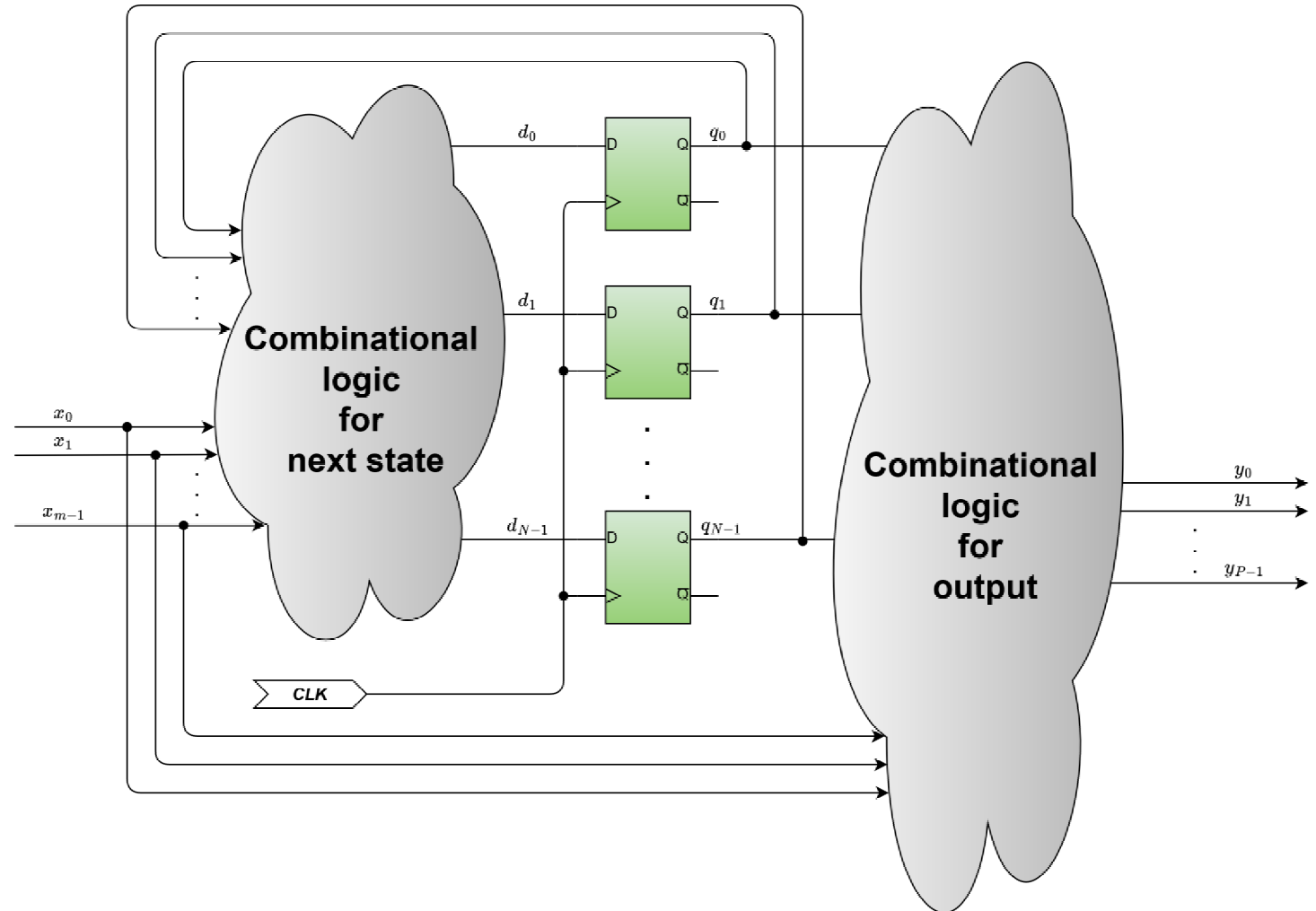
Q – stan automatu
(q_{N-1}, \dots, q_1, q_0);

X – alfabet wejściowy
(x_{M-1}, \dots, x_1, x_0);

Y – alfabet wyjściowy
(y_{P-1}, \dots, y_1, y_0);

Logika przejść:
 $Q_{n+1} = f(X, Q_n)$;

Logika wyjść:
 $Y = f(X, Q_n)$;

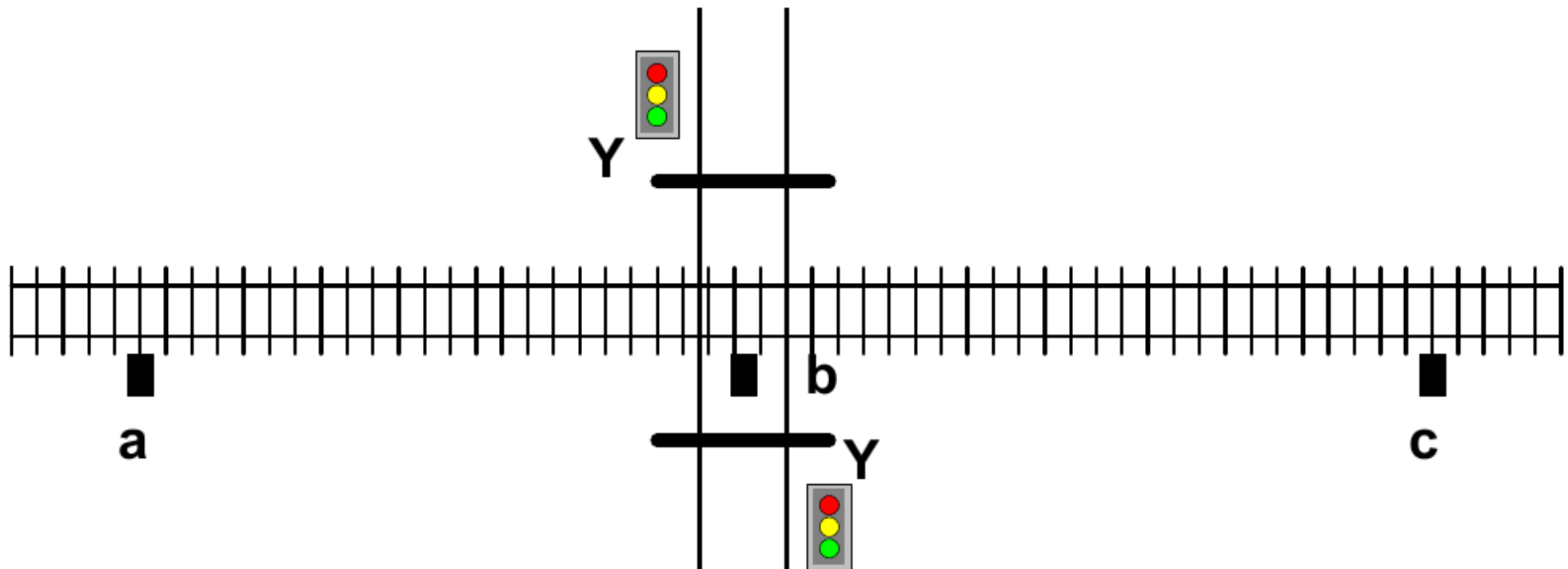


Synteza automatów

- 1. Narysowanie grafu opisującego automat.**
- 2. Na podstawie grafu automatu narysowanie tablicy przejść i wyjść automatu.**
- 3. Uproszczenie automatu jeśli jest to możliwe.**
- 4. Zakodowanie stanów.**
- 5. Wybór przerzutnika.**
- 6. Synteza logiki kombinacyjnej przejść na podstawie tablicy przejść automatu oraz tablicy wzbudzeń przerzutnika.**
- 7. Synteza logiki kombinacyjnej wyjść na podstawie tablicy wyjść automatu.**
- 8. Narysowanie pełnego schematu z bramek i przerzutników.**

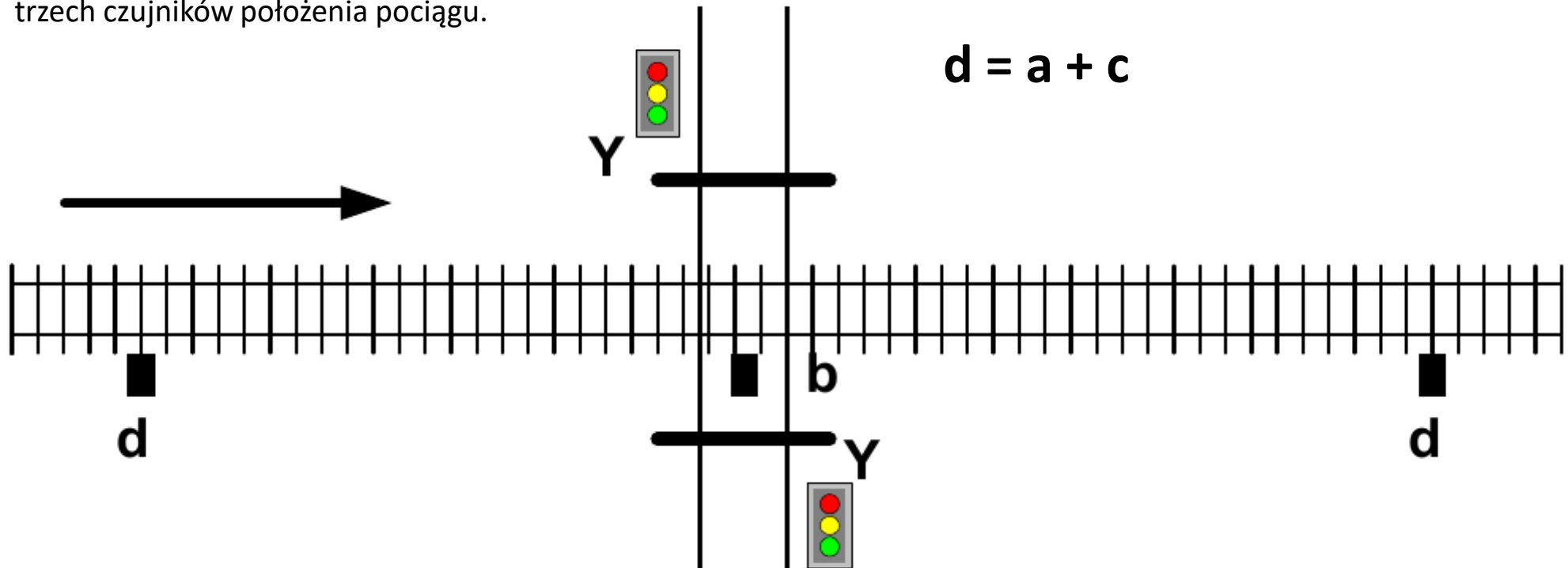
Przejazd kolejowy – synteza automatu

ZADANIE: Zaprojektować układ sterowania do podnoszenia/opuszczania zapór kolejowych, na podstawie sygnału z trzech czujników położenia pociągu.



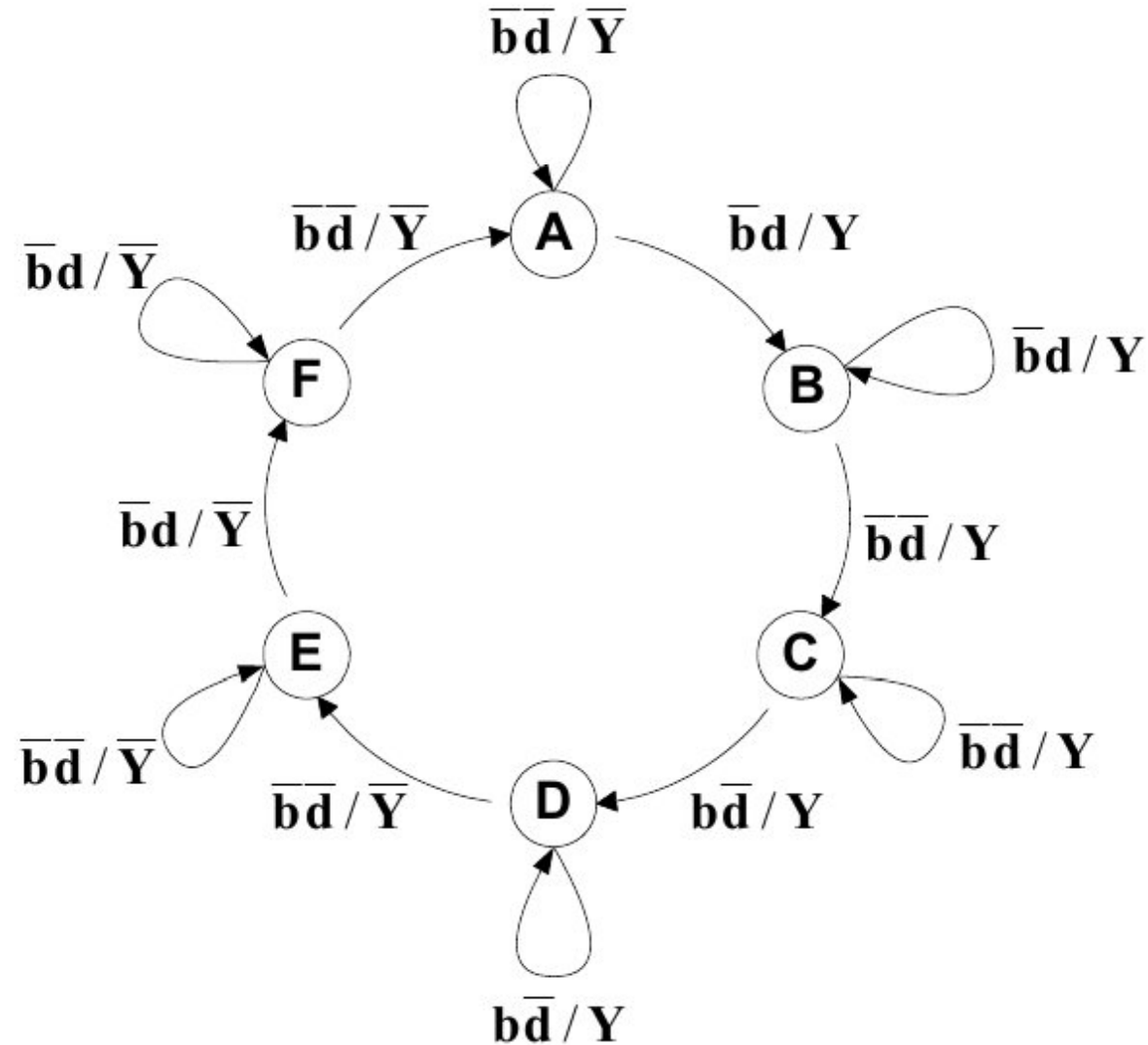
Przejazd kolejowy – synteza automatu

ZADANIE: Zaprojektować układ sterowania do podnoszenia/opuszczania zapór kolejowych, na podstawie sygnału z trzech czujników położenia pociągu.



\bar{Y}	Y	Y	Y	\bar{Y}	\bar{Y}	\bar{Y}	\bar{Y}
$\bar{b}\bar{d}$	$\bar{b}d$	$\bar{b}\bar{d}$	$b\bar{d}$	$\bar{b}\bar{d}$	$\bar{b}d$	$\bar{b}\bar{d}$	$\bar{b}d$
A	B	C	D	E	F	A	

Przejazd kolejowy – synteza automatu
Graf



Przejazd kolejowy – synteza automatu

Tablica przejść i wyjść

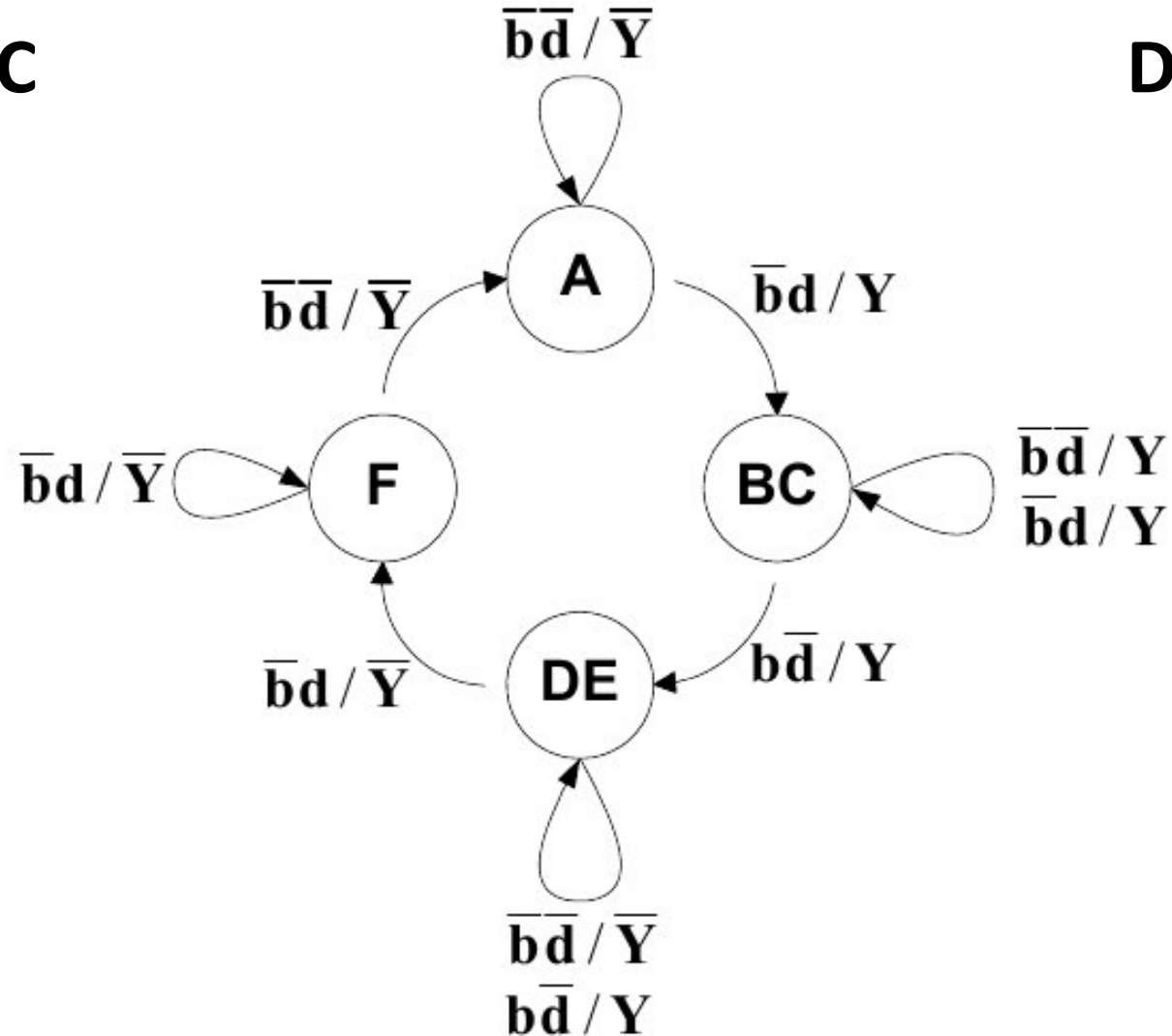
S_n (Stan aktualny)	X (wejścia)		S_{n+1} (Stan następny)
	b	d	
A	0	0	A
	0	1	B
	1	0	-
	1	1	-
B	0	0	C
	0	1	B
	1	0	-
	1	1	-
C	0	0	C
	0	1	-
	1	0	D
	1	1	-
D	0	0	E
	0	1	-
	1	0	D
	1	1	-
E	0	0	E
	0	1	F
	1	0	-
	1	1	-
F	0	0	A
	0	1	F
	1	0	-
	1	1	-

S_n (Stan aktualny)	X (wejścia)		Y (Wyjście)
	b	d	
A	0	0	0
	0	1	1
	1	0	-
	1	1	-
B	0	0	1
	0	1	1
	1	0	-
	1	1	-
C	0	0	1
	0	1	-
	1	0	1
	1	1	-
D	0	0	0
	0	1	-
	1	0	1
	1	1	-
E	0	0	0
	0	1	0
	1	0	-
	1	1	-
F	0	0	0
	0	1	0
	1	0	-
	1	1	-

Przejazd kolejowy – synteza automatu
Redukcja automatu

$B + C \Rightarrow BC$

$D + E \Rightarrow DE$



Przejazd kolejowy – synteza automatu

Redukcja automatu

$$B + C \Rightarrow BC$$

$$D + E \Rightarrow DE$$

S_n (Stan aktualny)	X (wejścia)		S_{n+1} (Stan następnny)
	b	d	
A	0	0	A
	0	1	BC
	1	0	-
	1	1	-
BC	0	0	BC
	0	1	BC
	1	0	DE
	1	1	-
DE	0	0	DE
	0	1	F
	1	0	DE
	1	1	-
F	0	0	A
	0	1	F
	1	0	-
	1	1	-

S_n (Stan aktualny)	X (wejścia)		Y (Wyjście)
	b	d	
A	0	0	0
	0	1	1
	1	0	-
	1	1	-
BC	0	0	1
	0	1	1
	1	0	1
	1	1	-
DE	0	0	0
	0	1	0
	1	0	1
	1	1	-
F	0	0	0
	0	1	0
	1	0	-
	1	1	-

***Przejazd kolejowy – synteza automatu
Kodowanie stanów***

S_n (Stan aktualny)	Q	
	q_1	q_0
A	0	0
BC	0	1
DE	1	1
F	1	0

Przejazd kolejowy – synteza automatu

Tablica przejść i wyjść

	S_n		X		S_{n+1}		
	q_1	q_0	b	d	q_1'	q_0'	
A	0	0	0	0	0	0	A
	0	0	0	1	0	1	BC
	0	0	1	0	-	-	-
	0	0	1	1	-	-	-
BC	0	1	0	0	0	1	BC
	0	1	0	1	0	1	BC
	0	1	1	0	1	1	DE
	0	1	1	1	-	-	-
DE	1	1	0	0	1	1	DE
	1	1	0	1	1	0	F
	1	1	1	0	1	1	DE
	1	1	1	1	-	-	-
F	1	0	0	0	0	0	A
	1	0	0	1	1	0	F
	1	0	1	0	-	-	-
	1	0	1	1	-	-	-

	S_n		X		Y
	q_1	q_0	b	d	y_0
A	0	0	0	0	0
	0	0	0	1	0
	0	0	1	0	-
	0	0	1	1	-
BC	0	1	0	0	0
	0	1	0	1	0
	0	1	1	0	1
	0	1	1	1	-
DE	1	1	0	0	1
	1	1	0	1	1
	1	1	1	0	1
	1	1	1	1	-
F	1	0	0	0	0
	1	0	0	1	1
	1	0	1	0	-
	1	0	1	1	-

Przejazd kolejowy – synteza automatu
Logika przejść automatu

b d q ₁ q ₀	00	01	11	10
00	0	0	-	-
01	0	0	-	1
11	1	1	-	1
10	0	1	-	-

b d q ₁ q ₀	00	01	11	10
00	0	1	-	-
01	1	1	-	1
11	1	0	-	1
10	0	0	-	-

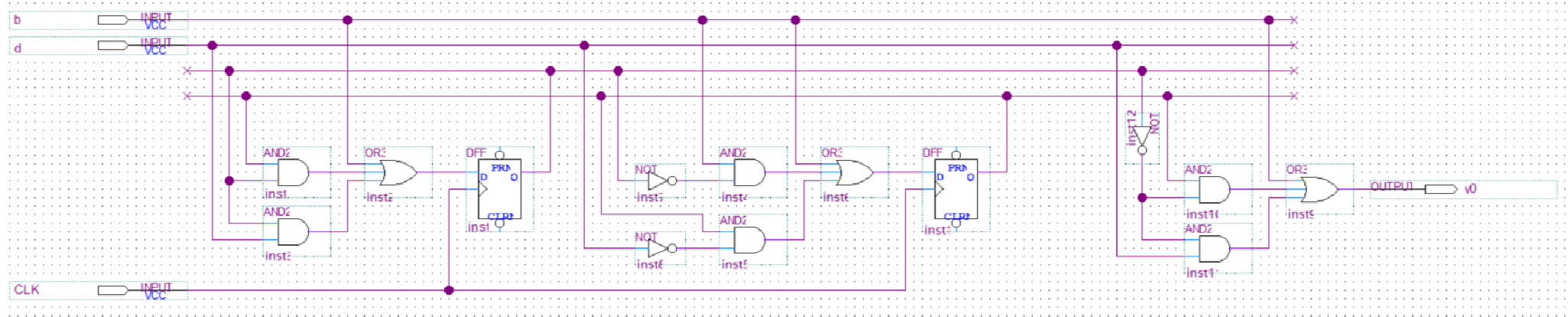
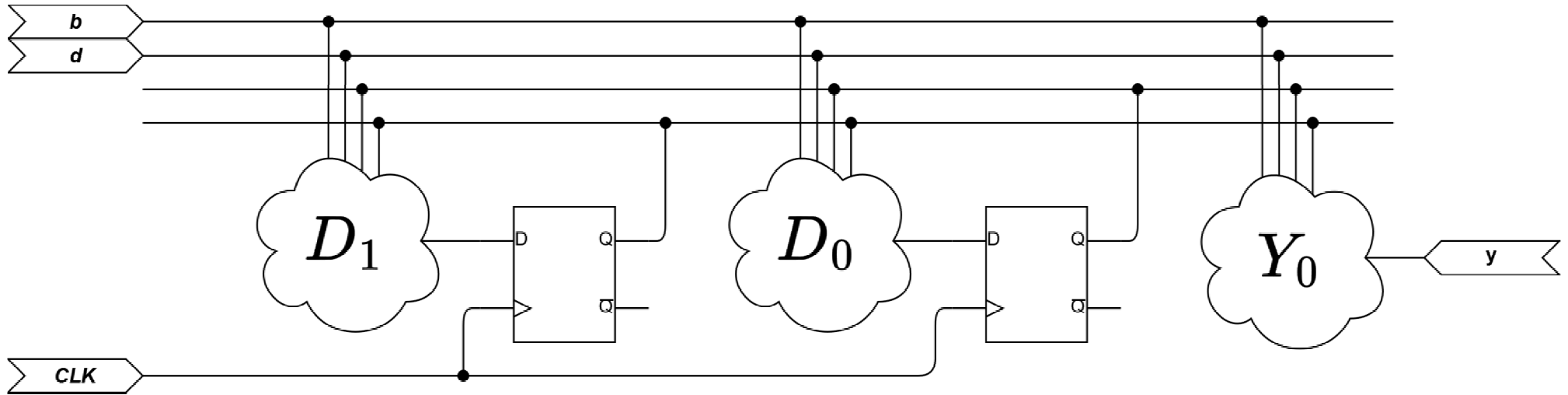
$$D_1 = b + q_1 \cdot q_0 + q_1 \cdot d \quad D_0 = b + \bar{q}_1 \cdot d + \bar{d} \cdot q_0$$

Przejazd kolejowy – synteza automatu
Logika wyjść automatu

$b \ d$ $q_1 q_0$	00	01	11	10
00	0	1	-	-
01	1	1	-	1
11	0	0	-	1
10	0	0	-	-

$$Y_0 = b + \bar{q}_1 \cdot q_0 + \bar{q}_1 \cdot d$$

Przejazd kolejowy – synteza automatu Pełny schemat z bramek i przerzutników



LITERATURA

- [1] dr hab. inż. Maciej Petko: Wykład – *Układy Sekwencyjne* z przedmiotu *Mechatroniczne Systemy Wykonawcze, Sensoryczne i Sterujące*; KRiM AGH;
- [2] dr inż. Konrad Gac: Wykład – *Układy Sekwencyjne* z przedmiotu *Mechatroniczne Systemy Wykonawcze, Sensoryczne i Sterujące*; KRiM AGH;
- [3] Barry Wilkinson: *Układy cyfrowe*; WKŁ
- [4] Halina Kamionka-Mikuła, Henryk Małysiak, Bolesław Pochopień: *Układy cyfrowe - teoria i przykłady*; WPKJS;
- [5] Wojciech Głocki: *Układy cyfrowe*; WSiP;
- [6] Andrzej Skorupski: *Podstawy techniki cyfrowej*; WKŁ;
- [7] prof. dr hab. inż. Joanna Józefowska: *Kodowanie informacji - Reprezentacja liczb*; Poznań; rok akademicki 2010/2011;
- [8] dr hab. inż. Mikołaj Morzy: *Wykład - kodowanie liczb*;
- [9] Politechnika Łódzka: *Kodowanie liczb całkowitych w systemach komputerowych*;
http://neo.dmcs.p.lodz.pl/ak/kodowanie_liczb_calkowitych.pdf