



PORTFOLIO:

Demonstratory algorytmów monitoringu wizyjnego oraz wideodetektora w zasobach rekonfigurowalnych i heterogenicznych

Autorzy: Marek Gorgoń, Tomasz Kryjak, Mateusz Komorkiewicz, Mateusz Zuń

Centrum Inteligentnych Systemów Informatycznych Akademia Górniczo-Hutnicza im. Stanisława Staszica al. Mickiewicza 30, 30-059 Kraków
budynek C-2 pokój 426 tel.: 12 617 44 53 www.isi.agh.edu.pl isi@agh.edu.pl



Projekt współfinansowany ze środków Unii Europejskiej w ramach Europejskiego Funduszu Społecznego

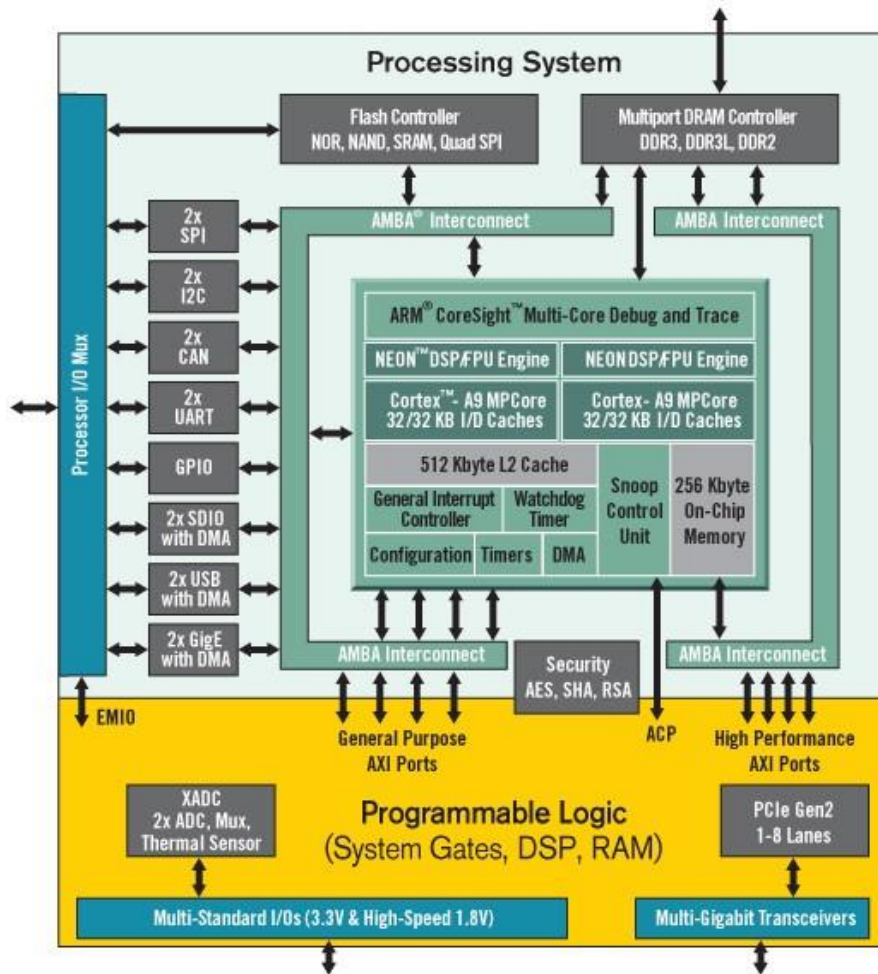
Wprowadzenie.

Wiodącym celem zadania było opracowanie koncepcji oraz wykonanie demonstratorów dla zadania wykrycia naruszenia strefy zabronionej oraz wideodetektora w zasobach logiki rekonfigurowalnej FPGA (ang. *Field Programmable Gate Array*) współpracującej z jednostką CPU (ang. *Central Processor Unit*) w ramach jednej struktury cyfrowej SOC (ang. *System on Chip*). Nowatorski aspekt tych prac dotyczył zbadania możliwości wykorzystania w pełni zintegrowanych zasobów heterogenicznych do zbudowania kompaktowych urządzeń przydatnych w zadaniach monitoringu wizyjnego oraz wizyjnego sterowania ruchem drogowym. Przez demonstrator w niniejszym portfolio definiuje się gotowy i działający model docelowego urządzenia programowo-sprzętowego wyposażonego w odpowiednie zasoby obliczeniowe wraz z zaimplementowanym algorytmem. W przeprowadzonych badaniach przeprowadzono eksperymenty potwierdzające osiągnięcie założonej funkcjonalności demonstratorów. Zasadnicze parametry demonstratorów spełniają wymagania pracy w czasie rzeczywistym dla implementowanego algorytmu. Oznacza to w praktyce, że demonstratory zdolne są przetwarzać obraz transmitowany z kamery o określonej rozdzielczości w sposób bezstratny – przetwarzane i analizowane na bieżąco są wszystkie transmitowane przez kamerę ramki obrazu.

Platforma implementacji

Układy FPGA stanowią grupę cyfrowych układów elektronicznych, które wykorzystywane są między innymi w systemach wbudowanych. Implementacja niektórych zadań obliczeniowych w układach FPGA daje bardzo dobre rezultaty: możliwa jest realizacja obliczeń w czasie rzeczywistym przy oszczędnościach energii w porównaniu do układów wykorzystujących mikroprocesory lub mikrokontrolery (głównie dzięki dużym możliwościom równoleglenia obliczeń). Niemniej jednak wiele zadań obliczeniowych znacznie prościej i efektywniej można zaimplementować w klasyczny sposób, to jest w formie programu wykonywanego na CPU (sekwencyjnie). Odpowiadając na te potrzeby producenci układów FPGA wprowadzają do swojej oferty rozwiązania integrujące w jednej obudowie układu scalonego zasoby rekonfigurowalne wraz z wbudowanymi procesorami. Stwarza to możliwość podziału zadania obliczeniowego pomiędzy jednostki CPU oraz zasoby rekonfigurowalne. Przykładem takiego rozwiązania jest klasyfikowana jako SOC (ang. *System on Chip*) rodzina układów Zynq produkcji firmy Xilinx. Układy Zynq-7000 zbudowane są z dwurdzeniowego procesora Cortex-A9 i logiki reprogramowalnej zorganizowanej podobnie jak w układach FPGA serii 7 firmy Xilinx. Całość komunikuje się przy pomocy magistrali AXI. Układy Zynq-7000 przeznaczone są do

najróżniejszych zastosowań takich jak rozwiązania komunikacyjne, systemy wizyjne czy systemy kontroli. Schemat blokowy układu Zynq przedstawiono na rys. 1.



Rys. 1. Układ Zynq-7000 (na podstawie materiałów producenta firmy Xilinx – www.xilinx.com)

Na platformie Zynq-7000 preferowaną magistralą do przesyłu strumienia wideo jest AXI-Stream. Xilinx udostępnia IP core'y (konfigurowalne moduły sprzętowe) pozwalające na konwersję z formatu XSVI (ang. *Xilinx Streaming Video Interface*) do AXI-Stream i odwrotnie, zapis do pamięci, synchronizację czasową, skalowanie i nakładanie ramek oraz wiele innych.

Krótki opis układów Zynq zawarto w opracowaniu [Zuń, 2014], które powstało w ramach zrealizowanego zadania. Szersze opracowania dostępne są na stronach producenta firmy Xilinx (xilinx.com).

Koncepcja wbudowanego systemu wizyjnego w układzie Zynq

Jednym z zadań implementowanych w układach rekonfigurowalnych jest przetwarzanie i analiza obrazów. Zadania obliczeniowe w tych obszarach mają zróżnicowaną charakterystykę. Część z nich wymaga wykonania bardzo wielkiej liczby stosunkowo prostych operacji (algorytmy zdominowane przez dane), część zaś operuje na małych zbiorach danych, ale wykonywane operacje charakteryzuje się dużą złożonością (zadania zdominowane przez

operacje). Stąd wykorzystanie zasobów rekonfigurowalnych, zintegrowanych w jednej obudowie układu cyfrowego z jednostkami CPU (procesorami ARM), daje możliwość stworzenia kompaktowego systemu wbudowanego do wizji komputerowej. Podobne zadania podejmowane były w wielu pracach już w przeszłości z wykorzystaniem wcześniej dostępnych urządzeń i układów (np. architektur FPGA wraz z układem DSP, tzw. soft-procesorów Microblaze), lecz wcześniej integracja w układzie SOC nie dawała tak daleko idących możliwości jak obecnie, głównie z uwagi na niską wydajność stosowanych procesorów lub dużą komplikację rozwiązania.

W pracach skupiono się na przygotowaniu systemu wizyjnego wykorzystującego układ Zynq oraz implementacji dwóch zadań aplikacyjnych w tym środowisku:

- algorytmu detekcji naruszenia strefy zabronionej – aplikacja wykorzystywana w monitoringu wizyjnym,
- algorytmu wideodetekcji – aplikacja wykorzystywana do sterowania ruchem drogowym (analiza strumienia pojazdów).

Detekcja naruszenia strefy zabronionej na platformie Zynq

Algorytm detekcji naruszenia strefy zabronionej został zaimplementowany w układach rekonfigurowalnych we wcześniejszych pracach prowadzonych w Laboratorium Biocybernetyki, Katedry Automatyki i Inżynierii Biomedycznej AGH.

Jest to typowe zadanie wykonywane w systemie nadzoru wizyjnego. Strefa zabroniona stanowi obszar, w którym nie powinny pojawiać się niepożądane obiekty np. osoby lub pojazdy. Definiuje się ją jako określony fragment obserwowanej sceny, wydzielając go poprzez zdefiniowanie obszaru (maski) na analizowanym obrazie. Detekcję obiektów pierwszego planu wykonuje się na podstawie modelowania i odejmowania tła. Wykryte obiekty pierwszego planu oznacza się prostokątem otaczającym. Detekcja naruszenia strefy zabronionej polega na stwierdzeniu, czy obiekt reprezentowany przez prostokąt otaczający znajdzie się w obszarze strefy. W zaimplementowanym algorytmie analizowana jest pozycja punktu stanowiącego środek podstawy prostokąta otaczającego. Jeśli punkt ten znajdzie się w obszarze strefy zabronionej, następuje sygnalizacja alarmu – zmiana koloru prostokąta otaczającego z zielonego na czerwony – rys. 2.

Detekcja naruszenia strefy zabronionej wymaga wykonania następujących operacji:

- akwizycji obrazu HDMI,
- generacji i aktualizacji modelu tła,
- detekcji obiektów pierwszoplanowych,

- detekcji naruszenia strefy zabronionej.

W ramach prac dokonano przeniesienia aplikacji z układu rekonfigurowalnego Virtex 7 (rys.2) do systemu wyposażonego w układ Zynq.



Rys. 2. Rekonfigurowalny system wizyjny do detekcji strefy zabronionej: a) osoba zbliża się do strefy zabronionej, b) dwie osoby znajdują się w strefie zabronionej

Wykonano następujące moduły, niezbędne do uruchomienia aplikacji:

- moduł obsługi komunikacji z kamerą poprzez kartę rozszerzeń FMC IMAGEON DVI I/O,
- moduł realizujący algorytm detekcji naruszenia strefy zabronionej,
- moduł pozwalający na dostrajanie parametrów sterujących aplikacją,
- moduł obsługujący zapis danych do pamięci.

Za odbiór i przesył sygnału wizyjnego odpowiada moduł FMC IMAGEON DVI I/O [Avn12a]. System zaimplementowano na płycie rozwojowej ZC-702 [Xil14h] wyposażonej we wszystkie potrzebne peryferia. Modelowanie tła wykonywane jest na podstawie aktualnej ramki obrazu i wcześniej wyliczonej i zapamiętanej reprezentacji tła (z odpowiednimi współczynnikami wagowymi). Detekcja obiektów zachodzi przez odejmowanie tła pobranego z pamięci od bieżącego obrazu.

Maska z wykrytymi obiektami przetwarzana jest przez moduł wykonujący tzw. indeksację (wykrywanie połączonych grup pikseli) i wyznaczający prostokąty ograniczające. Następnie współrzędne obiektów przesyłane są do mikrokontrolera, gdzie następuje porównanie z maską strefy chronionej. Wyniki przesyłane są przez konwerter UART-USB do aplikacji interpretującej wyniki. Aplikacja pozwala również na kontrolę progów i innych funkcjonalności systemu.

System detekcji naruszenia strefy zabronionej, zrealizowany w formie w pełni funkcjonalnego demonstratora aplikacji na platformie obliczeniowej wyposażonej w układ

Zynq, może zostać w dalszych pracach zintegrowany w tzw. kamerze inteligentnej (ang. *smart camera*). Tak wykonany moduł może zostać wykorzystany w systemach monitoringu wizyjnego. Zaletą kamery inteligentnej będzie lokalne przetwarzanie danych wizyjnych w czasie rzeczywistym, oszczędność energii, zmniejszenie wymagań na przepustowość łącza w infrastrukturze systemu monitoringu wizyjnego oraz rozproszenie zasobów obliczeniowych.

Wideodetektor na platformie Zynq

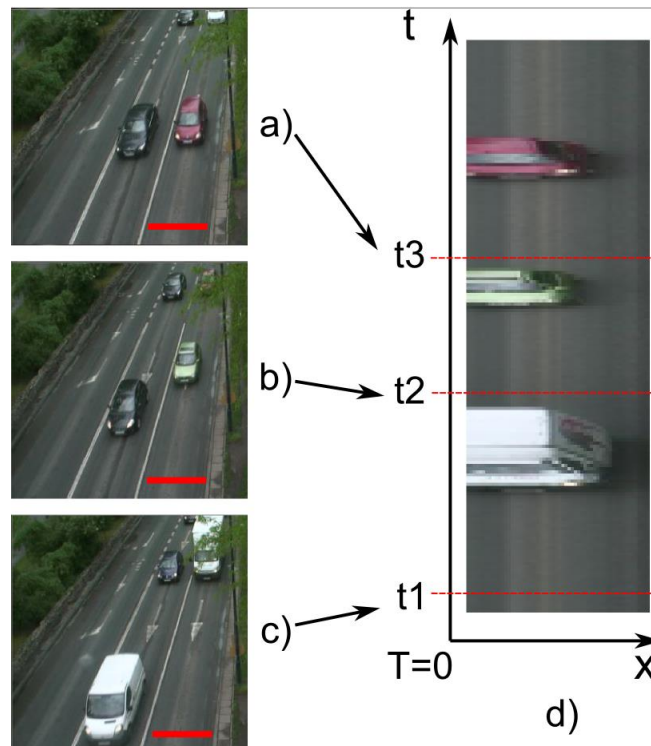
Implementacja wideodetekcji zawiera oryginalną propozycję algorytmu, bazującą na metodach częściowo opisanych w literaturze oraz kompletny system wideodetektora zaimplementowanego na platformie Zynq. Wideodetektor jest urządzeniem mającym zastosowanie w systemach kontroli natężenia ruchu drogowego. Służy do pomiaru liczby pojazdów w określonej strefie ruchu (pas ruchu, ulica, droga). Wideodetektor jest urządzeniem, które może zastąpić powszechnie używane do pomiaru natężenia ruchu pętle indukcyjne montowane pod nawierzchnią drogi. Zaletą wideodetektora jest możliwość zamontowania bez ingerencji w nawierzchnię drogową. Ograniczenia związane są głównie z warunkami atmosferycznymi, które mogą utrudniać lub w warunkach ekstremalnych (np. gęsta mgła) uniemożliwiać obserwację analizowanej strefy ruchu przez kamerę. Pewne wyzwanie stanowi również działanie w warunkach nocnych.

Dla algorytmu wideo detekcji wykonano pełną ścieżkę od implementacji rozwiązania programowego w C++ i jego ewaluacji na sekwencjach testowych, poprzez przeniesienie algorytmu do układu Zynq (zintegrowany projekt programowo-sprzętowy) aż do zbudowania i uruchomienia demonstratora.

Wykrywanie pojazdu oparte jest na koncepcji wirtualnych linii detekcji VLD (ang. *Virtual Detection Lines*). Do wykrycia poszczególnych pojazdów wykorzystywane są różnice w kolorze, wykryte krawędzie poziome i wyniki przekształcenia Censusa wykonanego pomiędzy obszarami wokół VLD dla dwóch kolejnych klatek obrazu. Ta część systemu zaprojektowana została w języku opisu sprzętu Verilog i zaimplementowana w zasobach rekonfigurowalnego układu Zynq. Informacje o obecności pojazdu przekazywane są i przetwarzane w rdzeniu ARM zintegrowanym w układzie Zynq. Pozwala to przeprowadzić bardziej zaawansowaną analizę obrazu i poprawić wyniki poprzez wyeliminowanie fałszywych detekcji pojazdów oraz wielokrotnego wykrywania tego samego pojazdu. Rozwiązanie to zostało przetestowane na sekwencjach wideo zarejestrowanych na ruchliwym skrzyżowaniu dróg w Krakowie w rozmaitych warunkach atmosferycznych: słoneczny dzień (występowanie głębokich cieni), pochmurny dzień, deszcz i pora nocna. Warto podkreślić, że w przedstawionym algorytmie zrezygnowano z typowego podejścia opartego o generację tła oraz odejmowanie ramki bieżącej od tła, co pozwoliło uniknąć typowych błędów związanych z zastosowaniem tej metody: małej

odporności na drgania kamery, trudności związanych z prawidłową inicjalizacją i reinicjalizacją tła (szczególnie w warunkach dużego natężenia ruchu), wrażliwości na powstanie cieni i nagłe zmiany oświetlenia (np. odbicia światła samochodów na drodze).

Wirtualna linia detekcji pozwala zarejestrować w niewielkim wycinku (czerwony prostokąt na rys. 3 a-c) tzw. obraz czasowo-przestrzenny (ang. *time-spatial image*) (rys. 3. d.), który zostaje poddany dalszej analizie.



Rys.3 Analiza pasa ruchu przy pomocy wirtualnej linii detekcji (kolor czerwony) – utworzony zostaje obraz czasowo – przestrzenny. Analizowane obrazy uzyskano z laboratoryjnego systemu wizyjnego Laboratorium Bicybertyki Katedry Automatyki i Inżynierii Biomedycznej AGH – skrzyżowanie ul. Czarnowiejskiej i Al. Mickiewicza w Krakowie.

Szczegółowy opis algorytmu wideo detektora zawarto w pracy [Kryjak 2014]. Warto podkreślić, że zaimplementowany algorytm cechuje się wysoką skutecznością, działa w różnych warunkach atmosferycznych w porze nocnej i dziennej. W ramach ewaluacji przeanalizowano łącznie 53000 klatek obrazów z systemu wizyjnego i uzyskano średnią skuteczność 96%. Przetwarzanie i analiza obrazu odbywa się w czasie rzeczywistym, tj. 25 obrazów na sekundę.

Dalsza rozbudowa systemu może umożliwić wykonanie wielu dodatkowych funkcji przydatnych w analizie ruchu drogowego takich jak przykładowo pomiar szybkości pojazdów czy określenie rodzaju pojazdów. Podobnie jak system wykrywania naruszenia strefy zabronionej, system wideo detektora może zostać zrealizowany w formie kamery inteligentnej.

Podsumowanie

W portfolio przedstawiono realizację dwóch demonstratorów wbudowanych systemów

wizyjnych. Każdy z nich stanowi w pełni funkcjonalne urządzenie programowo-sprzętowe, które może zostać wykorzystane w specjalizowanych systemach obliczeniowych. Dalsza rozbudowa opracowanych algorytmów umożliwi dodanie dodatkowych funkcjonalności. Systemy charakteryzują się kompaktową budową, wykorzystaniem nowoczesnych technologii oraz zastosowaniem heterogenicznych zasobów obliczeniowych. Mogą wykonywać zadania przetwarzania i analizy obrazu w miejscu gdzie zainstalowana jest kamera. Ponadto charakteryzują się niewielkim zużyciem energii elektrycznej. Zarówno systemy monitoringu wizyjnego jak i systemy sterowania ruchem drogowym są obecnie przedmiotem intensywnych prac naukowych i aplikacyjnych oraz znajdują coraz szersze zastosowania. Zaproponowane rozwiązania, po ewentualnej komercjalizacji, z pewnością stanowią będą interesującą alternatywę dla rozwiązań obecnych na rynku. Prace w podobnych kierunkach prowadzone są w wielu ośrodkach akademickich na całym świecie oraz laboratoriach firmowych.

Literatura

- [Kryjak 2014a] Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgoń, Hardware-software implementation of vehicle detection and counting using virtual detection lines, materiały konferencji DASIP 2014.
- [Avn12a] Avnet. HDMI Input/Output FMC Module Hardware Guide, 2012. dostępne pod adresem <http://www.em.avnet.com/fmc-imageon>
- [Kryjak 2014b] Tomasz Kryjak, Mateusz Zuń, Marek Gorgoń, Video surveillance algorithms implemented on the heterogeneous Zynq platform, DASIP 2014 conference
- [Kryjak 2014c] Tomasz Kryjak, Mateusz Komorkiewicz, Marek Gorgoń, Hardware-software implementation of vehicle detection and counting using virtual detection lines, prezentacja.
- [Kryjak 2014d] Tomasz Kryjak, Mateusz Zuń, Marek Gorgoń, Video surveillance algorithms implemented on the heterogeneous Zynq platform, DASIP 2014 conference, plakat.
- [Xil14h] Xilinx. ZC702 Evaluation Board for the Zynq-7000 XC7Z020 All Programmable SoC.
http://www.xilinx.com/support/documentation/boards_and_kits/zc702_zvik/
- [Zuń 2014] Mateusz Zuń, Opis prac związanych z rozpoznaniem i realizacją algorytmu wykrycia naruszenia strefy zabronionej na platformie Zynq (niepublikowane).