

Technika mikroprocesorowa I

Wykład 3

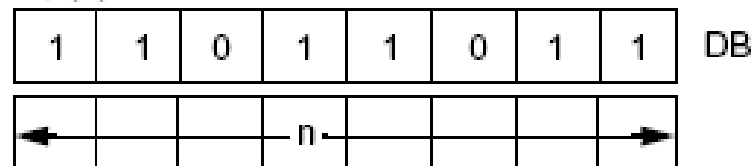
Instrukcje wejścia-wyjścia Z80

IN A, (n)

Operation: $A \leftarrow (n)$

Op Code: IN

Operands: A, (n)



Description: The operand n is placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. The contents of the Accumulator also appear on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the Accumulator (register A) in the CPU.

M Cycles

3

T States

11 (4, 3, 4)

4 MHz LT.

2.75

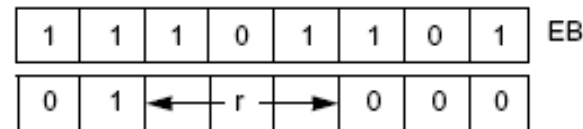
Odczyt na akumulator danej z urządzenia we-wy o adresie 8-mio
bitowym n

IN r (C)

Operation: $r \leftarrow (C)$

Op Code: IN

Operands: r, (C)



Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. The contents of Register B are placed on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to register r in the CPU. Register r identifies any of the CPU registers shown in the following table, which also indicates the corresponding 3-bit r field for each. The flags are affected, checking the input data.

Register	r
Flag	110 Undefined Op Code, set the flag
B	000
C	001
D	010
E	011
H	100
L	101
A	111

M Cycles	T States	4 MHz E.T.
3	12 (4, 4, 4)	3.00

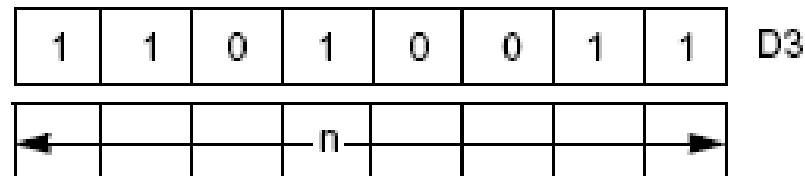
Odczyt do rejestru r danej z urządzenia we-wy o adresie zawartym w rejestrze C

OUT (n), A

Operation: $(n) \leftarrow A$

Op Code: OUT

Operands: (n), A



Description: The operand n is placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. The contents of the Accumulator (register A) also appear on the top half (A8 through A15) of the address bus at this time. Then the byte contained in the Accumulator is placed on the data bus and written to the selected peripheral device.

M Cycles

3

T States

11 (4, 3, 4)

4 MHz E.T.

2.75

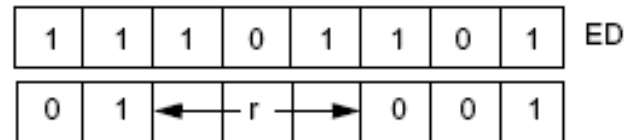
Wyślij zawartość akumulatora A do urządzenia we-wy o adresie 8-mio
bitowym n

OUT (C), r

Operation: $(C) \leftarrow r$

Op Code: OUT

Operands: (C), r



Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. The contents of Register B are placed on the top half (A8 through A15) of the address bus at this time. Then the byte contained in register r is placed on the data bus and written to the selected peripheral device. Register r identifies any of the CPU registers shown in the following table, which also shows the corresponding three-bit r field for each that appears in the assembled object code:

Register	r		
B	000		
C	001		
D	010		
E	011		
H	100		
L	101		
A	111		
M Cycles	T States	4 MHz E.T.	
3	12 (4, 4, 4)	3.00	

Wyślij zawartość rejestru r do urządzenia we-wy o adresie zawartym w
C

Przesłania blokowe w obszarze pamięci

LDI

Operation: $(DE) \leftarrow (HL), DE \leftarrow DE + 1, HL \leftarrow HL + 1, BC \leftarrow BC - 1$

Op Code: LDI

Operands: (SP), HL

1	1	1	0	1	1	0	1	ED
1	0	1	0	0	0	0	0	A0

Description: A byte of data is transferred from the memory location addressed, by the contents of the HL register pair to the memory location addressed by the contents of the DE register pair. Then both these register pairs are incremented and the BC (Byte Counter) register pair is decremented.

M Cycles

4

T States

16 (4, 4, 3, 5)

4 MHz E.T.

4.00

Condition Bits Affected:

Pojedyncze przesłanie zawartości komórki pamięci o adresie wskazywanym przez HL pod adres zawarty w DE, z postinkrementacją zawartości HL i DE oraz postdekrementacją zawartości BC

LDIR

Operation: $(DE) \leftarrow (HL), DE \leftarrow DE + 1, HL \leftarrow HL + 1, BC \leftrightarrow BC - 1$

Op Code: LDIR

Operands: B8

1	1	1	0	1	1	0	1	ED
1	0	1	1	0	0	0	0	B0

Description: This 2-byte instruction transfers a byte of data from the memory location addressed by the contents of the HL register pair to the memory location addressed by the DE register pair. Both these register pairs are incremented and the BC (Byte Counter) register pair is decremented. If decrementing causes the BC to go to zero, the instruction is terminated. If BC is not zero, the program counter is decremented by two and the instruction is repeated. Interrupts are recognized and two refresh cycles are executed after each data transfer. When BC is set to zero prior to instruction execution, the instruction loops through 64 Kbytes.

For $BC \neq 0$:

M Cycles	T States	4 MHz E.T.
5	21 (4, 4, 3, 5, 5)	5.25

For $BC = 0$:

M Cycles	T States	4 MHz E.T.
4	16 (4, 4, 3, 5)	4.00

Przesłanie blokowe zawartości komórki pamięci spod adresu wskazywanego przez HL pod adres wskazywany przez DE, z postinkrementacją HL i DE oraz postdekrementacją BC, powtarzana do wyzerowania licznika BC

LDD

Operation: $(DE) \leftarrow (HL), DE \leftarrow DE - 1, HL \leftarrow HL - 1, BC \leftarrow BC - 1$

Op Code: LDD

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	0	1	0	0	0	A8

Description: This 2-byte instruction transfers a byte of data from the memory location addressed by the contents of the HL register pair to the memory location addressed by the contents of the DE register pair. Then both of these register pairs including the BC (Byte Counter) register pair are decremented.

M Cycles

4

T States

16 (4, 4, 3, 5)

4 MHz E.T.

4.00

Condition Bits Affected:

Pojedyncze przesłanie zawartości komórki pamięci o adresie wskazywanym przez HL pod adres zawarty w DE, z postdekrementacją zawartości HL i DE oraz BC

LDDR

Operation: $(DE) \leftarrow (HL), DE \leftarrow D \leftarrow 1, HL \leftarrow HL-1, BC \leftarrow BC-1$

Op Code: LDDR

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	1	1	0	0	0	B8

Description: This 2-byte instruction transfers a byte of data from the memory location addressed by the contents of the HL register pair to the memory location addressed by the contents of the DE register pair. Then both of these registers, as well as the BC (Byte Counter), are decremented. If decrementing causes BC to go to zero, the instruction is terminated. If BC is not zero, the program counter is decremented by two and the instruction is repeated. Interrupts are recognized and two refresh cycles execute after each data transfer.

When BC is set to zero, prior to instruction execution, the instruction loops through 64 Kbytes.

For $BC \neq 0$:

M Cycles	T States	4 MHz E.T.
5	21 (4, 4, 3, 5, 5)	5.25

For $BC = 0$:

Przesłanie blokowe zawartości komórki pamięci spod adresu wskazywanego przez HL pod adres wskazywany przez DE, z postdekrementacją HL i DE oraz BC, powtarzana do wyzerowania licznika BC

CPI

Operation: A- (HL), HL $\leftarrow$ HL +1, BC $\leftarrow$ BC -1

Op Code: CPI

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	0	0	0	0	0	A1

Description: The contents of the memory location addressed by the HL register is compared with the contents of the Accumulator. In case of a true compare, a condition bit is set. Then HL is incremented and the Byte Counter (register pair BC) is decremented.

M Cycles

4

T States

16 (4, 4, 3, 5)

4 MHz E.T.

4.00

Porównanie zawartości komórki pamięci o adresie wskazywanym przez HL z zawartością akumulatora z postinkrementacją HL i postdekrementacją BC

CPIR

Operation: A-(HL), HL $\leftarrow$ HL+1, BC $\leftarrow$ BC-1

Op Code: CPIR

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	1	0	0	0	1	B1

Description: The contents of the memory location addressed by the HL register pair is compared with the contents of the Accumulator. In case of a true compare, a condition bit is set. HL is incremented and the Byte Counter (register pair BC) is decremented. If decrementing causes BC to go to zero or if A = (HL), the instruction is terminated. If BC is not zero and A $\neq$ (HL), the program counter is decremented by two and the instruction is repeated. Interrupts are recognized and two refresh cycles are executed after each data transfer.

If BC is set to zero before instruction execution, the instruction loops through 64 Kbytes if no match is found.

For BC $\neq$ 0 and A $\neq$ (HL):

M cycles	T States	4 MHz E.T.
5	21 (4, 4, 3, 5, 5)	5.25

For BC = 0 and A = (HL):

M Cycles	T States	4 MHz E.T.
4	16 (4, 4, 3, 5)	4.00

Porównanie zawartości komórki pamięci o adresie wskazywanym przez HL z zawartością akumulatora z postinkrementacją HL i postdekrementacją BC, powtarzane do wyzerowania BC lub do stwierdzenia równości w porównaniu

CPD

Operation: A ← (HL), HL ← HL - 1, BC ← BC - 1

Op Code: CPD

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	0	1	0	0	1	A9

Description: The contents of the memory location addressed by the HL register pair is compared with the contents of the Accumulator. In case of a true compare, a condition bit is set. The HL and Byte Counter (register pair BC) are decremented.

M Cycles

4

T States

16 (4, 4, 3, 5)

4 MHz E.T.

4.00

— — — — —

Porównanie zawartości komórki pamięci o adresie wskazywanym przez HL z zawartością akumulatora z postdekrementacją HL i BC

CPDR

Operation: A -(HL), HL $\leftarrow$ HL -1, BC $\leftarrow$ BC -1

Op Code: CPDR

Operands: —

1	1	1	0	1	1	0	1	ED
1	0	1	1	1	0	0	1	B9

Description: The contents of the memory location addressed by the HL register pair is compared with the contents of the Accumulator. In case of a true compare, a condition bit is set. The HL and BC (Byte Counter) register pairs are decremented. If decrementing causes the BC to go to zero or if A = (HL), the instruction is terminated. If BC is not zero and A = (HL), the program counter is decremented by two and the instruction is repeated. Interrupts are recognized and two refresh cycles execute after each data transfer. When BC is set to zero, prior to instruction execution, the instruction loops through 64 Kbytes if no match is found.

For BC $\neq$ 0 and A $\neq$ (HL):

M Cycles	T States	4 MHz E.T.
5	21 (4, 4, 3, 5, 5)	5.25

For BC = 0 and A = (HL):

M Cycles	T States	4 MHz E.T.
4	16 (4, 4, 3, 5)	4.00

Porównanie zawartości komórki pamięci o adresie wskazywanym przez HL z zawartością akumulatora z postdekrementacją HL i BC, powtarzane do wyzerowania BC lub do stwierdzenia równości w porównaniu

Przesłania blokowe w obszarze pamięci i we-wy

INI

Operation: $(HL) \leftarrow (C), B \leftarrow B - 1, HL \leftarrow HL + 1$

Op Code: INI

1	1	1	0	1	1	0	1	ED
1	0	1	0	0	0	1	0	A2

Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its contents are placed on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the CPU. The contents of the HL register pair are then placed on the address bus and the input byte is written to the corresponding location of memory. Finally, the byte counter is decremented and register pair HL is incremented.

M Cycles

4

T States

16 (4, 5, 3, 4)

4 MHz E.T.

4.00

Przesłanie danej z urządzenia we-wy o adresie zawartym w C do komórki o adresie w HL z postinkrementacją HL i postdekrementacją B

INIR

Operation: $(HL) \leftarrow (C), B \leftarrow B - 1, HL \leftarrow HL + 1$

Op Code: INIR

1	1	1	0	1	1	0	1	ED
1	0	1	1	0	0	1	0	B2

Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B is used as a byte counter, and its contents are placed on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the CPU. The contents of the HL register pair are placed on the address bus and the input byte is written to the corresponding location of memory. Then register pair HL is incremented, the byte counter is decremented. If decrementing causes B to go to zero, the instruction is terminated. If B is not zero, the PC is decremented by two and the instruction repeated. Interrupts are recognized and two refresh cycles execute after each data transfer.

Note: if B is set to zero prior to instruction execution, 256 bytes of data are input.

If $B \neq 0$:

M Cycles	T States	4 MHz E.T.
5	21 (4, 5, 3, 4, 5)	5.25

If $B = 0$:

M Cycles	T States	4 MHz E.T.
4	16 (4, 5, 3, 4)	4.00

Przesłanie danej z urządzenia we-wy o adresie zawartym w C do komórki o adresie w HL z postinkrementacją HL i postdekrementacją B, powtarzane do wyzerowania rejestru B

IND

Operation: $(HL) \leftarrow (C), B \leftarrow B - 1, HL \leftarrow HL - 1$

Op Code: IND

1	1	1	0	1	1	0	1	ED
1	0	1	0	1	0	1	0	AA

Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its contents are placed on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the CPU. The contents of the HL register pair are placed on the address bus and the input byte is written to the corresponding location of memory. Finally, the byte counter and register pair HL are decremented.

M Cycles

4

T States

16 (4, 5, 3, 4)

4 MHz E.T.

4.00

Przesłanie danej z urządzenia we-wy o adresie zawartym w C do komórki o adresie w HL z postdekrementacją HL i B

INDR

Operation: $(HL) \leftarrow (C)$, $B \leftarrow 131$, $HL \leftarrow HL - 1$

Op Code: INDR

1	1	1	0	1	1	0	1	ED
1	0	1	1	1	0	1	0	BA

Description: The contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B is used as a byte counter, and its contents are placed on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the CPU. The contents of the HL register pair are placed on the address bus and the input byte is written to the corresponding location of memory. Then HL and the byte counter are decremented. If decrementing causes B to go to zero, the instruction is terminated. If B is not zero, the PC is decremented by two and the instruction repeated. Interrupts are recognized and two refresh cycles are executed after each data transfer.

When B is set to zero prior to instruction execution, 256 bytes of data are input.

If $B \neq 0$

M Cycles	T States	4 MHz E.T.
5	21 (4, 5, 3, 4, 5)	5.25

If $B = 0$:

M Cycles	T States	4 MHz E.T.
4	16 (4, 5, 3, 4)	4.00

Przesłanie danej z urządzenia we-wy o adresie zawartym w C do komórki o adresie w HL z postdekrementacją HL i B, powtarzane do wyzerowania rejestru B

OUTI

Operation: $(C) \leftarrow (HL), B \leftarrow B - 1, HL \leftarrow HL + 1$

Op Code: OUTI

1	1	1	0	1	1	0	1	ED
1	0	1	0	0	0	1	1	A3

Description: The contents of the HL register pair are placed on the address bus to select a location in memory. The byte contained in this memory location is temporarily stored in the CPU. Then, after the byte counter (B) is decremented, the contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its decremented value is placed on the top half (A8 through A15) of the address bus. The byte to be output is placed on the data bus and written to a selected peripheral device. Finally, the register pair HL is incremented.

M Cycles

4

T States

16 (4, 5, 3, 4)

4 MHz E.T.

4.00

Przesłanie danej z komórki o adresie w HL do urządzenia we-wy o adresie zawartym w C, z postinkrementacją HL i postdekrementacją B

OTIR

Operation: $(C) \leftarrow (HL), B \leftarrow B - 1, HL \leftarrow HL + 1$

Op Code: OTIR

1	1	1	0	1	1	0	1	ED
1	0	1	1	0	0	1	1	B3

Description: The contents of the HL register pair are placed on the address bus to select a location in memory. The byte contained in this memory location is temporarily stored in the CPU. Then, after the byte counter (B) is decremented, the contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its decremented value is placed on the top half (A8 through A15) of the address bus at this time. Next, the byte to be output is placed on the data bus and written to the selected peripheral device. Then register pair HL is incremented. If the decremented B register is not zero, the Program Counter (PC) is decremented by two and the instruction is repeated. If B has gone to zero, the instruction is terminated. Interrupts are recognized and two refresh cycles are executed after each data transfer.

Note: When B is set to zero prior to instruction execution, the instruction outputs 256 bytes of data.

If $B \neq 0$:

M Cycles	T States	4 MHz E.T.
5	21 (4, 5, 3, 4, 5)	5.25

If $B = 0$:

M Cycles	T States	4 MHz E.T.
----------	----------	------------

Przesłanie danej z komórki o adresie w HL do urządzenia we-wy o adresie zawartym w C, z postinkrementacją HL i postdekrementacją B, powtarzane do wyzerowania rejestru B

OUTD

Operation: $(C) \leftarrow (HL), B \leftarrow B - 1, HL \leftarrow HL - 1$

Op Code: OUTD

1	1	1	0	1	1	0	1	ED
1	0	1	0	1	0	1	1	AB

Description: The contents of the HL register pair are placed on the address bus to select a location in memory. The byte contained in this memory location is temporarily stored in the CPU. Then, after the byte counter (B) is decremented, the contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its decremented value is placed on the top half (A8 through A15) of the address bus at this time. Next, the byte to be output is placed on the data bus and written to the selected peripheral device. Finally, the register pair HL is decremented.

M Cycles

4

T States

16 (4, 5, 3, 4)

4 MHz E.T.

4.00

Przesłanie danej z komórki o adresie w HL do urządzenia we-wy o adresie zawartym w C, z postdekrementacją HL i B

OTDR

Operation: $(C) \leftarrow (HL), B \leftarrow B - 1, HL \leftarrow HL - 1$

Op Code: OTDR

1	1	1	0	1	1	0	1	ED
1	0	1	1	1	0	1	1	BB

Description: The contents of the HL register pair are placed on the address bus to select a location in memory. The byte contained in this memory location is temporarily stored in the CPU. Then, after the byte counter (B) is decremented, the contents of register C are placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. Register B may be used as a byte counter, and its decremented value is placed on the top half (A8 through A15) of the address bus at this time. Next, the byte to be output is placed on the data bus and written to the selected peripheral device. Then, register pair HL is decremented and if the decremented B register is not zero, the Program Counter (PC) is decremented by two and the instruction is repeated. If B has gone to zero, the instruction is terminated. Interrupts are recognized and two refresh cycles are executed after each data transfer.

Note: When B is set to zero prior to instruction execution, the instruction outputs 256 bytes of data.

If B $\neq$ 0:

M Cycles	T States	4 MHz E.T.
5	21 (4, 5, 3, 4, 5)	5.25

Przesłanie danej z komórki o adresie w HL do urządzenia we-wy o adresie zawartym w C, z postdekrementacją HL i postdekrementacją B, powtarzane do wyzerowania rejestru B

System mikroprocesorowy z układem Z80

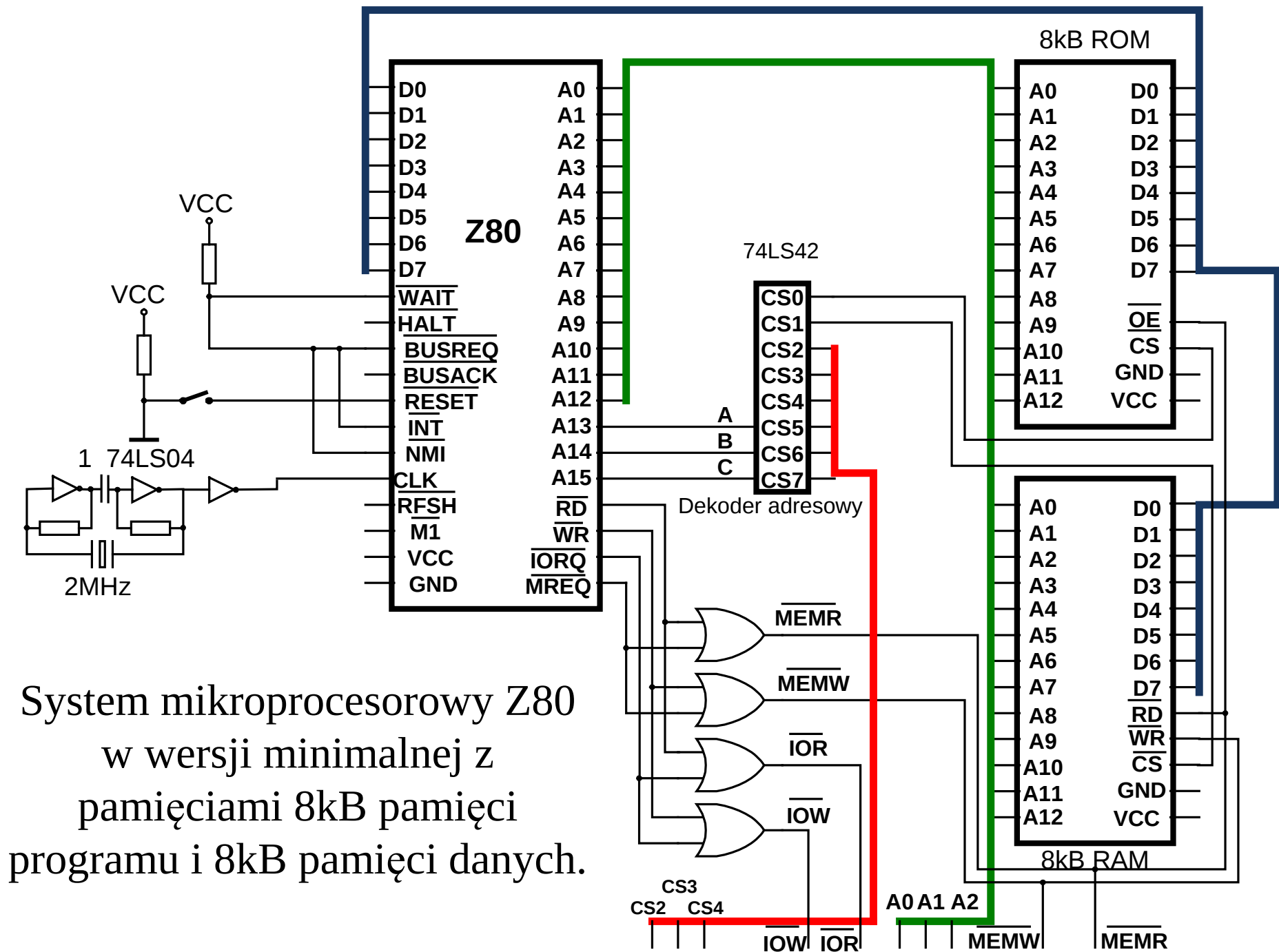
System mikroprocesorowy z procesorem Z80 może zaadresować maksymalnie 64 k-Bajty pamięci programu i danych oraz 256 urządzeń we-wy.

Urządzenia we-wy mogą być lokowane w **przestrzeni adresowej pamięci** i wtedy adresacja odbywa się jak dla komórek pamięci (adresy 16-bitowe, rejestry adresowe HL, IX, IY, adres bezpośredni)- rozkazy typu LD.

Mogą być też adresowane w **przestrzeni adresowej wejścia-wyjścia** (maksymalnie 256 lokacji)- rozkazy IN, OUT.

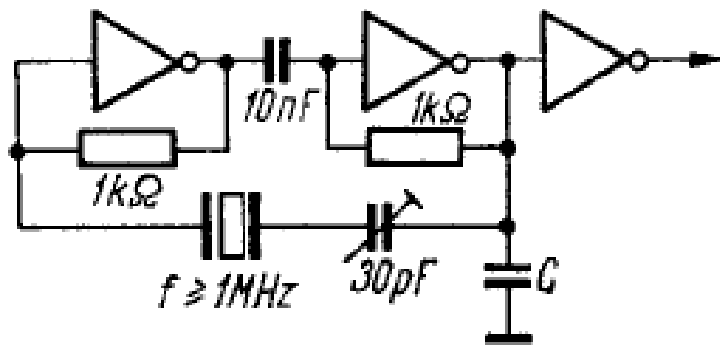
Założenia systemu w wersji minimalnej:

- niepełny dekodery adresowy,
- podział przestrzeni pamięci na osiem obszarów po 8kB,
- adresy 0000-1FFF- pamięć ROM programu,
- adresy 2000-3FFF- pamięć RAM danych,
- urządzenia we-wy w ilości 6 sztuk pod adresami:
 - 4000, 6000, 8000, A000, C000, E000,
- ilość lokacji zajmowanych przez urządzenie we-wy- 8 lokacji.



Generator kwarcowy przebiegu prostokątnego ze zlinearyzowanymi bramkami negacji 74LS04

Literatura: Jan Pieńkos, Janusz Turczyński, „Układy scalone TTL w systemach cyfrowych”.



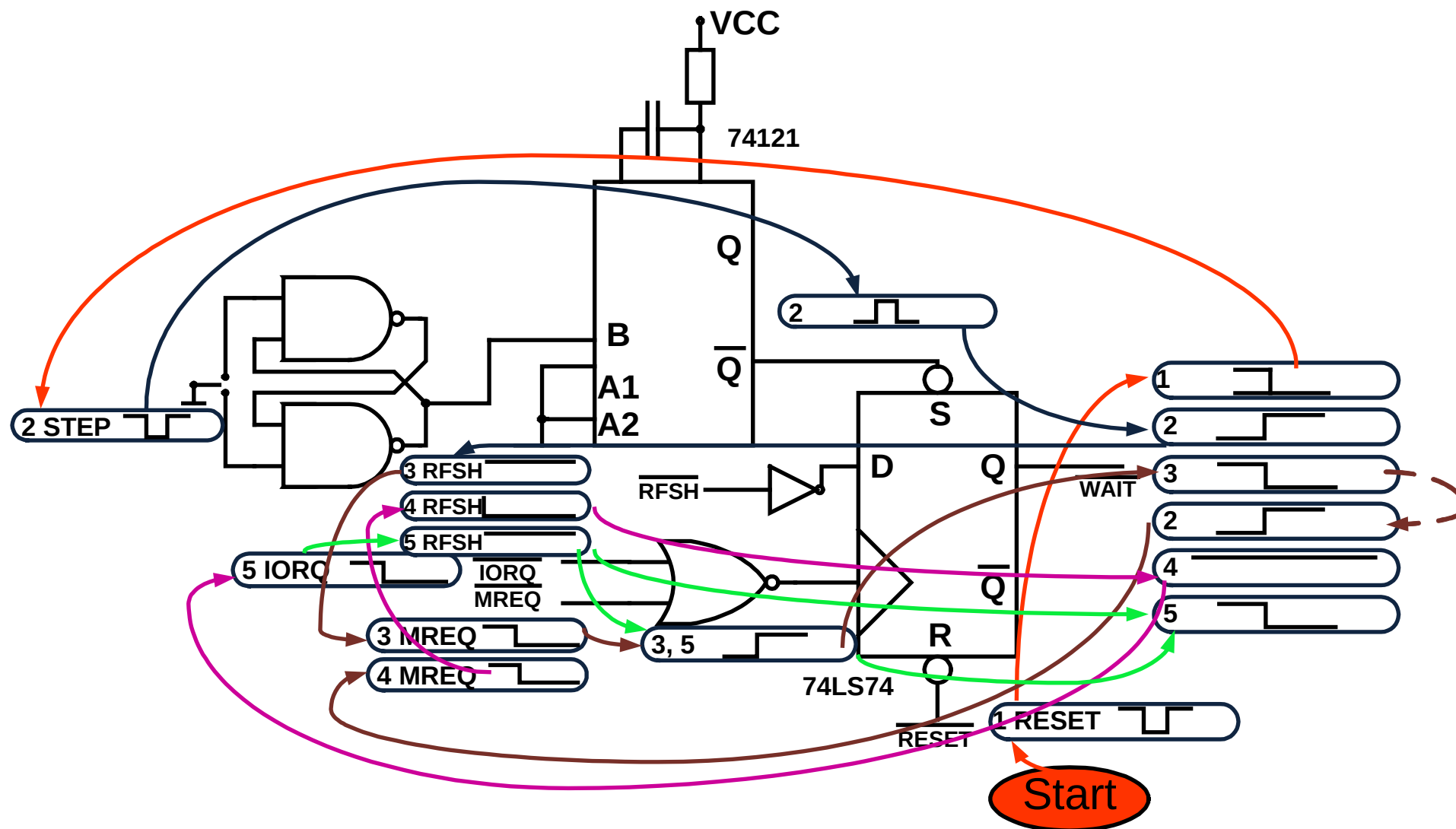
$C = 680 \text{ pF}$ ($f = 1 \text{ MHz}$)
 $C = 330 \text{ pF}$ ($f = 2 \text{ MHz}$)
 $C = 120 \text{ pF}$ ($f = 5 \text{ MHz}$)



Źródło: [Jan Pieńkos, Janusz Turczyński, „Układy scalone...."]

A15	A14	A13	A12	A11.....A0	ADDR HEX
0	0	0	0	0	0000
(0 0 0 1)				1	1FFF
0	0	1	0	0	2000
0	0	1	1	1	3FFF
0	1	0	0	0	4000
0	1	0	1	1	5FFF
0	1	1	0	0	6000
0	1	1	1	1	7FFF
1	1	1	1	1	FFFF

Podział obszaru pamięci na pola 8k-Bajtowe



Układ pracy krokowej co cykl maszynowy mikroprocesora Z80

Układy wejścia-wyjścia w systemach mikroprocesorowych

- Porty równoległe.
- Porty szeregowo (synchroniczne i asynchroniczne).
- Układy czasowo-licznikowe.
- Kontrolery bezpośredniego dostępu do pamięci- DMA.
- Interfejsy zegara czasu rzeczywistego.
- Interfejsy ekranu CRT.
- Interfejsy stacji dysków elastycznych.
- Interfejsy stacji dysków twardych.
- Interfejsy portów USB.
- itp..

PORT RÓWNOLEGŁY 8255

Literatura:

intersil

June 1998

82C55A

CMOS Programmable
Peripheral Interface

Układ 8255 jest programowalnym układem we-wy, zawierającym trzy ośmio bitowe porty: PA, PB, PC. Każdy z portów może pracować jako wejście lub wyjście w trybie bez potwierdzeń (zwykły port wyjściowy lub wejściowy). Jest to tzw. tryb 0.

Port A i B mogą pracować jako wejście lub wyjście w trybie pierwszym z potwierdzeniami. Linie potwierdzenia znajdują się wtedy na wybranych liniach portu C.

Dla wejścia są to sygnały:

- STB**- strob zapisu danych,
- IBF**- bufor wejściowy pełny (dana zapisana).

Dla wyjścia są to sygnały:

- OBF**- bufor wyjściowy pełny,
- ACK**- potwierdzenie odczytu danych

W trybie dwukierunkowym portu A sygnały strobuujące są analogiczne:

-STB,

-IBF,

-OBF,

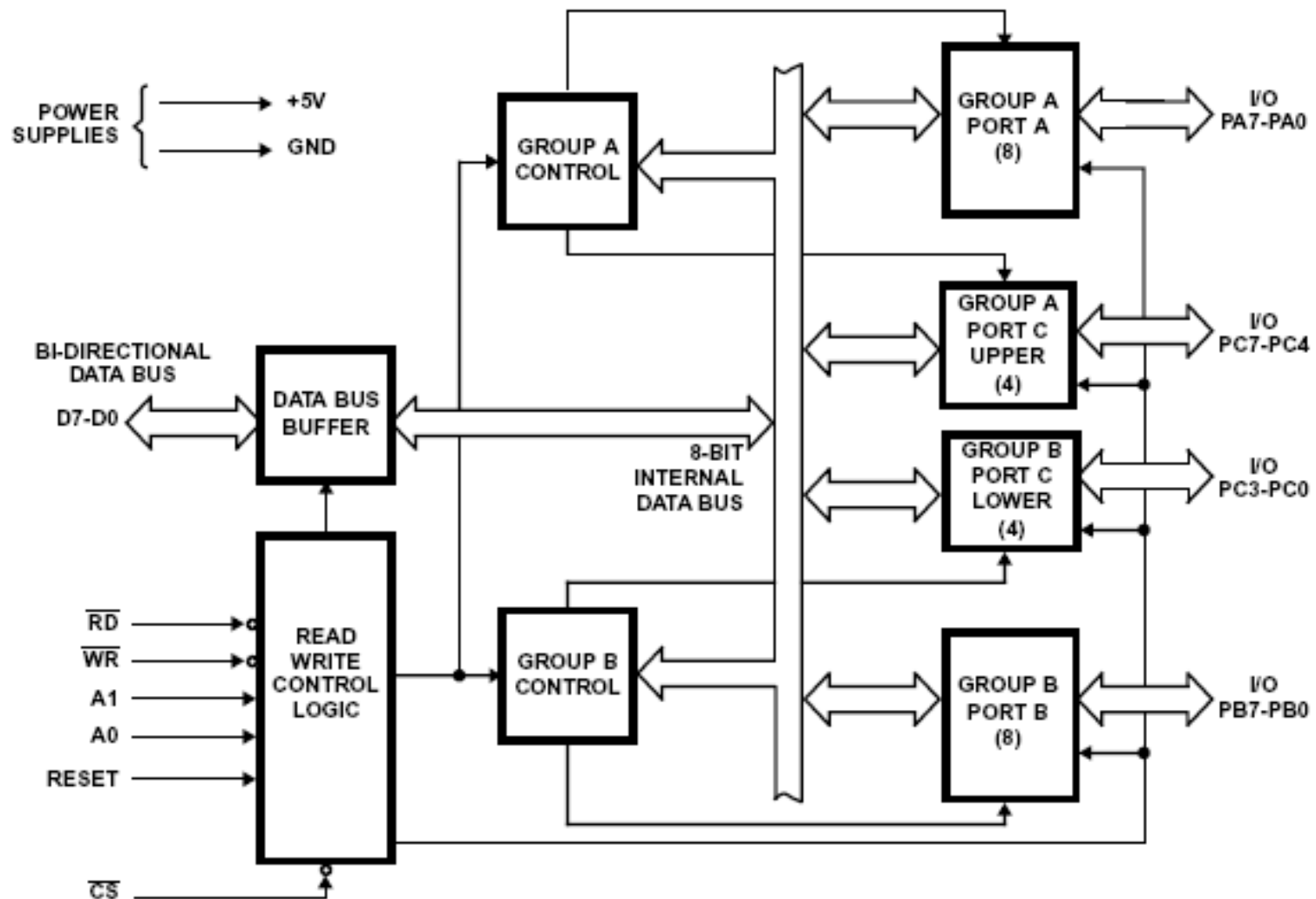
-ACK.

Gdy port A pracuje w trybie 1. port B może pracować jedynie w trybie 0
(z braku dodatkowych linii sterujących)

W trybach 1 i 2 układ może generować przerwania na określonych liniach portu C, które są maskowane wybranymi bitami portu C.

Odmaskowanie przerwań następuje przez ustawienie na „1” wybranych bitów portu C.

Port równoległy 8255A firmy Intel

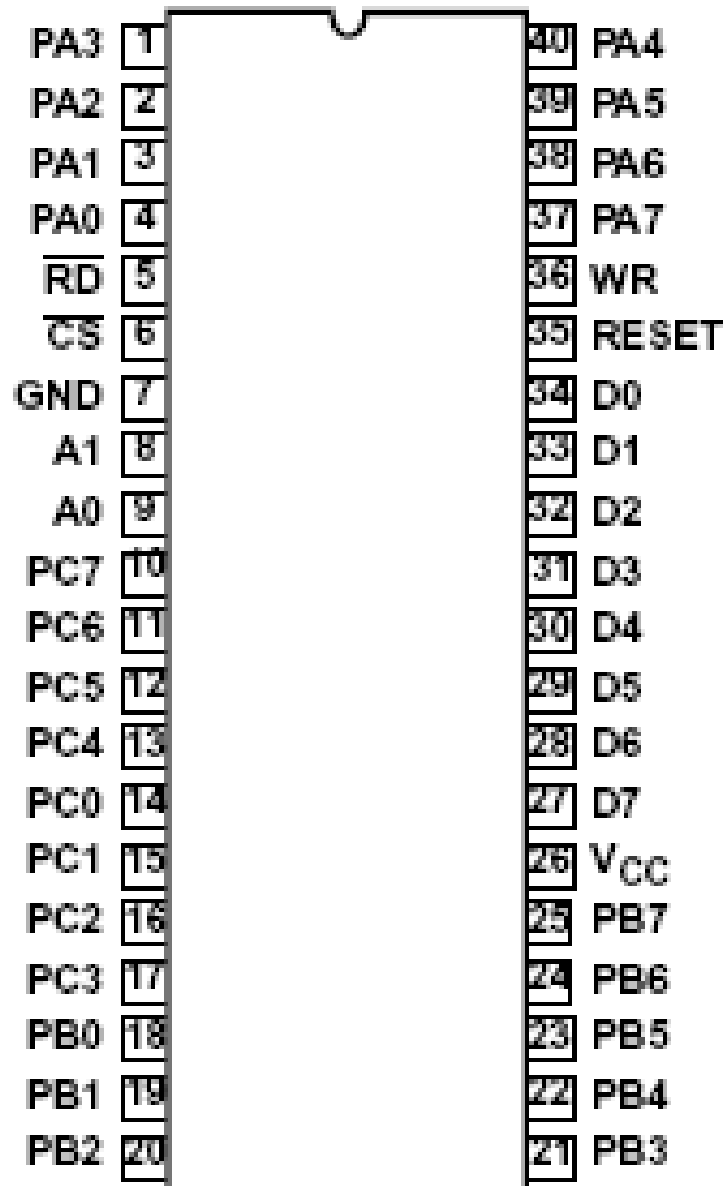


[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

Schemat blokowy układu portów równoległych 8255

82C55A (DIP)

TOP VIEW



Wyprowadzenia układu 8255

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

Sygnały sterujące:

RESET- aktywny stanem wysokim sygnał zerujący układ (wprowadzający w stan początkowy- porty jako wyjścia w stanie wysokiej impedancji).

RD- aktywny stanem niski strob odczytu.

WR- aktywny stanem niskim strob zapisu.

CS- aktywny stanem niskim sygnał wyboru układu.

A0,A1- linie adresowe wyboru jednej z czterech wewnętrznych lokacji układu: portu A, portu B, portu C, rejestru trybu (modu) pracy układu.

PA0-PA7- linie portu A

PB0-PB7- linie portu B

PC0-PC7- linie portu C

GND, VCC- zasilanie układu.

82C55A BASIC OPERATION

A1	A0	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	Port A → Data Bus
0	1	0	1	0	Port B → Data Bus
1	0	0	1	0	Port C → Data Bus
1	1	0	1	0	Control Word → Data Bus
OUTPUT OPERATION (WRITE)					
0	0	1	0	0	Data Bus → Port A
0	1	1	0	0	Data Bus → Port B
1	0	1	0	0	Data Bus → Port C
1	1	1	0	0	Data Bus → Control
DISABLE FUNCTION					
X	X	X	X	1	Data Bus → Three-State
X	X	1	1	0	Data Bus → Three-State

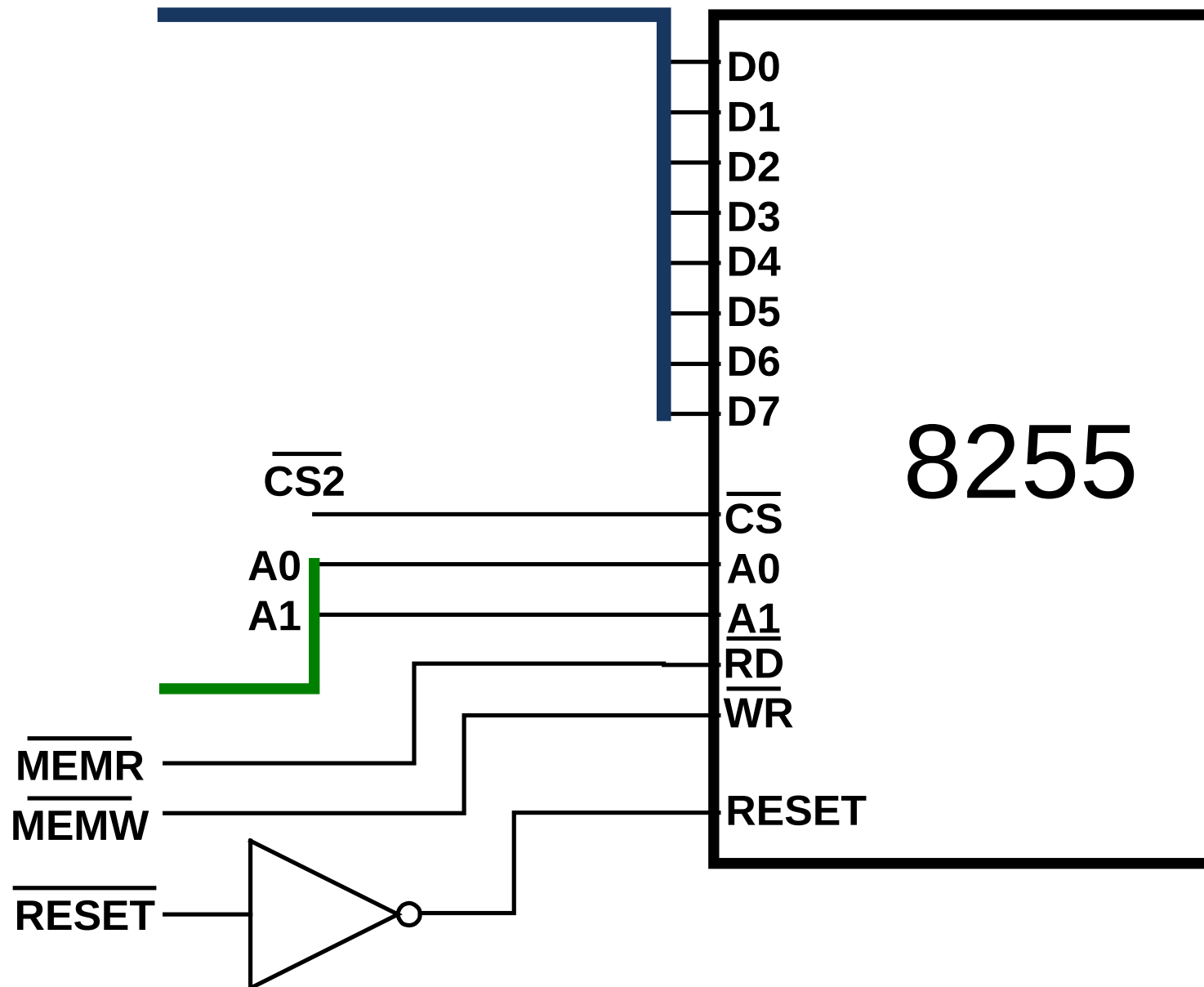
Zestawienie operacji zapisu i odczytu- wykorzystanie linii sterujących i adresowych

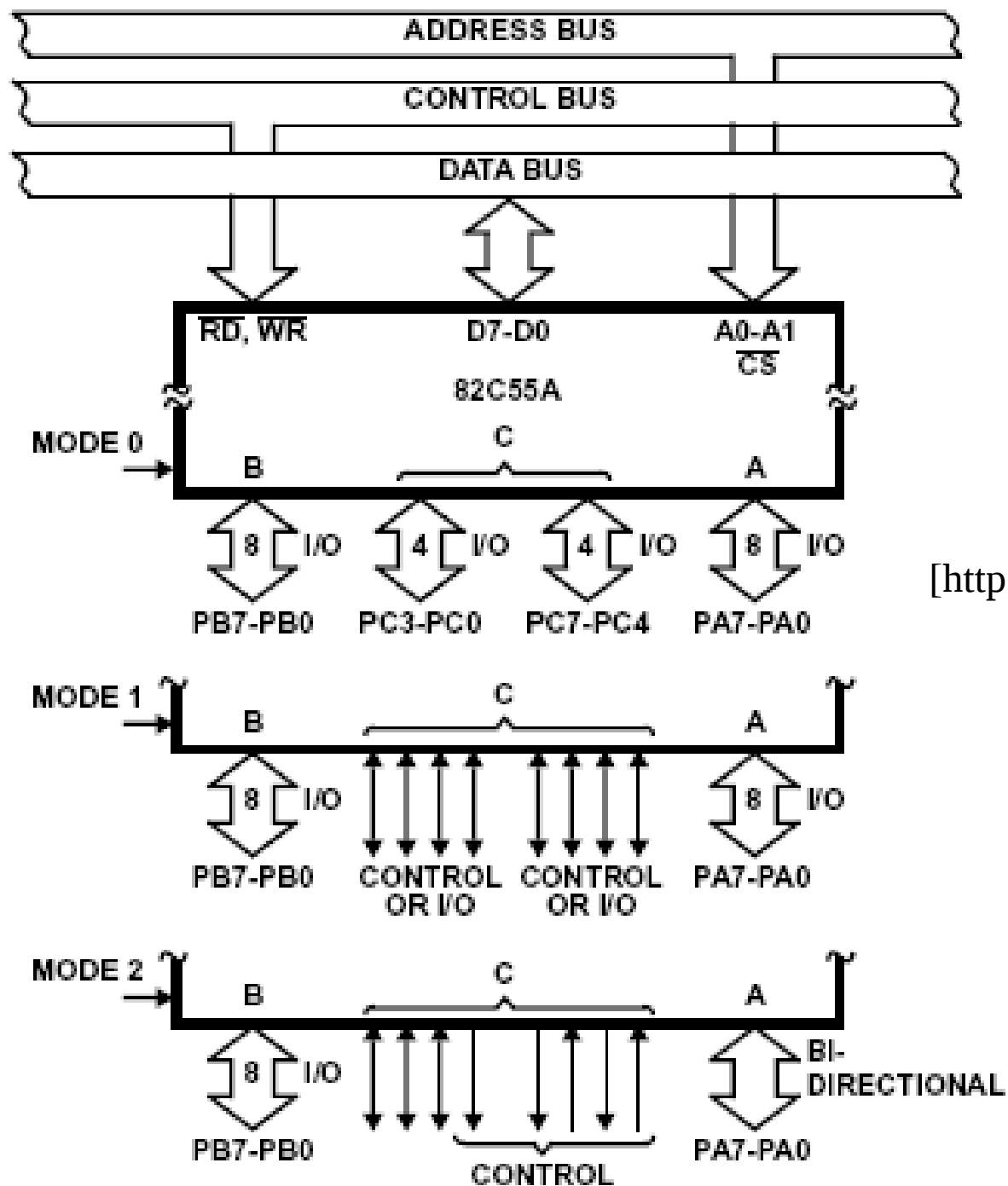
[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

A1	A0	CS	RD	WR	
0	0	0	1	0	Zapis danej na port A
0	1	0	1	0	Zapis danej na port B
1	0	0	1	0	Zapis danej na port C
1	1	0	1	0	Zapis słowa trybu pracy lub ustawienia bitów portu C

A1	A0	CS	RD	WR	
0	0	0	0	1	Odczyt danej z portu A
0	1	0	0	1	Odczyt danej z portu B
1	0	0	0	1	Odczyt danej z portu C
1	1	0	0	1	Odczyt słowa trybu pracy

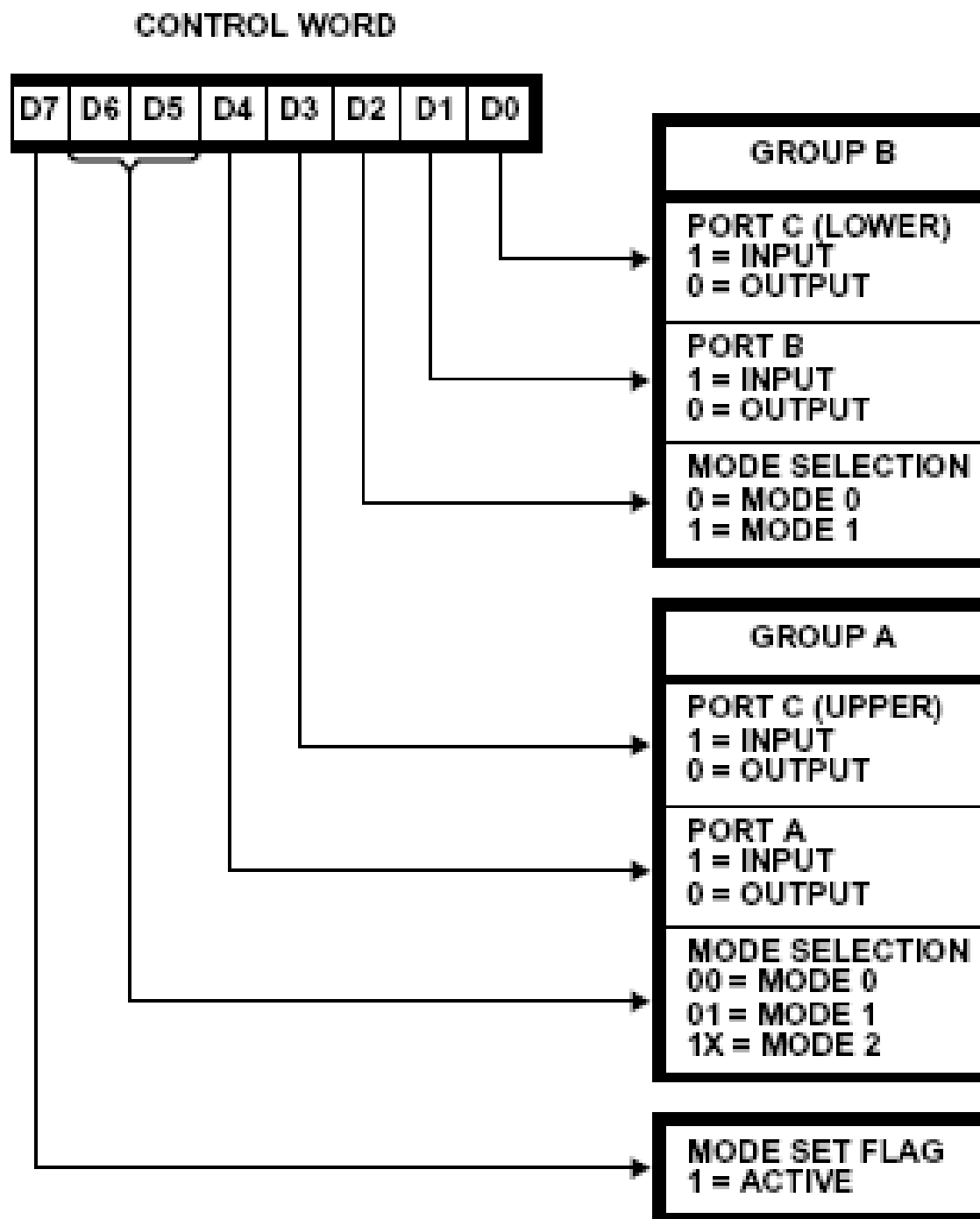
Dołączenie 8255 do systemu mikroprocesorowego w przestrzeni adresowej pamięci





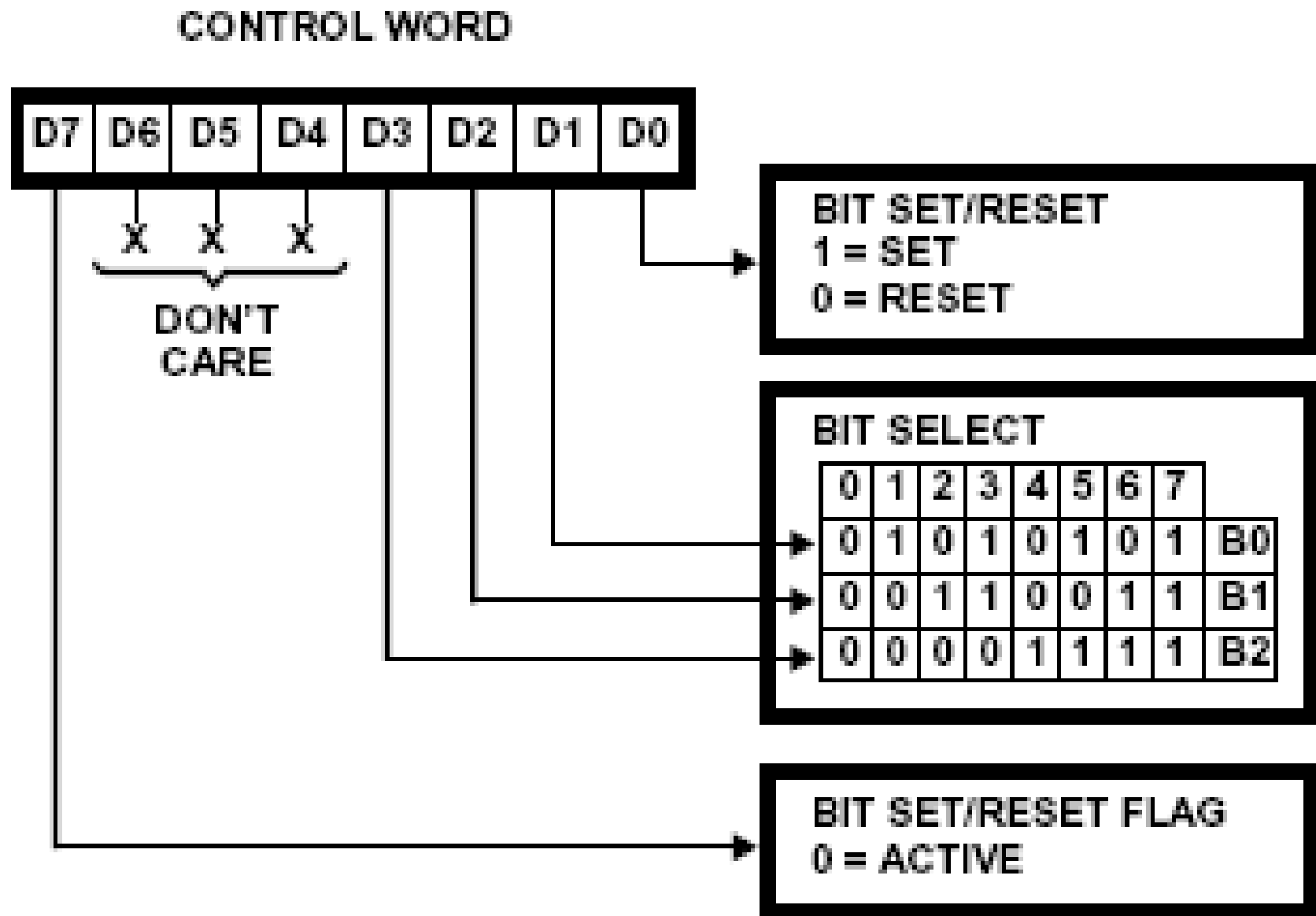
Wykorzystanie portów
układu 8255 w różnych
modach pracy

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



Format słowa sterującego
układu 8255

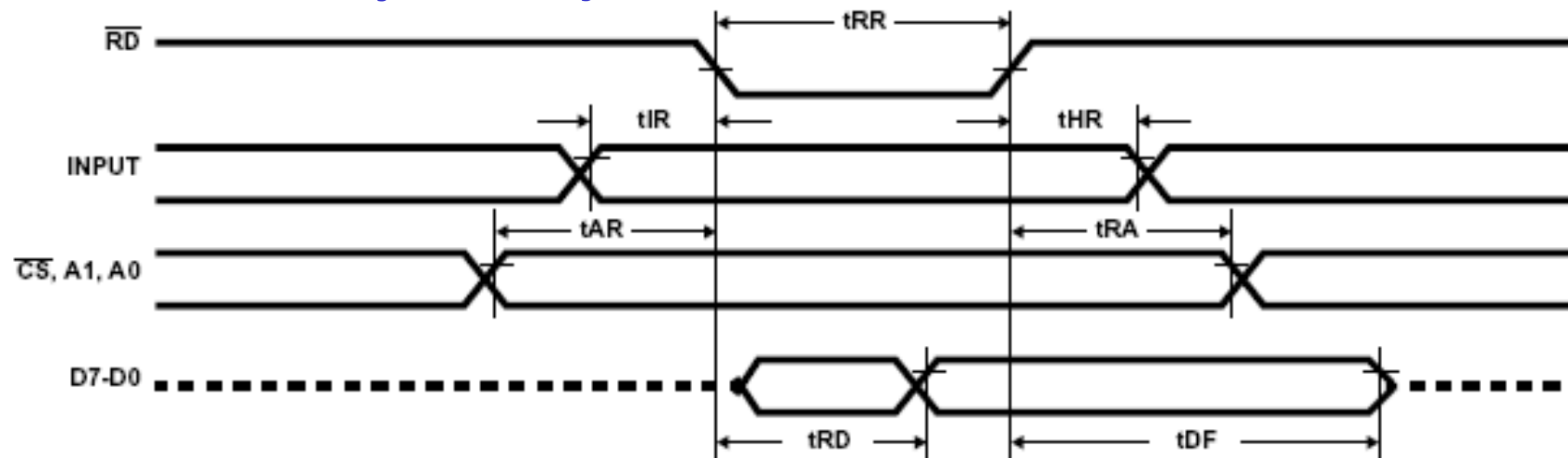
[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



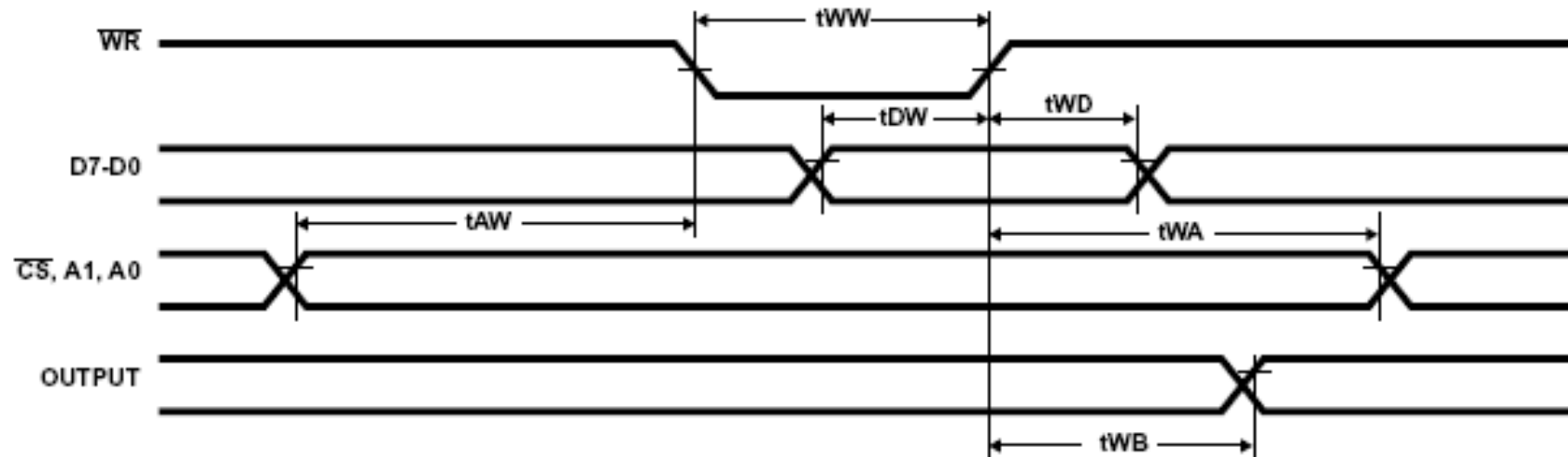
Indywidualne ustawianie-kasowanie bitów portu C

Mode 0 (Basic Input) Tryb 0- wejście

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



Mode 0 (Basic Output) Tryb 0- wyjście



Przebiegi czasowe dla trybu zerowego (zwykły port wejściowy-wyjściowy, bez potwierdzeń)

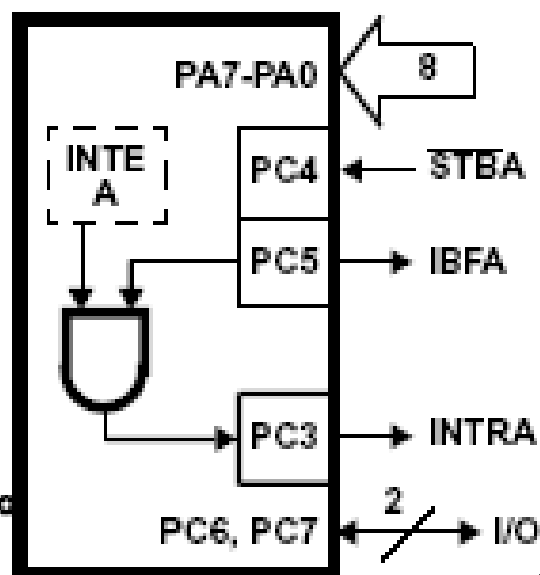
CONTROL WORD

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1	1/0	X	X	X

PC6, PC7
1 = INPUT
0 = OUTPUT

RD →

MODE 1 (PORT A)



Tryb 1 wejściowy

INTE A

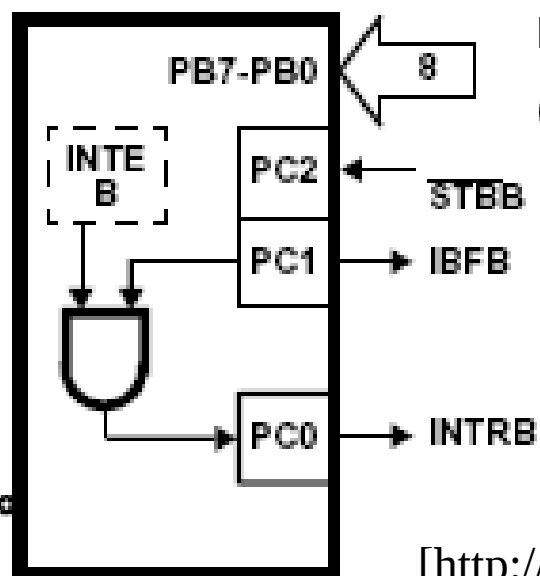
Controlled by bit set/reset of PC4.

MODE 1 (PORT B)

CONTROL WORD

D7	D6	D5	D4	D3	D2	D1	D0
1	X	X	X	X	1	1	X

RD →



INTE B

Controlled by bit set/reset of PC2.

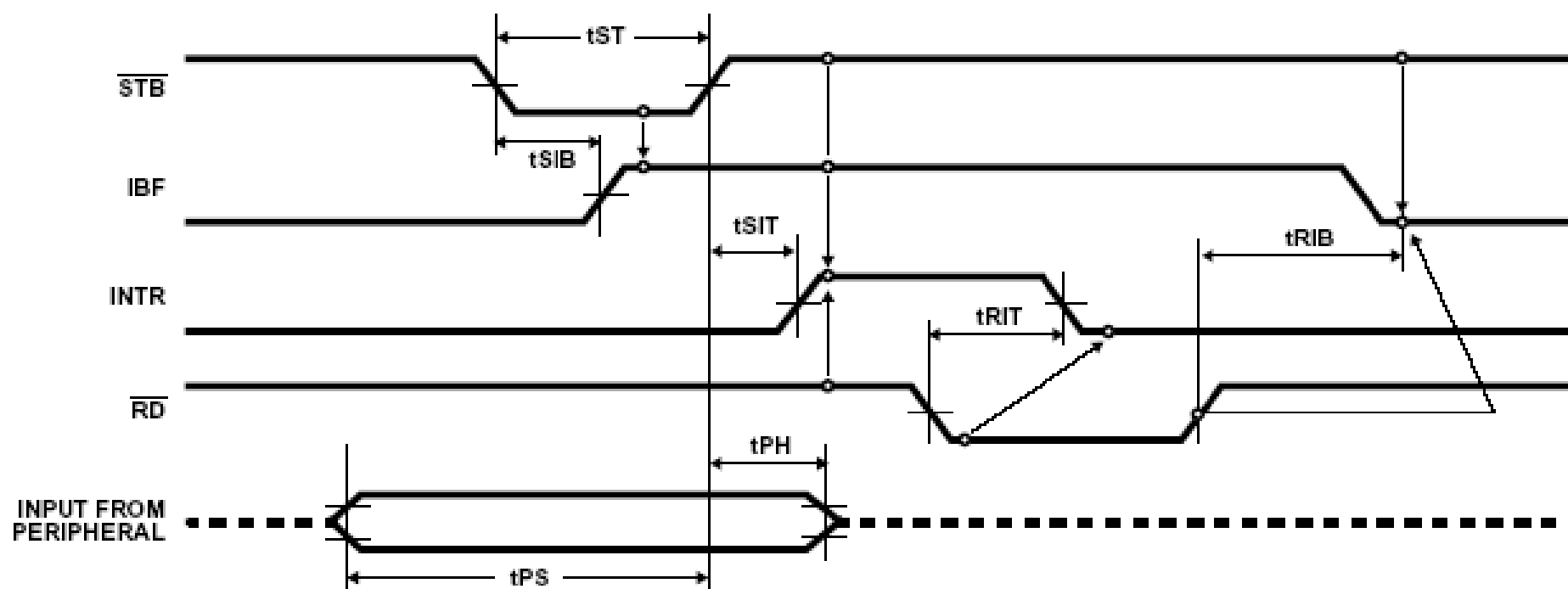
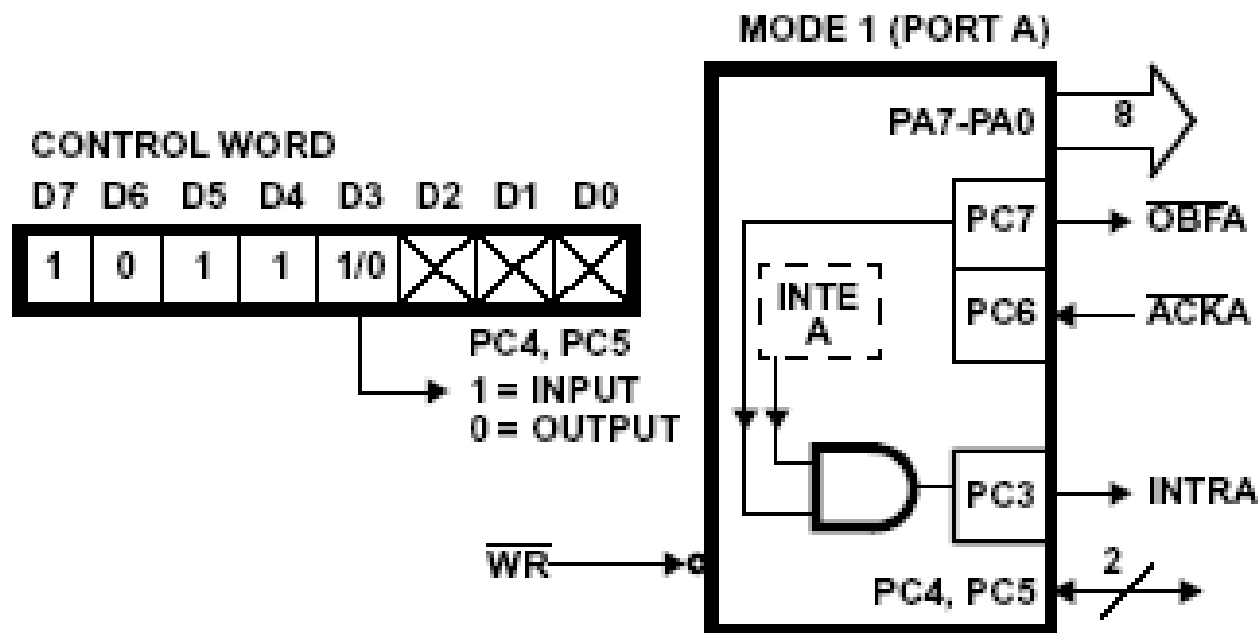


FIGURE 7. MODE 1 (STROBED INPUT)

Tryb 1 wejściowy- przebiegi czasowe

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]



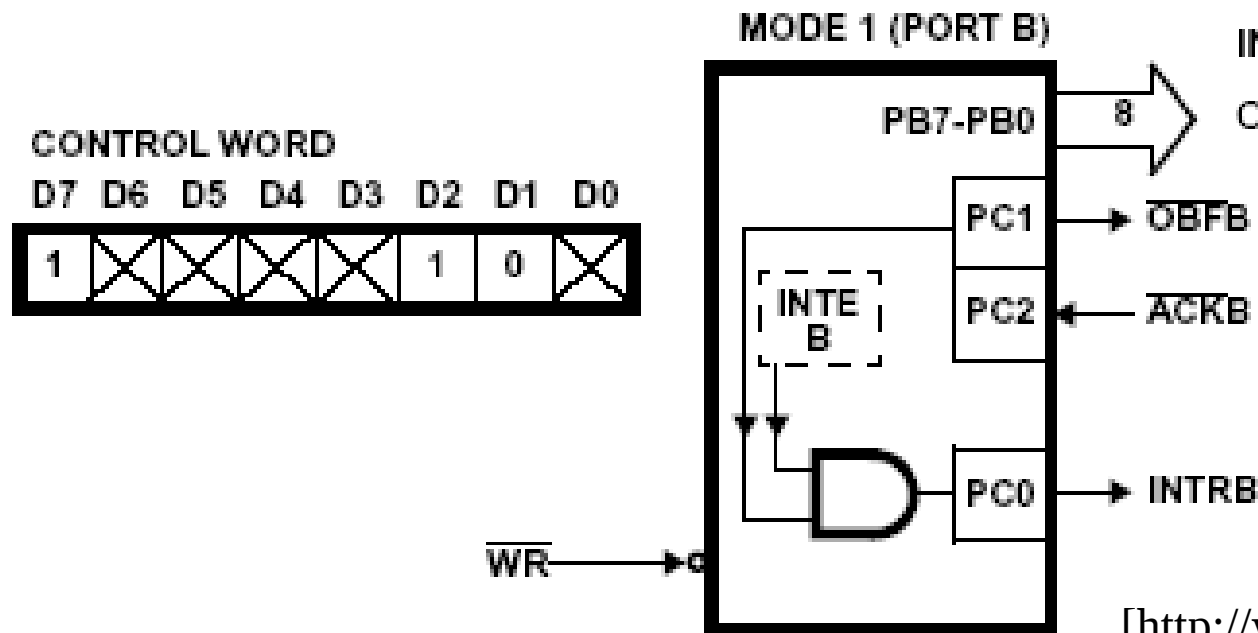
Tryb 1 wyjściowy

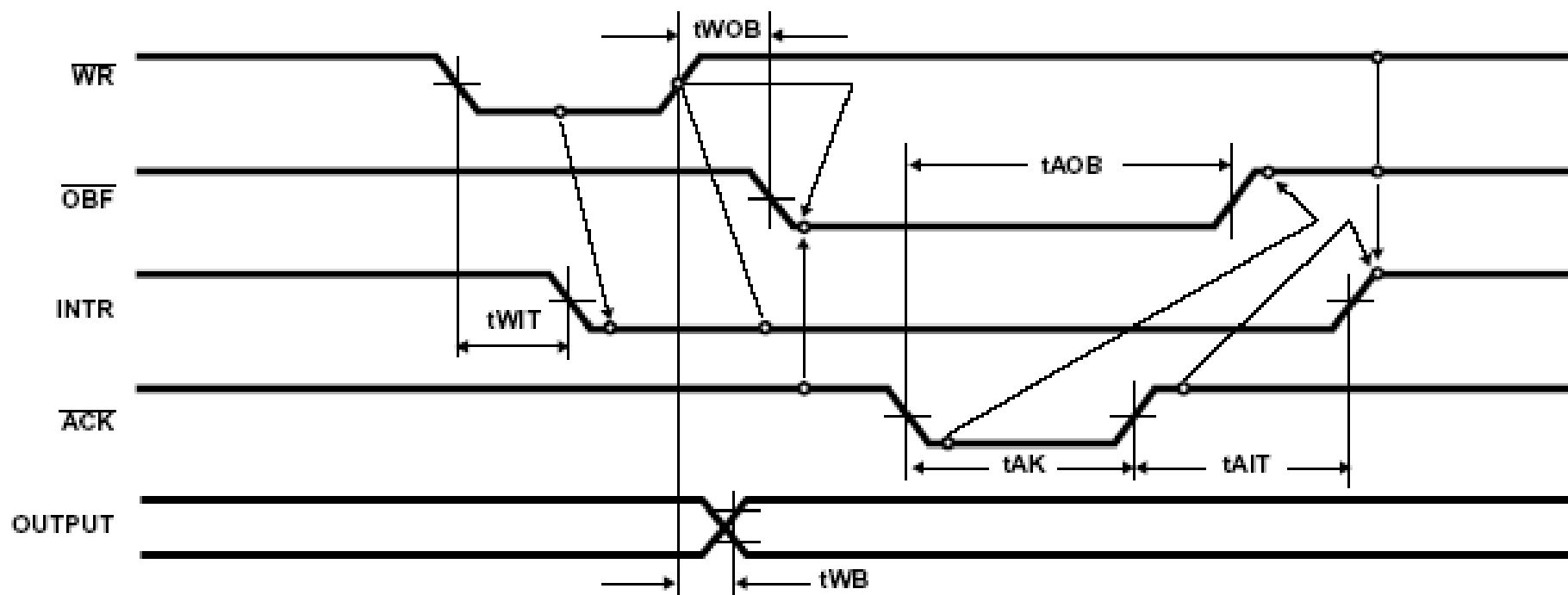
INTE A

Controlled by Bit Set/Reset of PC6.

INTE B

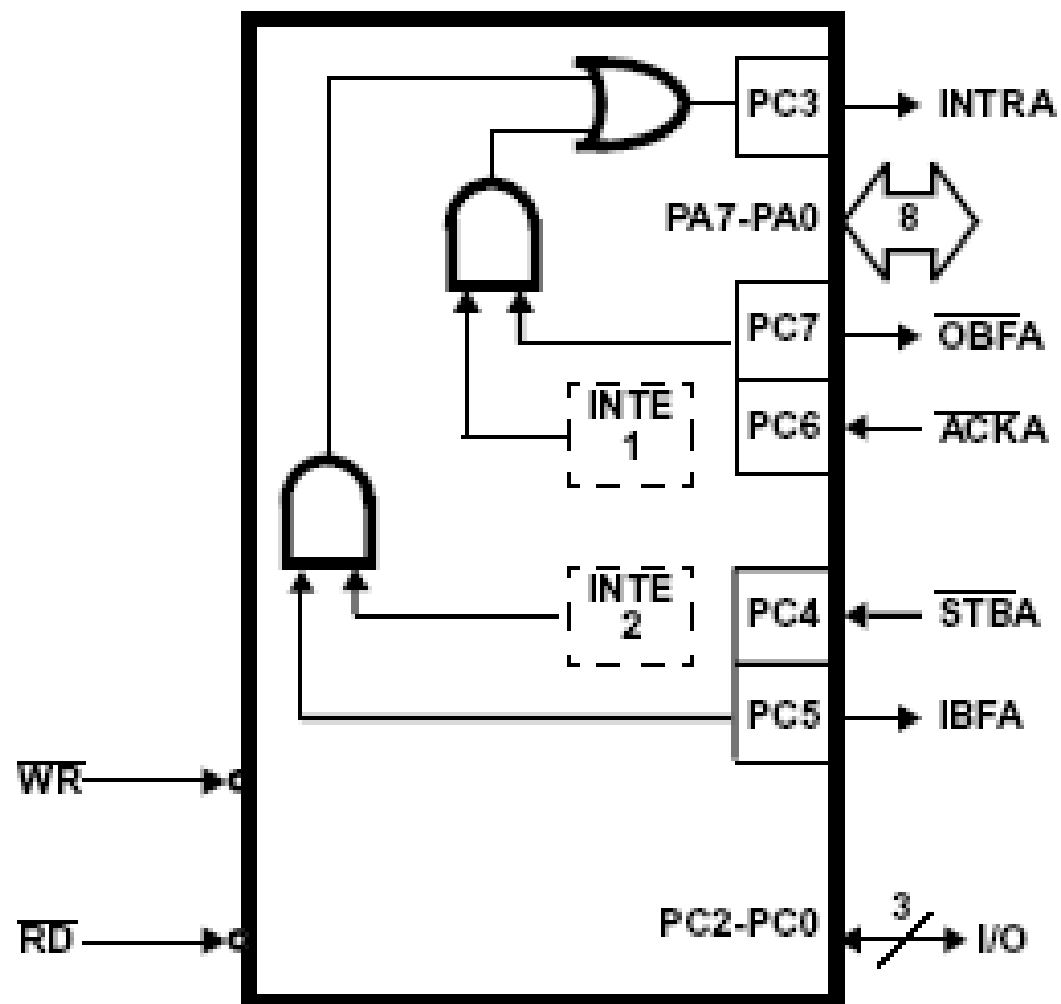
Controlled by Bit Set/Reset of PC2.





Tryb 1 wyjściowy- przebiegi czasowe

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

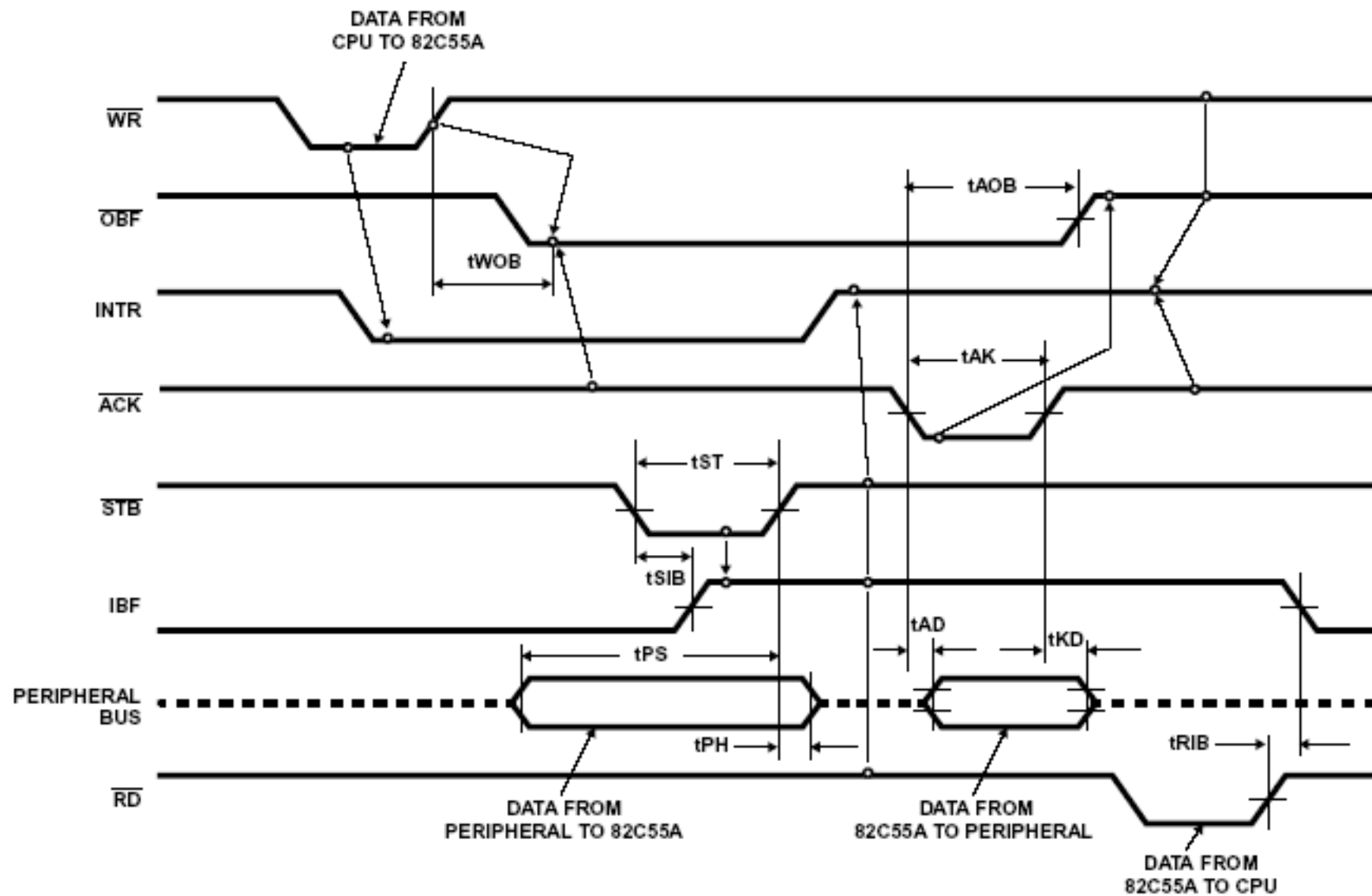


Tryb 2 portu A

FIGURE 12. MODE 2

INTE 1 - (The INTE flip-flop associated with $\overline{\text{OBF}}$). Controlled by bit set/reset of PC4.

INTE 2 - (The INTE flip-flop associated with IBF). Controlled by bit set/reset of PC4.



Tryb 2 portu A, przebiegi czasowe

[<http://www.dsi.unifi.it/~nesi/8255.pdf>]

Timing Waveforms (Continued)

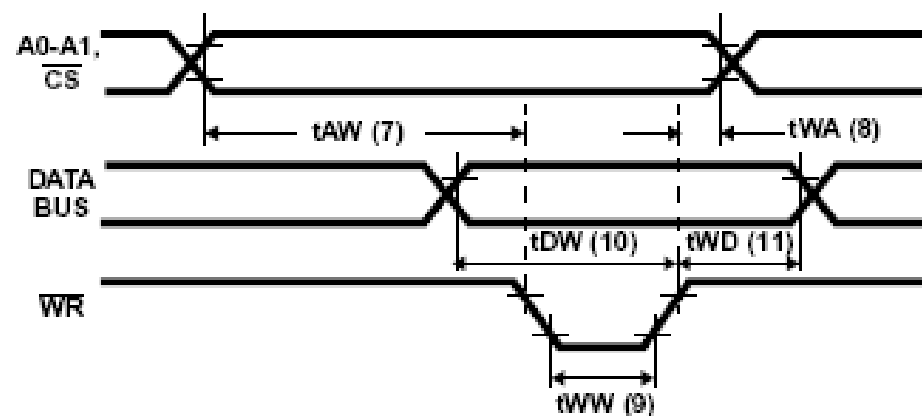


FIGURE 30. WRITE TIMING

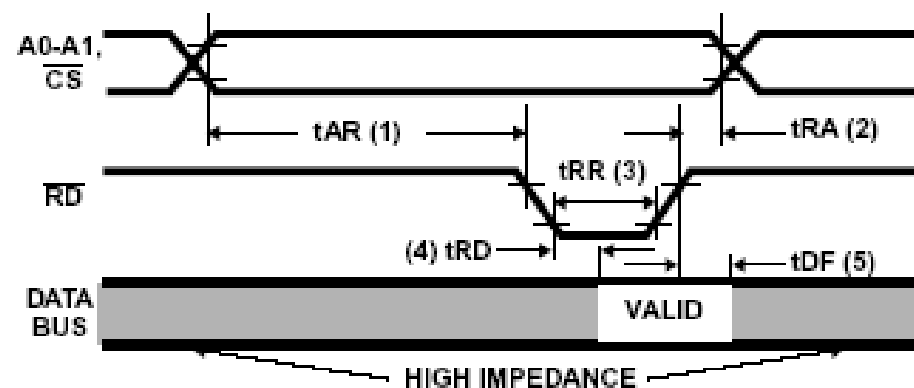


FIGURE 31. READ TIMING

Przebiegi czasowe zapisu i odczytu układu 8255 przez mikroprocesor

Programowanie układu 8255 w assemblerze Z80

port A- tryb 1 wyjście,

port B- tryb 1 wejście,

wolne bity portu C- wyjścia,

Odmaskowanie przerwania od obu portów.

Układ zajmuje lokacje adresowe: **FF00-FF03** w przestrzeni pamięci.

Słowo sterujące ustawiające tryby pracy:

1	tryb A	PA-I/O	PC4-7	tryb B	PB-I/O	PC0-3	
1	0	1	0	0	1	1	0

Słowo sterujące A6 hex

Aby odmaskować przerwania należy wysłać sterujące ustawiające bity:

PC2

0	X	X	X	numer bitu	set/reset
---	---	---	---	------------	-----------

0	0	0	0	0 1 0	1
---	---	---	---	-------	---

Słowo sterujące- 05 hex

PC6

0	X	X	X	numer bitu	set/reset
---	---	---	---	------------	-----------

0	0	0	0	1 1 0	1
---	---	---	---	-------	---

Słowo sterujące- 0D hex

Po zaprogramowaniu odczytać port B i odczytaną daną zapisać na port A.

W asemblerze Z80 liczby heksadecymalne poprzedza znak „#”, brak „#” oznacz liczbę dziesiętną, przeliczaną podczas asemblacji (zamiany na kod maszynowy) na liczbę heksadecymalną.

Przykład programu w asemblerze Z80:

LD HL, #FF03 ; załadowanie do rejestru HL adresu rejestru sterującego

LD (HL),#A6 ; wysłanie słowa sterującego stawiającego tryby pracy portów

LD (HL),#05 ; odmaskowanie przerwań od portu B

LD (HL),#0D ; odmaskowanie przerwań od portu A

LD HL,#FF01 ; załadowanie do rejestru HL adresu portu B

LD A,(HL) ; odczyt danej do akumulatora

LD HL,#FF00 ;załadowanie do rejestru HL adresu portu A

LD (HL),A; wysłanie na port A zawartości akumulatora czyli liczby odczytanej z portu B

UWAGA!

Program nie korzystał z obsługi przerwań, odczyt danej z portu B mógł nastąpić dopiero po zapisie danej na port sygnałem **STB**, po zapisaniu danej na port B pojawił **IBF**.

Przepisanie danej na port A spowodowało aktywację sygnału **OBF**, powinien pojawić się sygnał **ACK** od zewnętrznego urządzenia odczytującego daną z portu A

Przyjmujemy, ze:

Układ zajmuje lokacje adresowe: **F0-F3** w przestrzeni pamięci.

LD A,#A6 ;zapis do rejestru A słowa sterującego ustawiającego tryby pracy portów

OUT (#F3),A ; wysłanie słowa sterującego pod adres rejestru sterującego

LD A,#05 ;załadowanie do A słowa odmaskowującego przerwania od portu B

OUT (#F3),A ;wysłanie

LD A,#0D ;załadowanie do A słowa odmaskowującego przerwania od portu A

OUT (#F3),A ;wysłanie

LD C,#F1) ; załadowanie do C adresu portu B

IN E,(C) ;odczyt danej z portu B do rejestru E

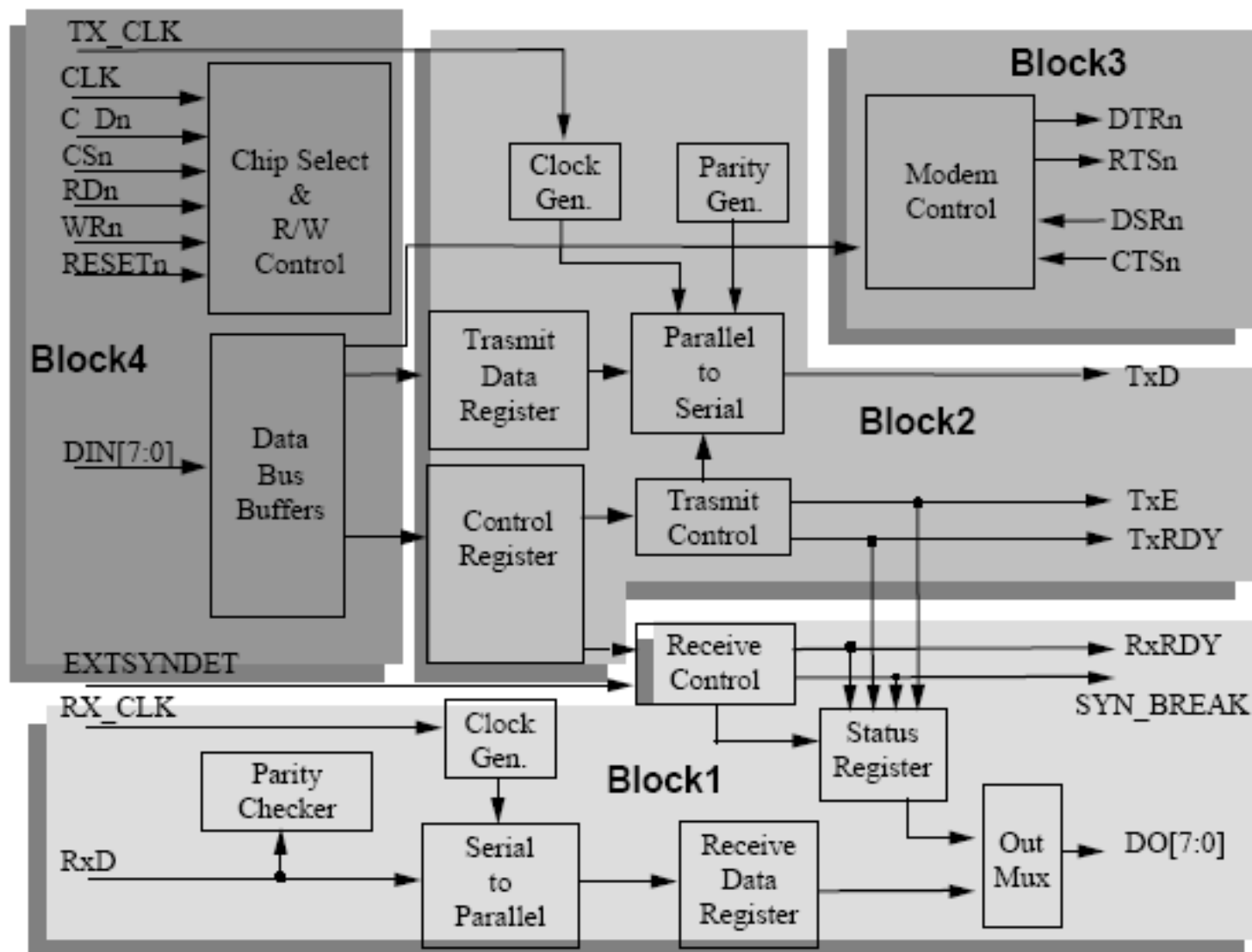
LD C,#F0 ;załadowanie do C adresu portu A

OUT (C),E ;wysłanie danej z rejestru E na port A

Programowalny interfejs portu szeregowego 8251C

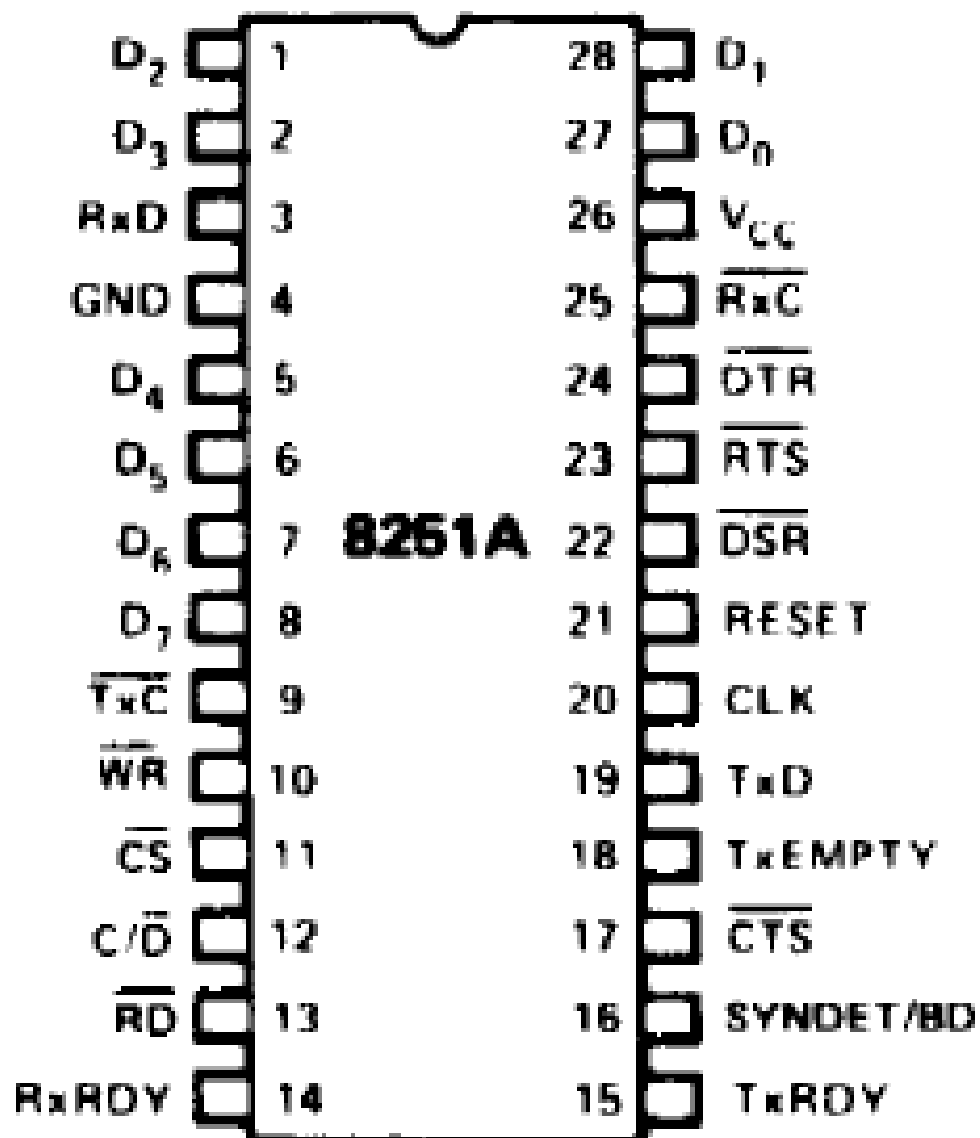


8251A
PROGRAMMABLE COMMUNICATION INTERFACE



Schemat blokowy układu 8251

[<http://www.moxsyn.com/Altera/c8251.pdf>]



Wyprowadzenia układu 8251C

Wyprowadzenia układu 8251C

RESET- zerowanie układu aktywne stanem niskim

CLK- taktowanie układu

TX_CLK- zegar nadajnika

RX_CLK- zegar odbiornika

RD- aktywny stanem niskim strob odczytu

WR- aktywny stanem niskim strob zapisu

CS- aktywny stanem niskim sygnał wyboru układu

C/D- wybór rodzaju dostępu (rejstry kontrolne/rejestr danych)

EXTSYNDET, we-wy- zewnętrzny sygnał detekcji synchronizacji lub braku synchronizacji

D0-D7- 8-mio bitowa magistrala danych

TxD- wyjście danych nadajnika szeregowego

RxD- wejście danych odbiornika szeregowego

CTS- wejście modemowe Clear to Send (aktywne stanem niskim)

DSR- wejście modemowe Data Set Ready (aktywne stanem niskim)

TxE- nadajnik pusty (aktywny stanem niskim)

RTS- wyjście modemowe Request to Send (aktywne stanem niskim)

DTR- wyjście modemowe Data Terminal Ready (aktywne stanem niskim)

TxRDY- wyjście nadajnik gotowy

RxRDY- wyjście odbiornik gotowy

Komunikacja z układem 8251

C/$\overline{D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	8251A DATA → DATA BUS
0	1	0	0	DATA BUS → 8251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3-STATE
X	X	X	1	DATA BUS → 3-STATE

[<http://www.abandah.com/gheith/wp-content/uploads/2011/02/8251A-Datasheet.pdf>]

Wysterowanie linii **C/D** na **1** powoduje iż przy zapisie układu możliwy jest dostęp do słowa trybu i słowa sterującego, przy odczycie dostępny jest stan rejestru statusowego.

Gdy linia ta jest w stanie **niskim** przy zapisie następuje wpis do bufora nadajnika, przy odczycie odczyt bufora odbiornika szeregowego.

Format słowa trybu dla pracy asynchronicznej

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- D3 D2 - długość słowa
 - 00 - 5 bitów
 - 01 - 6 bitów
 - 10 - 7 bitów
 - 11 - 8 bitów
- D1 D0 wybór szybkości transmisji
 - 00 - zarezerwowane dla tr. synchronicznej
 - 01 - $k = 1$
 - 10 - $k = 16$
 - 11 - $k = 64$

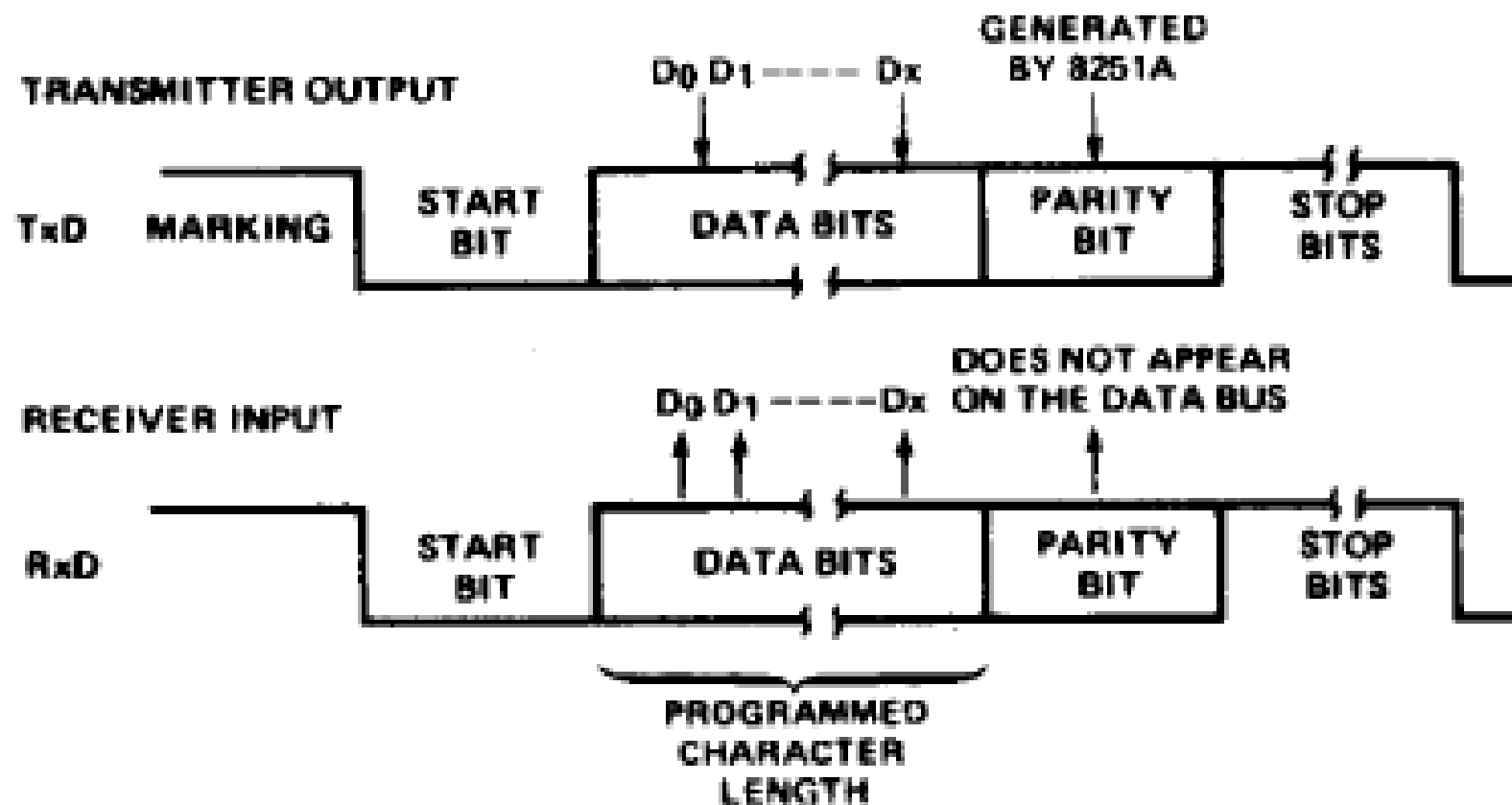
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D5 - rodzaj kontroli
 0 - bit nieparzystości
 1 - bit parzystości

- D4 - zezwolenie na kontrolę parzystości/nieparzystości
 0 - kontrola
 1 - nie ma zezwolenia na kontrolę

D6 D7 - długość bitu stopu
 00 - zabronione
 01 - 1 bit stopu
 10 - 1,5 bitu stopu
 11 - 2 bity stopu

Ramka transmisji asynchronicznej



Słowo trybu dla pracy synchronicznej

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D3 D2 - długość słowa

00 - 5 bitów

01 - 6 bitów

10 - 7 bitów

11 - 8 bitów

D1 D0 – 00- tryb syn.

D4 - zezwolenie na

kontrole

parzystości/nieparzystości

0 - kontrola poprawności

1 - nie ma zezwolenia na
kontrole

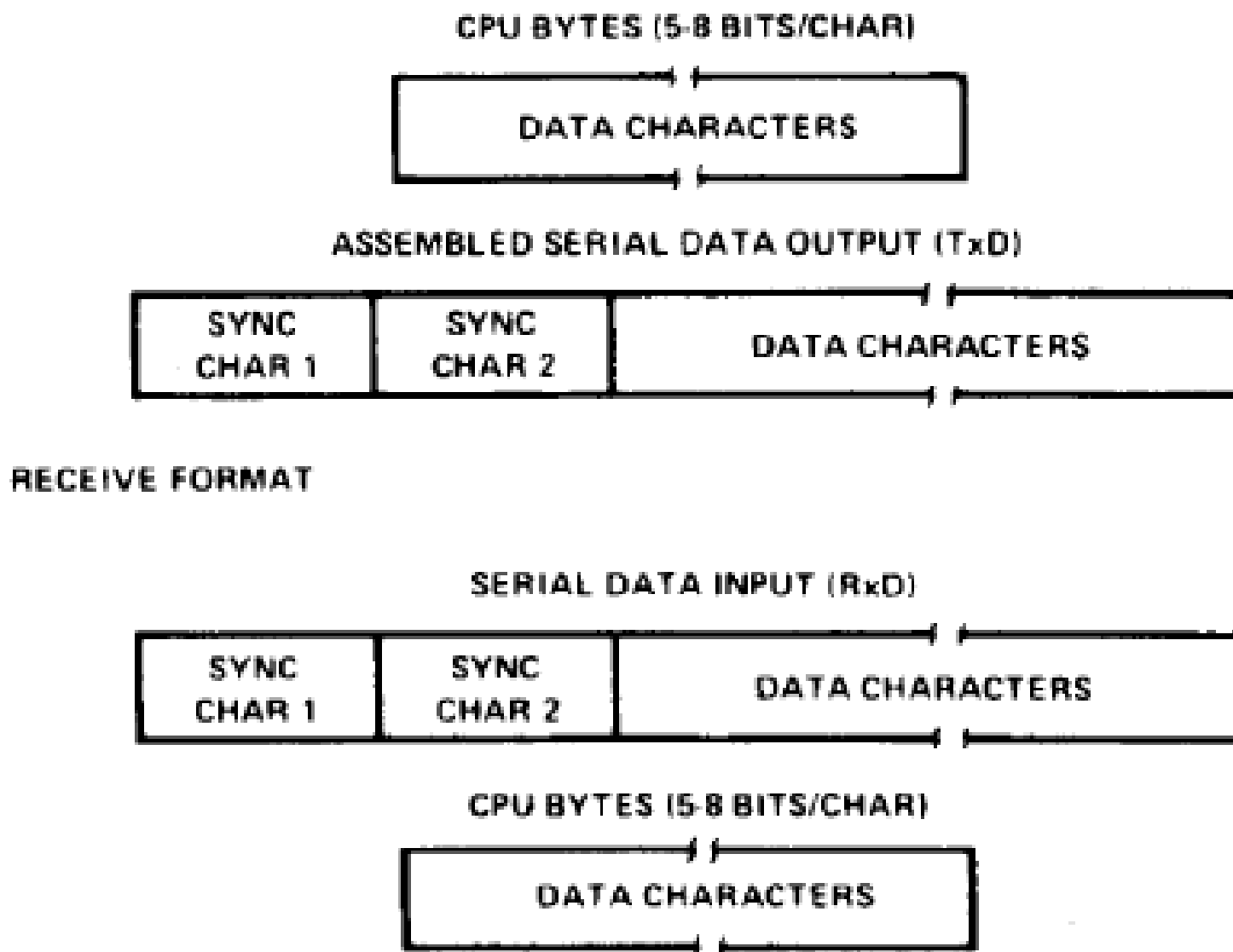
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D7 - ilość znaków
synchronizujących
0 - pojedynczy znak
1 - dwa znaki

D6 - rodzaj
synchronizacji
0 - SYNDET jako wy-
- synchronizacja
wewnętrzna
1 - SYNDET jako we-
- synchronizacja
zewnętrzna

D5 - rodzaj kontroli
0 - bit nieparzystości
1 - bit parzystości

Ramka transmisji synchronicznej



Słowo sterujące

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D1 - DTR- wymusza zmianę na wyjściu DTR (1 - 0)

- D3 - SBRK- wymusza stan niski na linii TxD

D0 – TXEn- odblokowanie nadajnika

- D2 - RXEn- odblokowanie odbiornika

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

- D5 – RTS- wymusza zmianę na wyprowadzeniu RTS (1 - 0)

- D7 – EH - synchronizacja wewnętrzna (dotyczy transmisji synchronicznej)

D4 - ER- zerowanie błędów PE,OE,FE w rejestrze statusu

D6 -IR- wymusza zerowanie układu i możliwość ponownego wpisu słowa modu

Słowo statusowe

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D1 – RxRDY - znak przepisany z wejścia szeregowego do rejestru buforowego

- D3 – PE - wystąpił błąd parzystości

D0 – TxRDY- nastąpiło przepisanie bajtu z rejestru buforowego (rejestr nadajnika pusty)

D2 - TxE (odzwierciedla stan wyprowadzenia o tej samej nazwie)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

• D5 – FE- wystąpił
błąd bitu stopu

D4 – OV - wystąpił błąd
przepełnienia

D7 – DSR - aktywna
linia DSR

D6 -SYNDET/BREAKDETECTED
(powtórzenie stanu
wyprowadzenia)

Programujemy układ 8251 do transmisji asynchronicznej 8-mio bitowej bez kontroli parzystości z jednym bitem stopu i prędkością transmisji CLK/64.

Układ lokowany w przestrzeni pamięci pod adresami 8000 hex (dane) i 8001 hex (słowo modu i sterujące)

Słowo sterujące

D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	1	1	1	1	1

5F hex

Słowo sterujące (włącz odbiornik i nadajnik)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	0	1

05 hex

LD HL,#8001 ; wpisz do HL adres rejestru trybu

LD (HL),#5F ; wpisz słowo trybu

LD (HL),#05 ;wpisz słowo sterujące

LD HL,#8000 ;wpisz adres rejestru danych

LD A,(HL) ; odczytaj na akumulator bufor odbiornika

LD (HL),A ;zapisz bufor nadajnika

LD HL,#8001 ; wpisz do HL adres rejestru słowa sterującego

LD (HL),#40 ; zerowanie układu można na nowo wpisać tryb pracy układu