

Technika mikroprocesorowa I

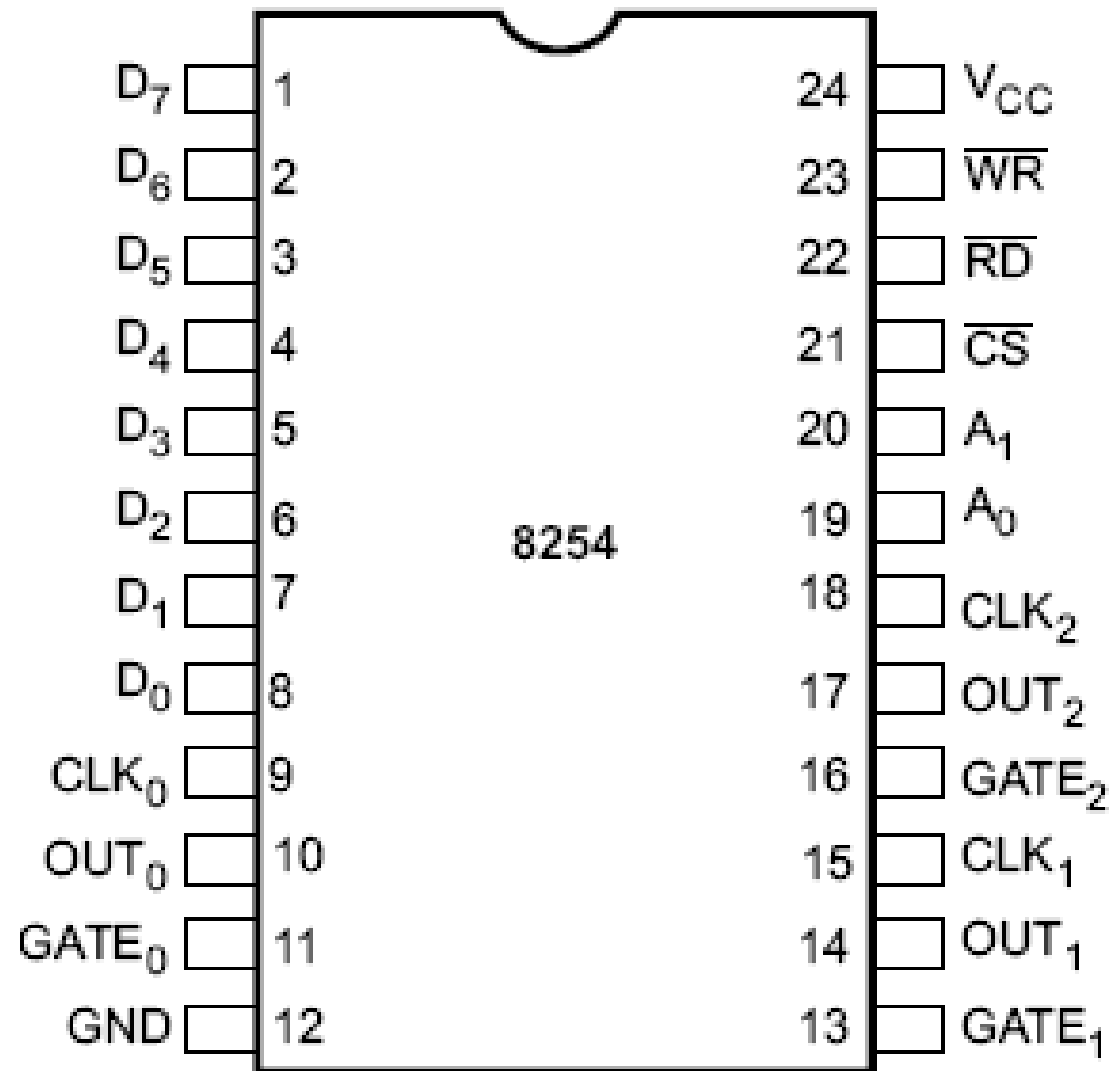
Wykład 4

Układ czasowo licznikowy 8253 INTEL

8253	8254
1. Operating frequency 0 - 2.6 MHz.	1. Operating frequency 0 - 10 MHz.
2. Uses N-MOS technology.	2. Uses H-MOS technology.
3. Read-Back command not available.	3. Read-Back command available.
4. Reads and writes of the same counter can not be interleaved.	4. Reads and writes of the same counter can be interleaved.

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

Wyprowadzenia układu



[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

D0-D7: 8-bitowa magistrala danych,

CS: aktywacja układu (aktywny stanem niskim),

A0, A1: wybór jednej z czterech lokacji zajmowanych przez układ (licznik0, licznik1, licznik2, rejestr kontrolno-sterujący),

RD- strob odczytu (aktywny stanem niskim),

WR- strob zapisu (aktywny stanem niskim),

CLKi- wejście zegara licznika $i=0$ lub 1 lub 2 ,

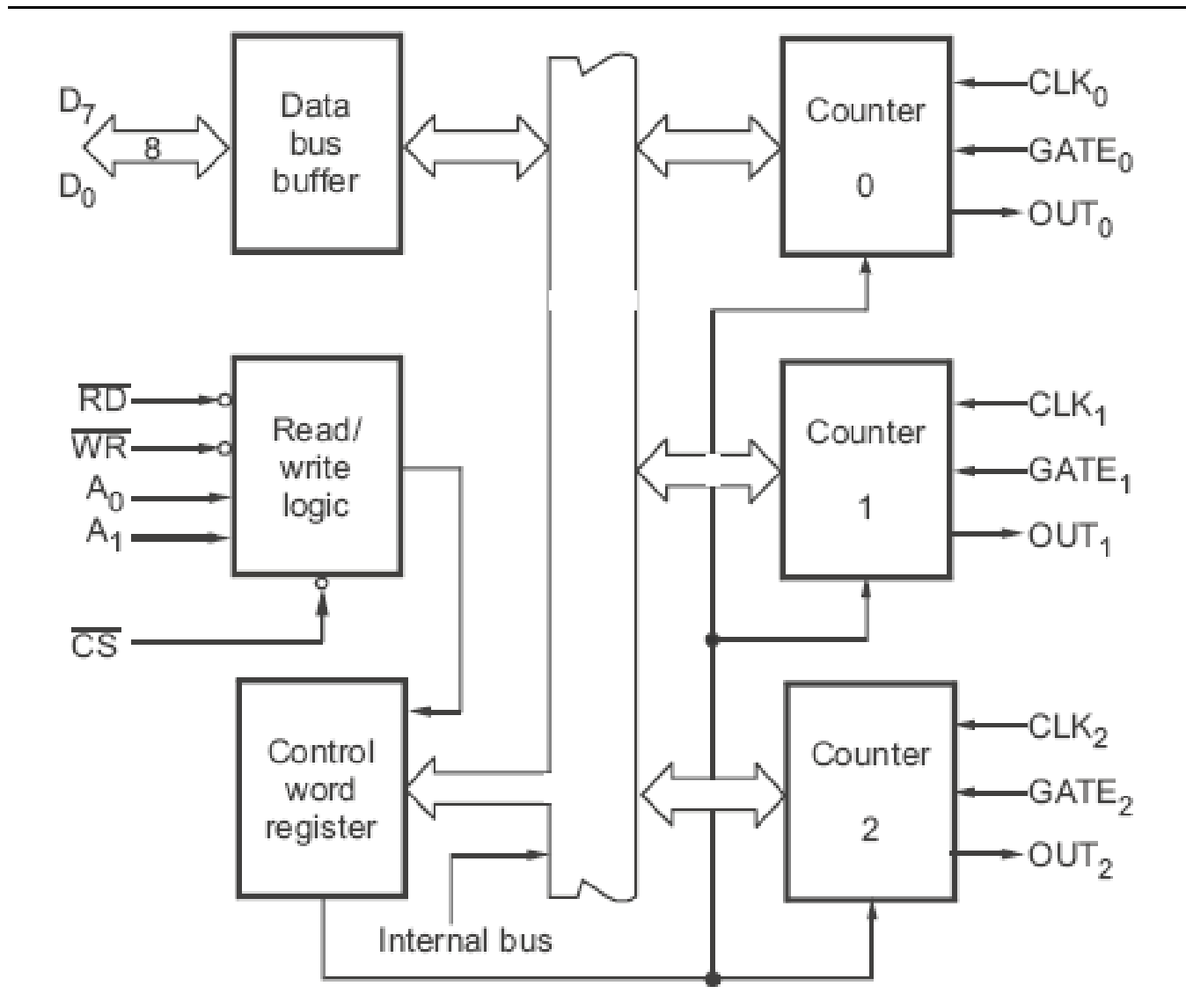
OUTi- wyjście licznika i ,

GATEi- wejście bramkujące zliczaniem licznika i .

A_1	A_0	Selection
0	0	Counter 0
0	1	Counter 1
1	0	Counter 2
1	1	Control word Register

Adresacja liczników i słowa kontrolnego

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]



Schemat blokowy układu 8253

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC ₁	SC ₀	RW ₁	RW ₀	M ₂	M ₁	M ₀	BCD

SC - Select counter

SC₁ SC₀

0	0	Select counter 0
0	1	Select counter 1
1	0	Select counter 2
1	1	Illegal for 8253 Read -Back command for 8254 (See Read operations)

M - Mode

M₂ M₁ M₀

0	0	0	Mode 0
0	0	1	Mode 1
x	1	0	Mode 2
x	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

RW - Read /Write

RW₁ RW₀

0	0	Counter latch command (See Read operations)
0	1	Read / Write least significant byte only
1	0	Read / Write most significant byte only
1	1	Read / write least significant byte first, then most significant byte

BCD :

0	Binary counter 16 - bits
1	Binary coded decimal (BCD) Counter (4 Decades)

Słowo sterujące układu 8253

[Źródło: https://www.vtubooks.com/Free_Downloads/8253_54-1.pdf]

SC1, SC0: umożliwiają indywidualne programowanie każdego z liczników,

RW1, RW0- tryb dostępu do liczników lub zatrzymywanie wartości zliczonej,

M2, M1, M0- wybór trybu pracy,

BCD- zliczanie binarne lub dziesiętne.

Tryby pracy układu

Tryb 0 – Przerwanie po odliczeniu żądanej liczby impulsów.

W stanie początkowym wyjście OUT znajduje się w stanie 0. Po załadowaniu do licznika wartości początkowej, licznik zaczyna zliczać. W chwili gdy licznik się wyzeruje następuje przejście wyjścia OUT do stanu wysokiego.

Tryb 1 – Programowalny uniwibrator.

W stanie początkowym wyjście układu OUT jest w stanie wysokim. Po wystąpieniu narastającego zbocza na wejściu GATE, wyjście OUT zmienia stan na niski, który będzie trwał do końca zliczania impulsów taktujących. Po wyzerowaniu licznika wyjście OUT ponownie przechodzi w stan wysoki.

Tryb 2 – Programowalny dzielnik częstotliwości.

Jak w trybie 1 aż do chwili gdy licznik osiągnie wartość jeden (przed wyzerowaniem). Wyjście OUT, które znajdowało się dotychczas w stanie wysokim, zostaje wówczas sprowadzone do niskiego poziomu na czas jednego okresu przebiegu taktującego. Następuje ponowne załadowanie licznika wartością i wykonanie całego cyklu.

Tryb 3 – Generator fali prostokątnej.

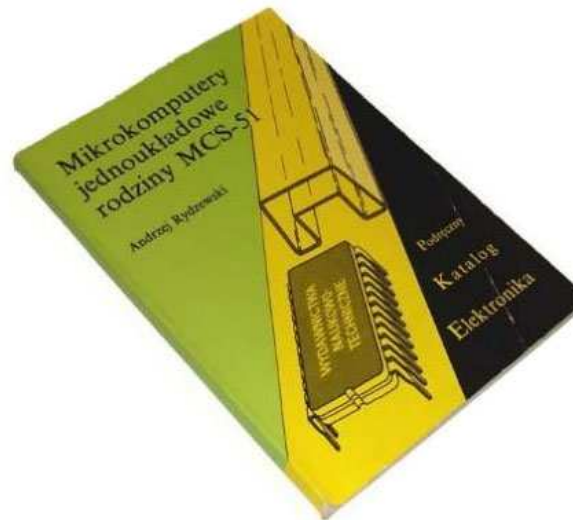
Tryb 4 – Generator impulsu wyzwalanego programowo.

Tryb 5 – Generator impulsu wyzwalany sprzętowo.

Mikrokontroler 8051 (INTEL)

Literatura:

MIKROKOMPUTERY JEDNOUKŁADOWE RODZINY MCS-51 A.
Rydzewski



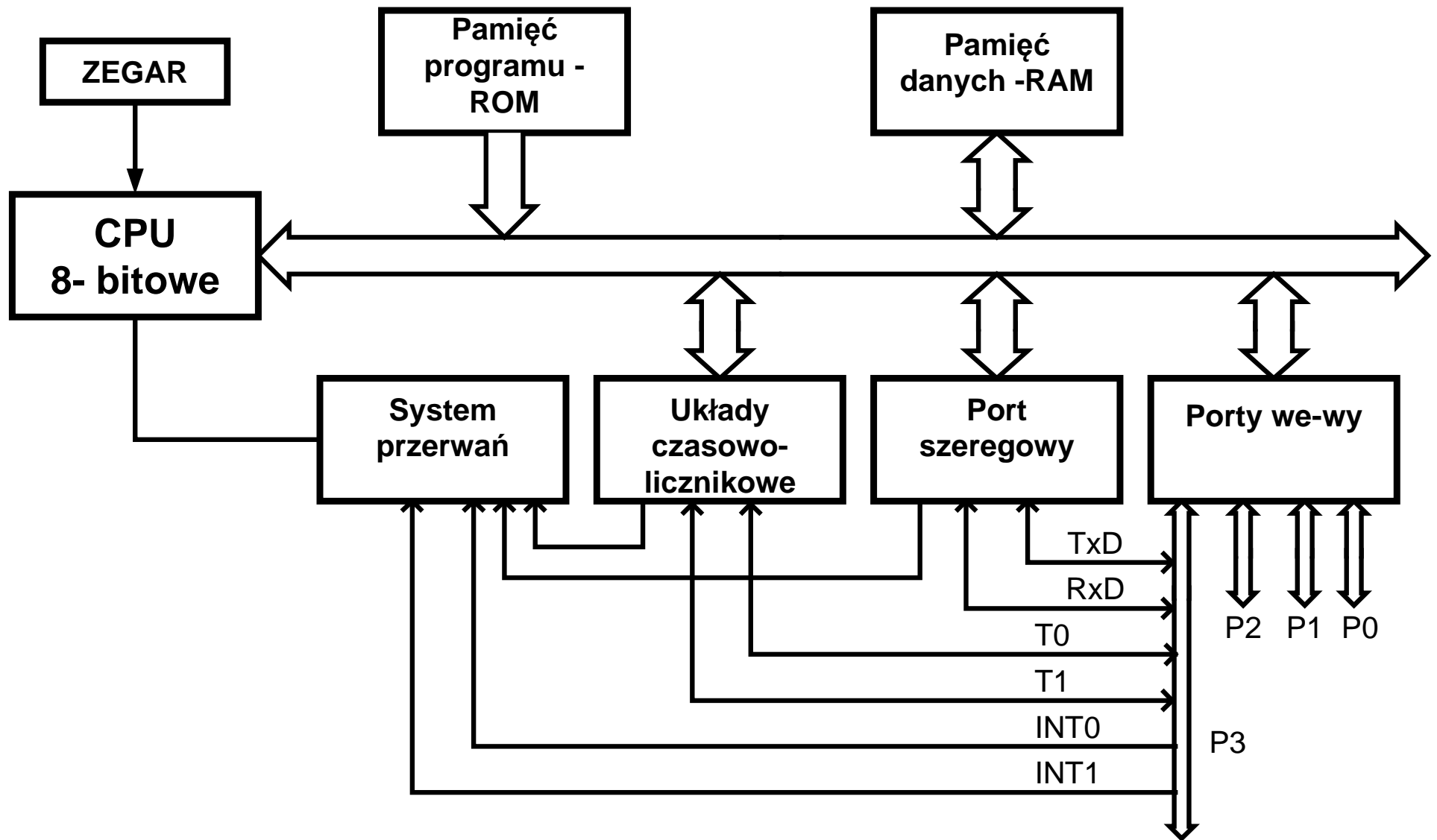
ATMEL AT89C51 Data Sheet

[Źródło: www.atmel.com]



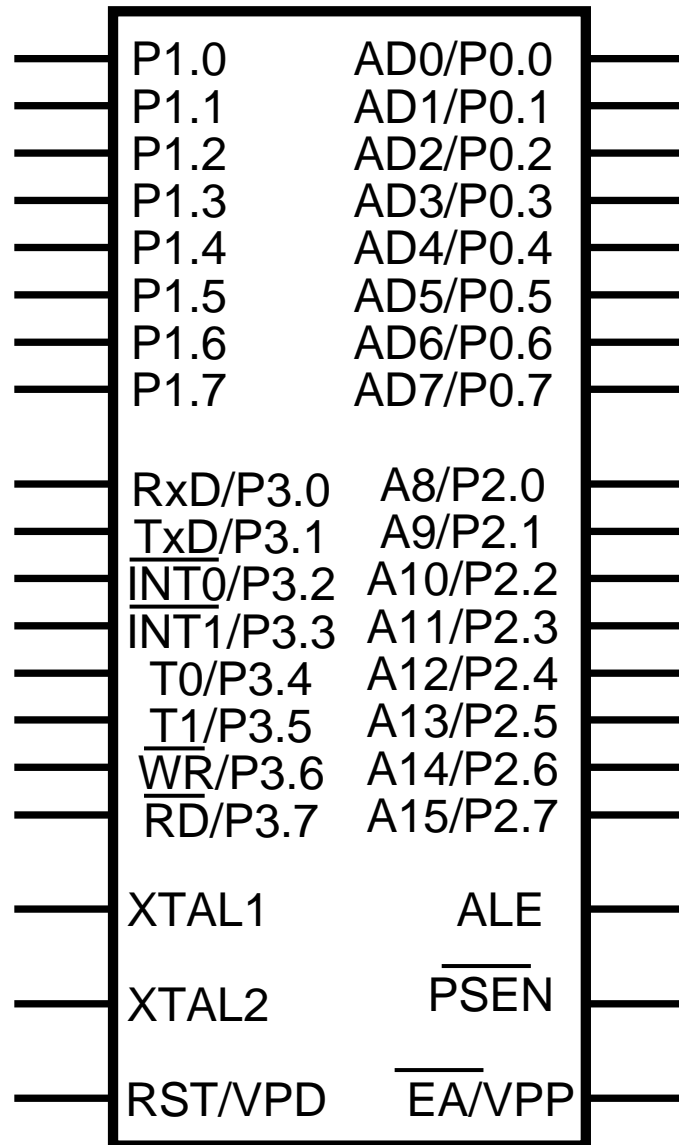
W skład układu wchodzi:

- 8-bitowe CPU.
- Nieulotna pamięć programu typu ROM (8051), EPROM (8751), EEPROM (89C51) o pojemności od 4kB lub bez pamięci wewnętrznej (8031).
- 128 Bajtów pamięci danych (w mikrokontrolerze 80C52- 256 bajtów).
- System przerwań maskowalnych zewnętrznych i wewnętrznych.
- Dwa 16-bitowe układy czasowo licznikowe.
- Port szeregowy (asynchroniczny, synchroniczny).
- Cztery 8-bitowe porty we-wy.



Schemat blokowy mikrokontrolera 8051

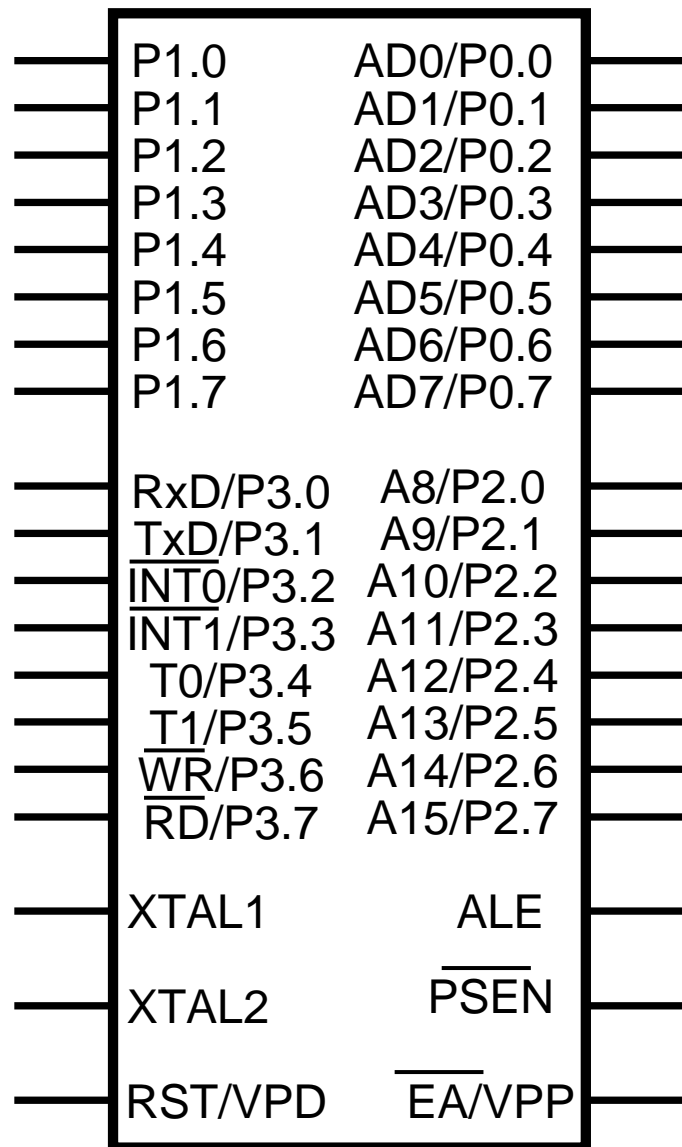
Wyprowadzenia układu 8051



P0.0-P0.7 (AD0-AD7): 8-mio bitowy port równoległy, dwukierunkowy lub przy podłączeniu zewnętrznej pamięci programu lub danych, multipleksowana magistrala danych i młodszych adresów.

P1.0-P1.7: 8-mio bitowy port równoległy, dwukierunkowy

P2.0-P2.7 (A8-A15): 8-mio bitowy port równoległy, dwukierunkowy lub przy podłączeniu zewnętrznej pamięci programu lub danych magistrala starszych linii adresowych adresów.

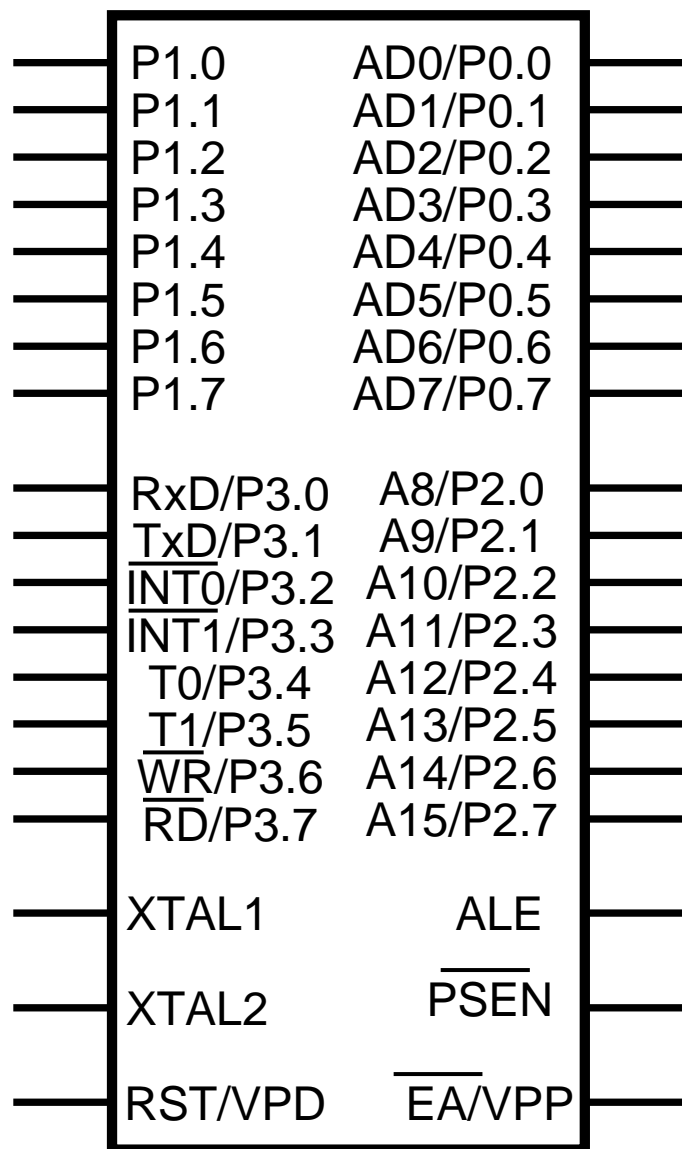


P3.0-P3.7: 8-mio bitowy port równoległy, dwukierunkowy lub wybrane piny:

- wejście portu szeregowego,
- wyjście portu szeregowego,
- wejście przerwań maskowalnych INT0,
- wejście przerwań maskowalnych INT1,
- wejście licznika T0,
- wejście licznika T1,

Przy dołączeniu zewnętrznej pamięci danych:

- wyjście strobu zapisu pamięci danych,
- wyjście strobu odczytu pamięci danych.



XTAL1, XTAL2: wejścia wewnętrznego generatora.

RST/VPD: sygnał zerowania układu lub podtrzymanie napięcia zasilania w trybie obniżonego poboru mocy.

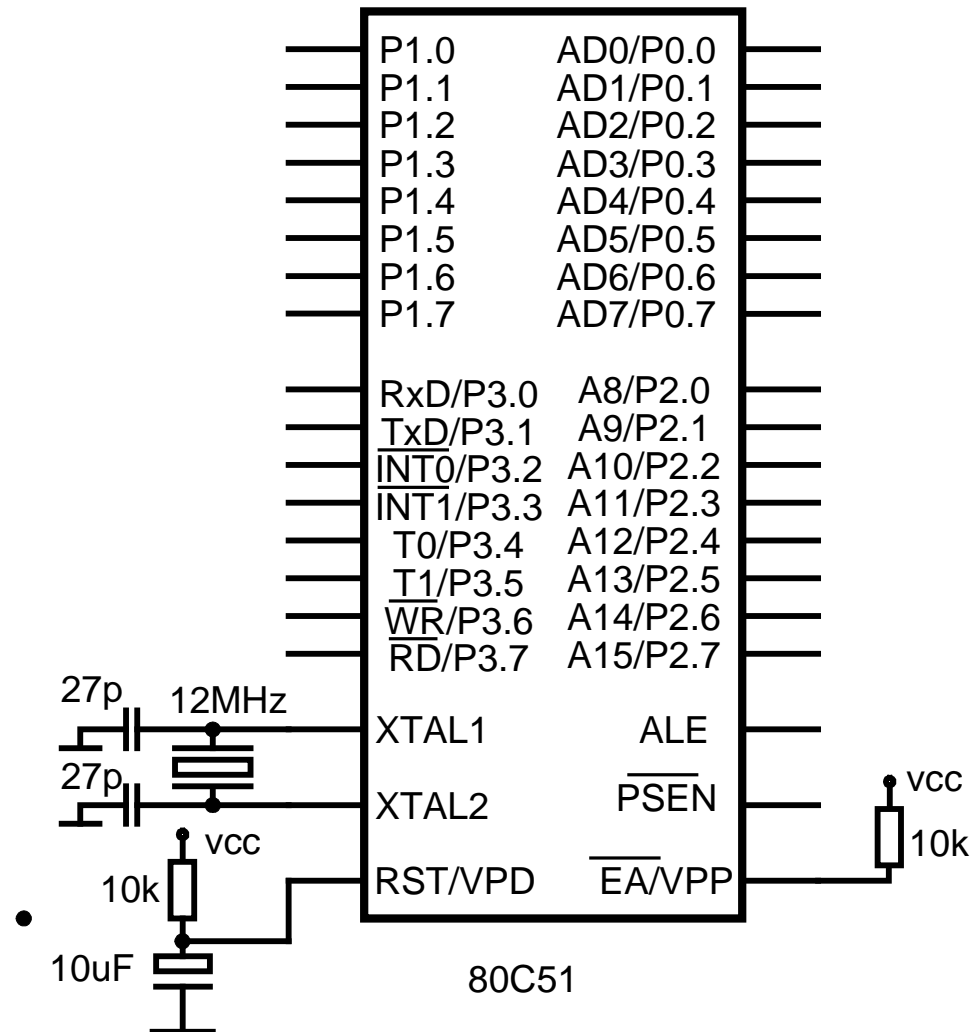
ALE: sygnał informujący iż na porcie P0 znajduje się ważna młodsza część adresu zewnętrznej pamięci- służy do jej zatraskiwania w rejestrze zewnętrznym.

PSEN: wyjście strobu odczytu zewnętrznej pamięci programu (aktywne stanem niskim)

EA/VPP: wymuszenie pobierania programu z zewnętrznej pamięci programu/zasilanie przy programowaniu.

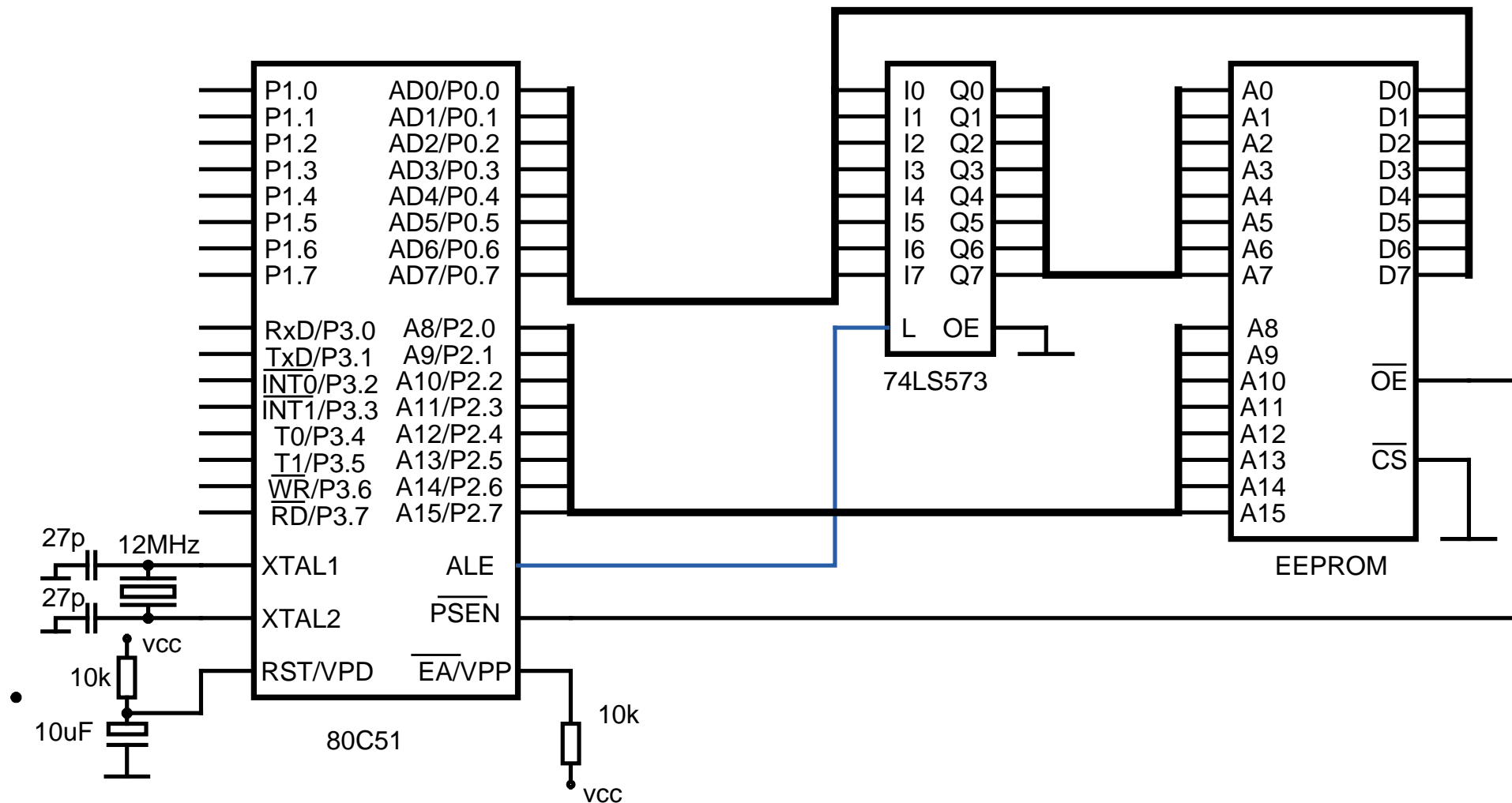
8051 może pracować:

-z wewnętrzną pamięcią programu o pojemności 4kB oraz wewnętrzną pamięcią danych o pojemności 128 bajtów (8052- 256 bajtów),

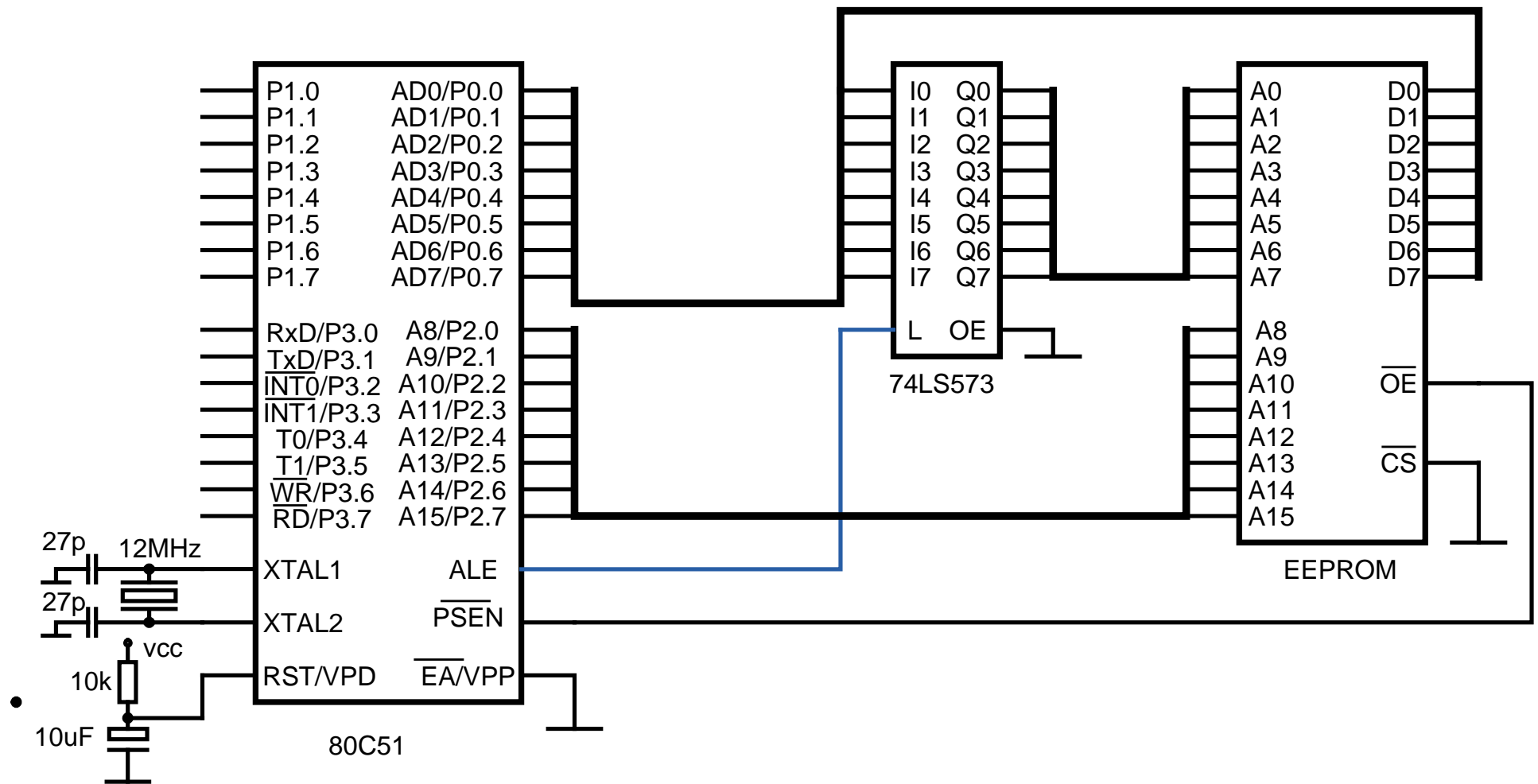


-we wszystkich powyższych przypadkach można dołączyć dodatków 64kB zewnętrznej pamięci danych.

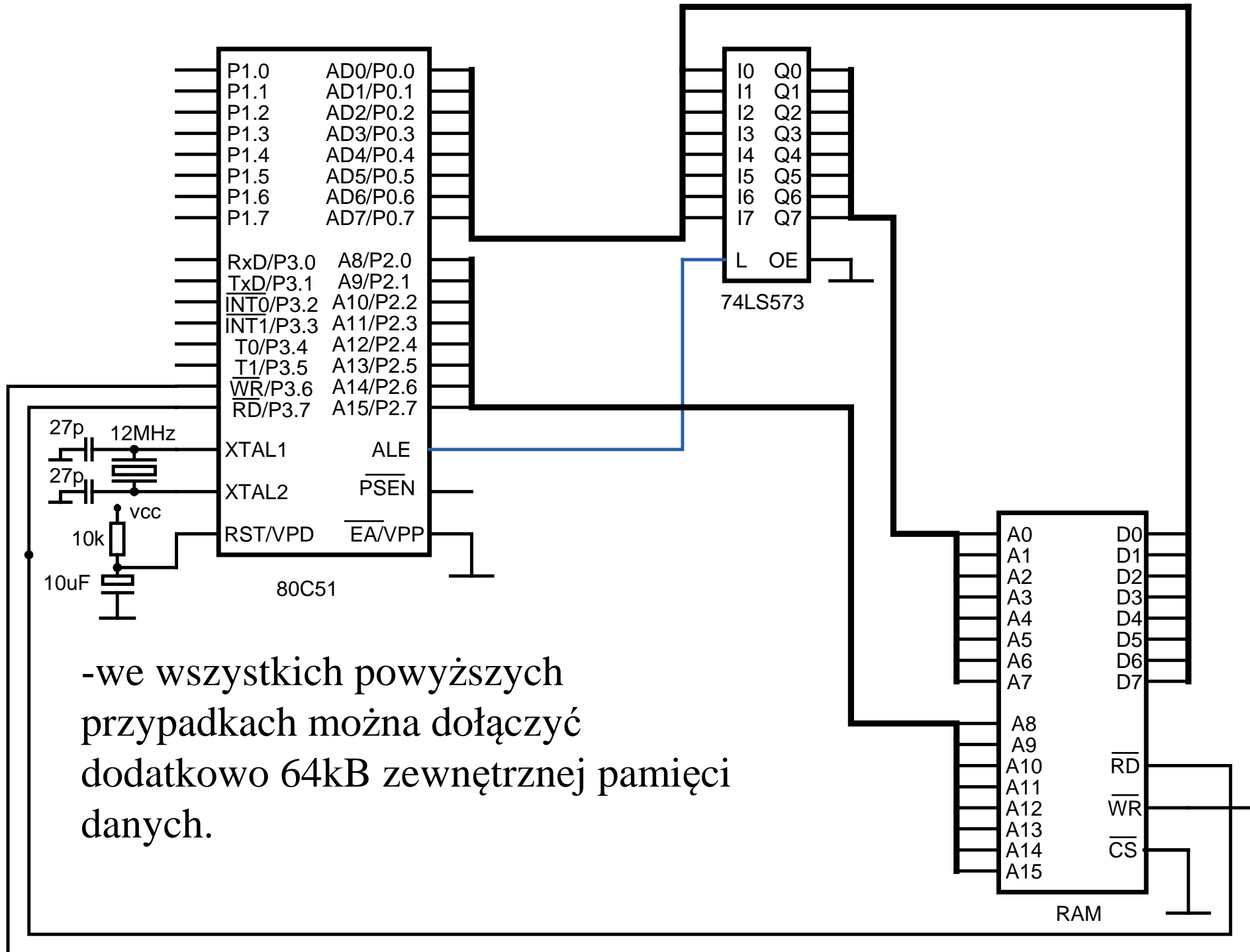
Przy dołączeniu pamięci zewnętrznej programu lub danych niezbędny jest dodatkowy układ do zatraskiwania młodszej części adresu, ponadto użytkownik ma do dyspozycji tylko jeden 8-mio bitowy port P1 oraz 8 lub 6 bitów (współpraca z pamięcią danych) portu P3.



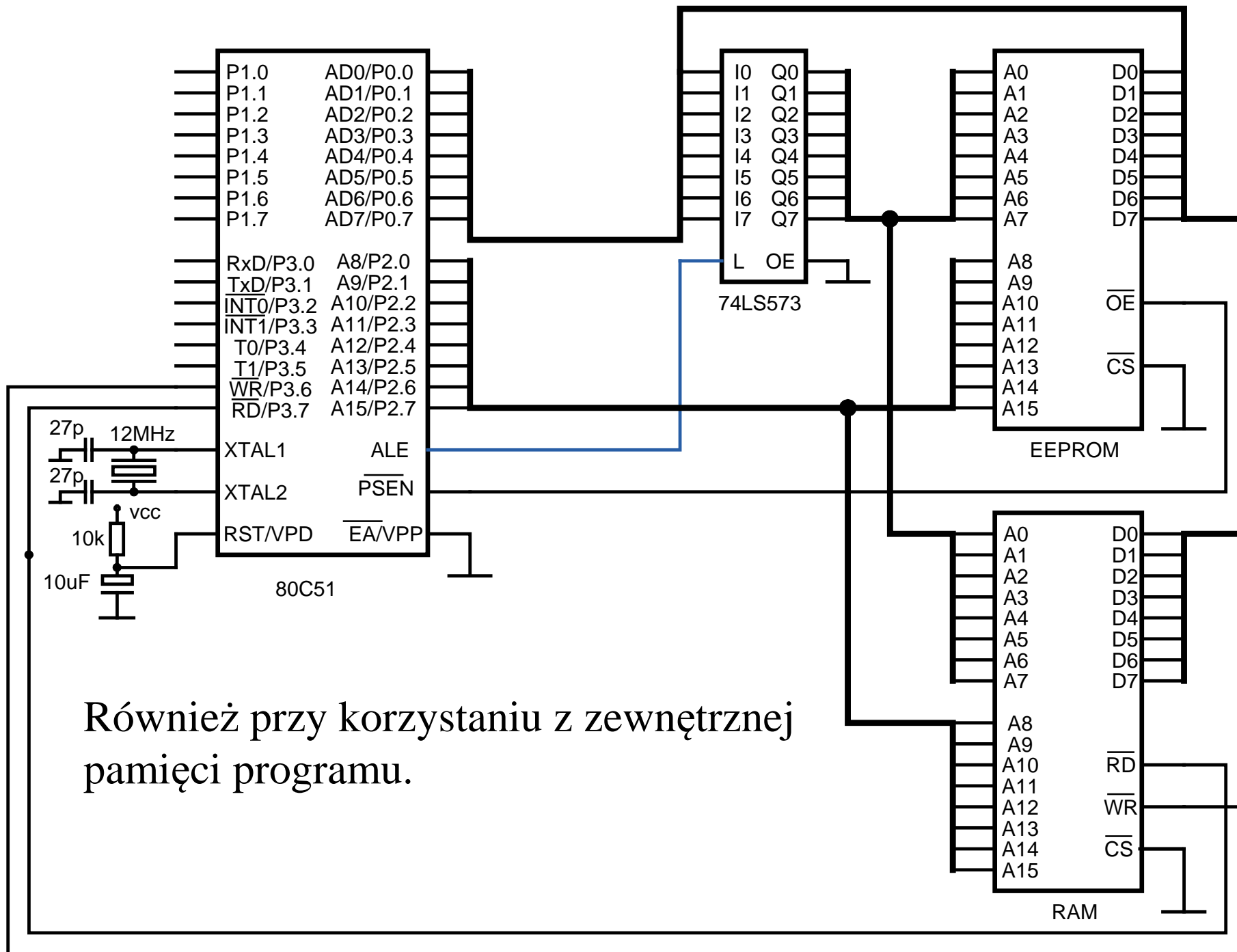
-z wewnętrzną pamięcią programu o pojemności 4kB i zewnętrzną pamięcią programu uzupełniającą obszar pamięci programu do 64 kB, oraz wewnętrzną pamięcią danych o pojemności 128 bajtów (8052- 256 bajtów),



-z zewnętrzną pamięcią programu o pojemności 64kB bez korzystania z pamięci wewnętrznej oraz wewnętrzną pamięcią danych o pojemności 128 bajtów (8052- 256 bajtów),



-we wszystkich powyższych przypadkach można dołączyć dodatkowo 64kB zewnętrznej pamięci danych.



Również przy korzystaniu z zewnętrznej pamięci programu.

Należy zauważyć iż przestrzeń adresowa pamięci programu i danych jest rozdzielna.

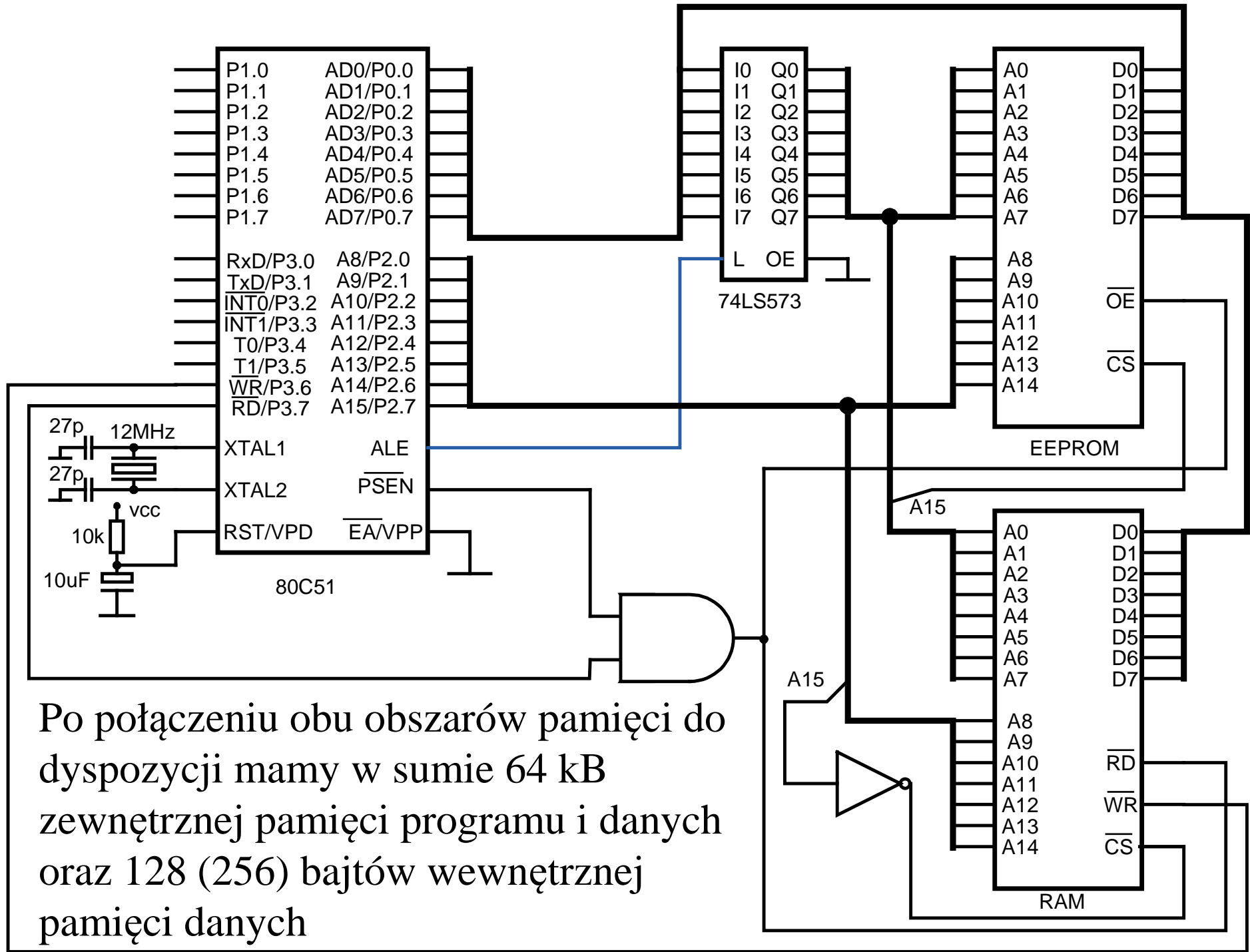
Do odczytu zewnętrznej pamięci programu służy sygnał PSEN.

Do odczytu zewnętrznej pamięci danych sygnał RD.

Do zapisu zewnętrznej pamięci danych sygnał WR.

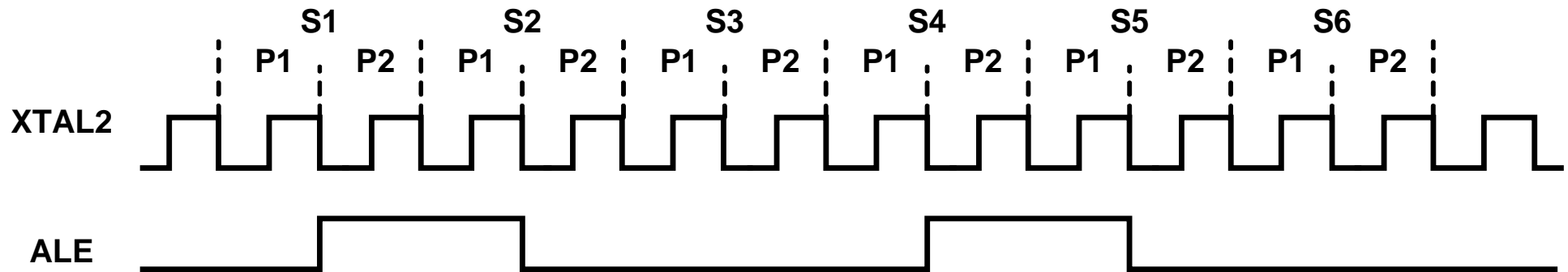
Jest to tzw. architektura pseudo Harvard, ponieważ nie ma oddzielnych magistral adresowych i danych dla programu oraz danych.

Oba obszary pamięci można połączyć w łatwy sposób.



Po połączeniu obu obszarów pamięci do dyspozycji mamy w sumie 64 kB zewnętrznej pamięci programu i danych oraz 128 (256) bajtów wewnętrznej pamięci danych

Cykle magistrali w 8051



W mikrokontrolerze 8051 każdy cykl magistrali składa się z sześciu stanów S1-S6.

Każdy stan składa się z dwóch taktów zegara.

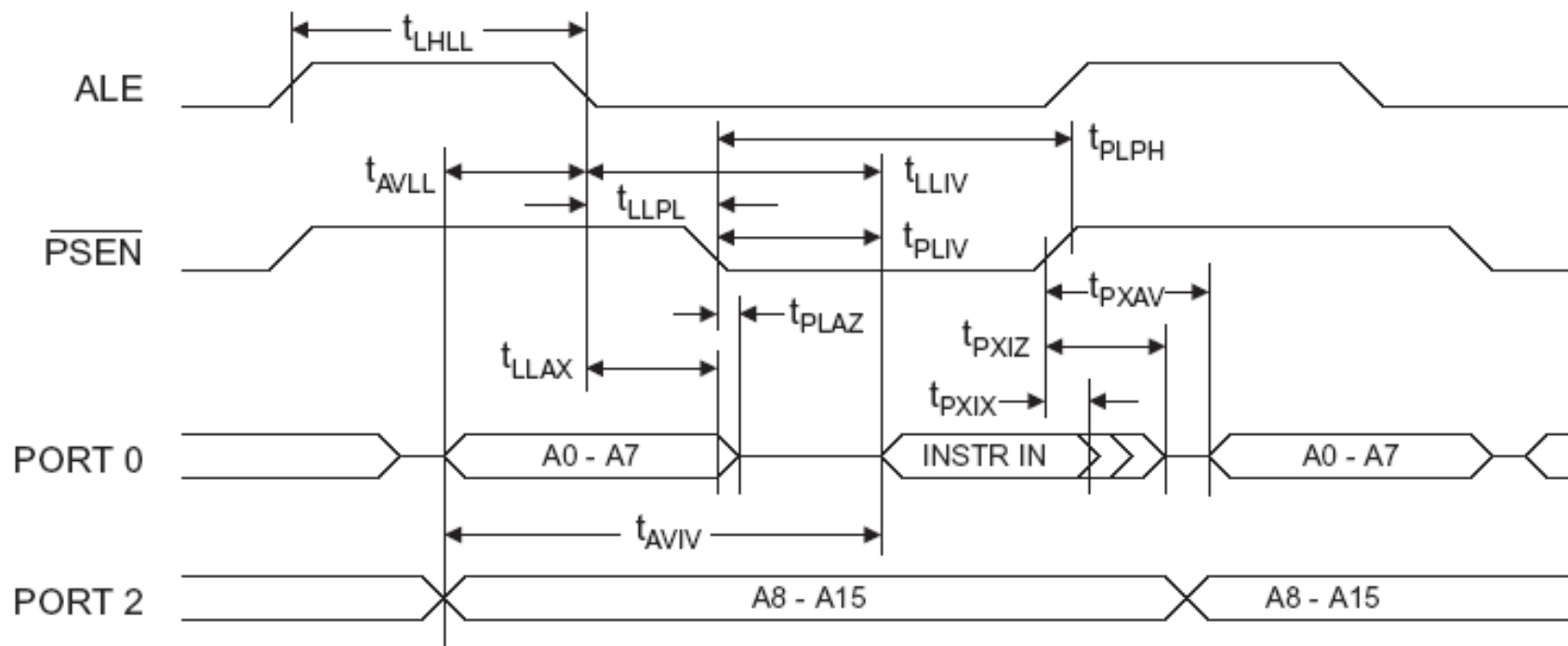
W każdym cyklu magistrali istnieje kontakt z pamięcią następuje dwa razy (dwa razy generowany jest sygnał ALE).

Dzięki temu nawet dwubajtowe rozkazy wykonują się w jednym cyklu.

W przypadku kontaktu z zewnętrzną pamięcią danych, sygnał ALE generowany jest tylko trzy razy.

Cykl odczytu zewnętrznej pamięci programu

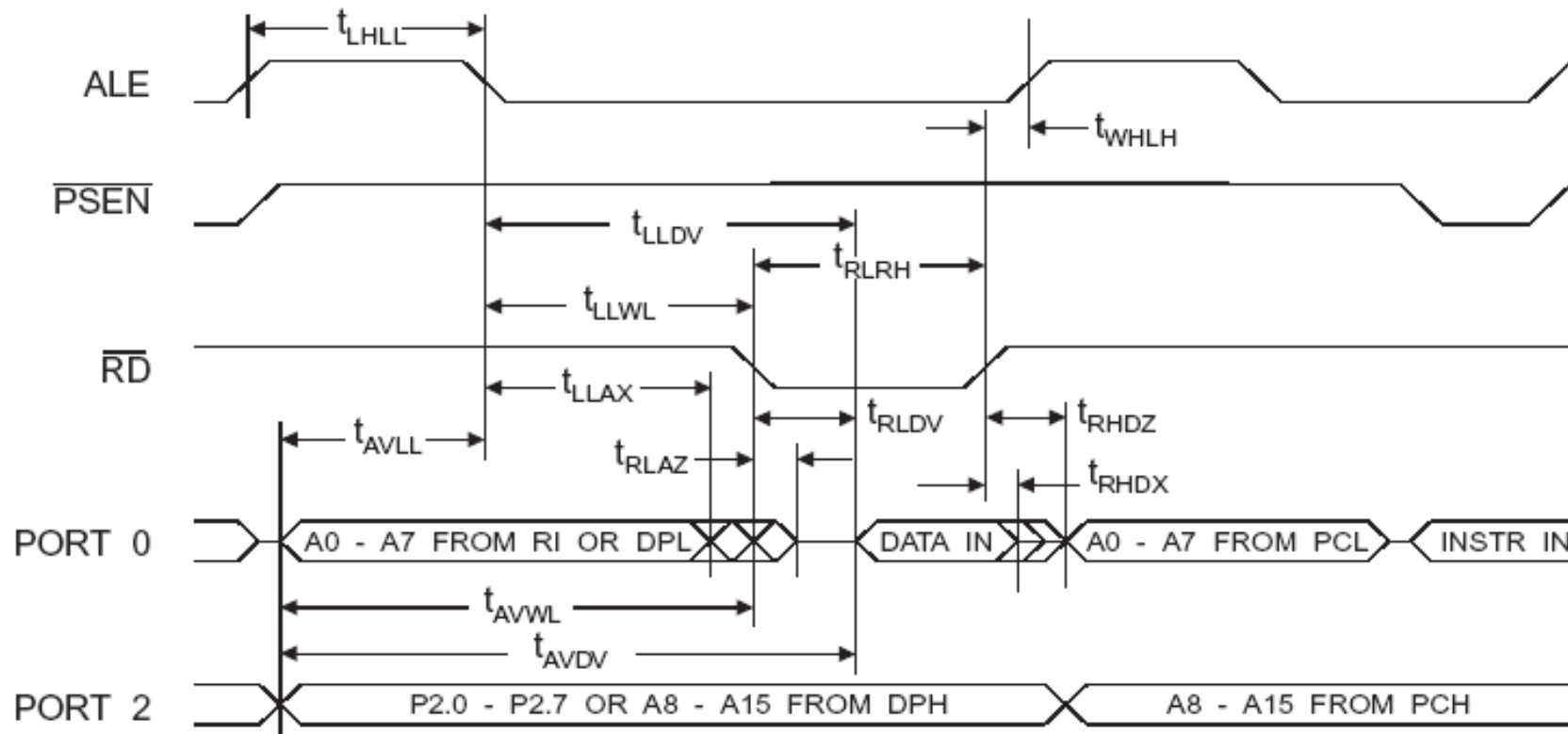
External Program Memory Read Cycle



[Źródło: www.atmel.com]

Cykl odczytu zewnętrznej pamięci danych

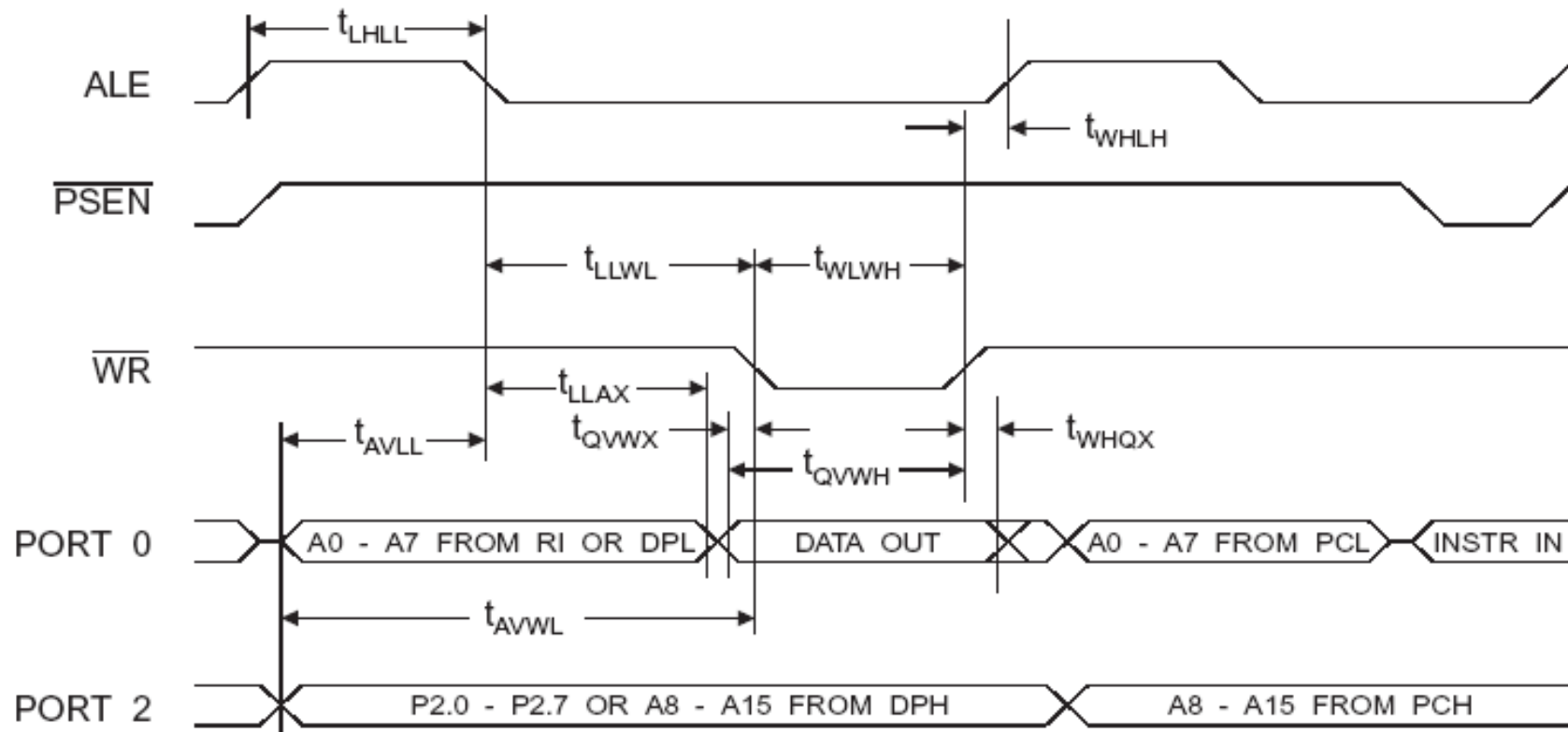
External Data Memory Read Cycle



[Źródło: www.atmel.com]

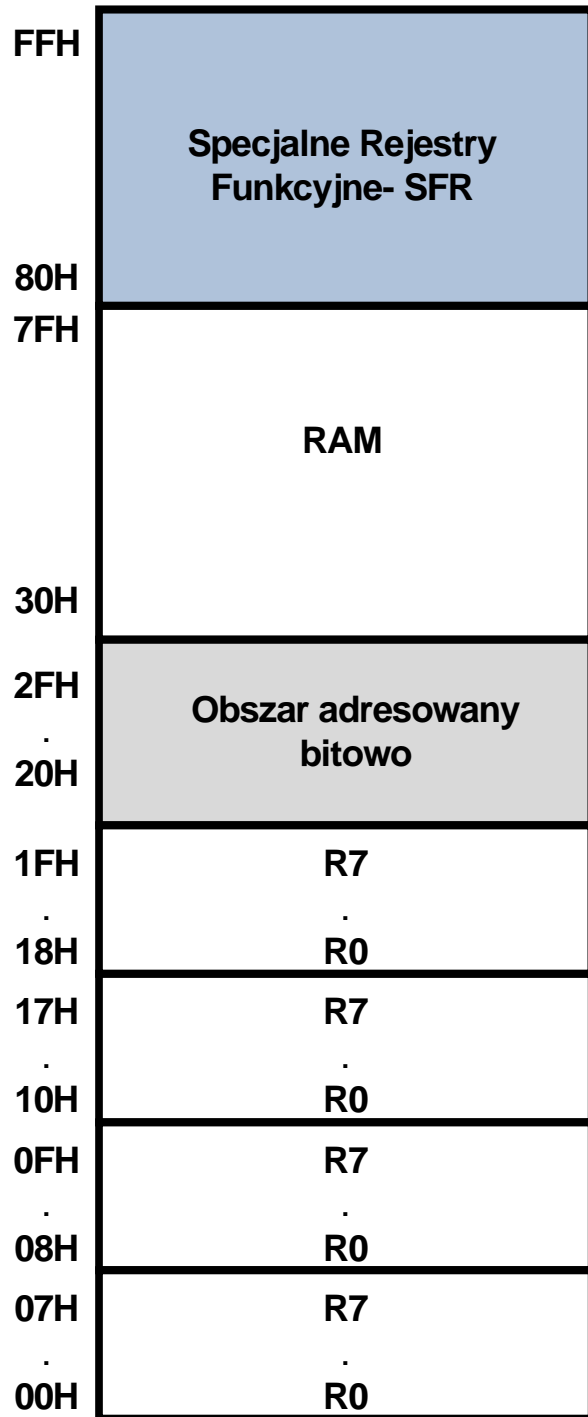
Cykl zapisu zewnętrznej pamięci danych

External Data Memory Write Cycle



[Źródło: www.atmel.com]

Organizacja wewnętrznej pamięci danych- 8051



Bank 3

Bank 2

Bank 1

Bank 0

Rejestry użytkowe



Organizacja wewnętrznej pamięci danych- 8052

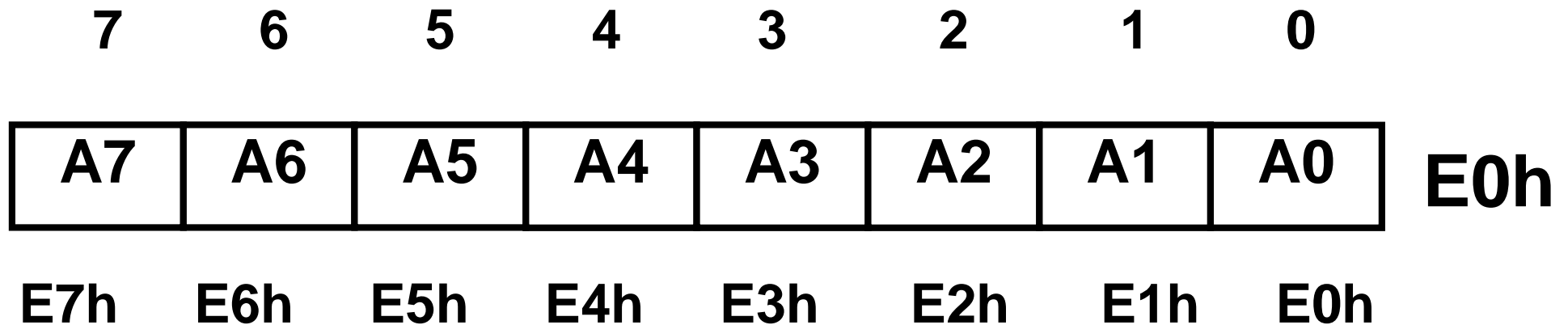
Rejestry użytkowe

Dostęp do pamięci RAM o adresach 80h-7Fh, jest możliwy tylko poprzez adresację względną rejestrową przy pomocy rejestrów adresowych R0 i R1.

Dostęp do rejestrów specjalnych jest możliwy przy pomocy rozkazów wykorzystujących wszystkie pozostałe tryby adresacji.

Rejestry specjalne

Akumulator A (ACC)- 8mio bitowy rejestr adresowany również bitowo, służący do wykonywania operacji arytmetycznych i logicznych.



Akumulator pomocniczy B: rejestr służący jako źródło argumentu i miejsce przeznaczenia wyniku operacji mnożenia i dzielenia. Nie posiada dedykowanych rozkazów z adresowaniem wbudowanym. Jest adresowany również bitowo.

7 6 5 4 3 2 1 0



Rejestr statusowy PSW

7 6 5 4 3 2 1 0

CY	AC	F0	RS1	RS0	OV	-	P	D0h
-----------	-----------	-----------	------------	------------	-----------	----------	----------	------------

D7h **D6h** **D5h** **D4h** **D3h** **D2h** **D1h** **D0h**

Adresowany również bitowo, zawiera następujące bity:

CY- znacznik przeniesienia lub pożyczki,

AC- znacznik przeniesienia połówkowego,

F0- bit ogólnego przeznaczenia dla użytkownika,

RS1, RS0- bity wyboru aktywnego banku rejestrów

RS1	RS0	
0	0	Bank 0
0	1	Bank 1
1	0	Bank 2
1	1	Bank 3

OV- przepelnienie w kodzie U2,

P- parzystosc

Ponadto 8051 w grupie rejestrów specjalnych posiada:

8-mio bitowy **wskaznik stosu SP**, który przy operacjach składania na stosie jest najpierw zwiększany o 1, a następnie pod tak utworzony adres wewnętrznej pamięci RAM zapisywany jest bajt danej. Po zerowaniu SP=07h.

16-to bitowy rejestr adresowy pamięci programu i pamięci danych **DPTR**, złożony z dwóch rejestrów 8-mio bitowych **DPL**- młodsza część, **DPH**- starsza część.

16-to bitowy licznik rozkazów PC nie jest rejestrem specjalnym.

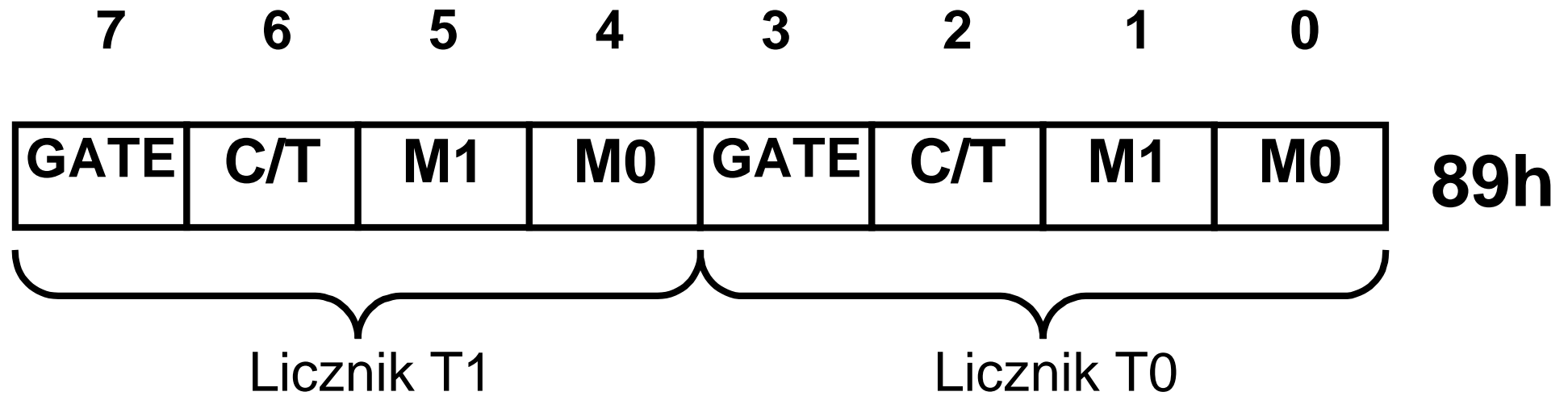
Układ czasowo licznikowy

8051 posiada dwa 16-to bitowe liczniki: T0 i T1 mogące zliczać impulsy zewnętrzne (funkcja **licznik**) lub wewnętrzne impulsy zegarowe o częstotliwości **XTAL/12** (funkcja **czasomierz**).

Oba liczniki mogą pracować w czterech różnych modach pracy.

Do ustawiania modu służy rejestr specjalny **TMOD**, do sterowania zliczaniem rejestr specjalny **TCON**.

Słowo modu TMOD

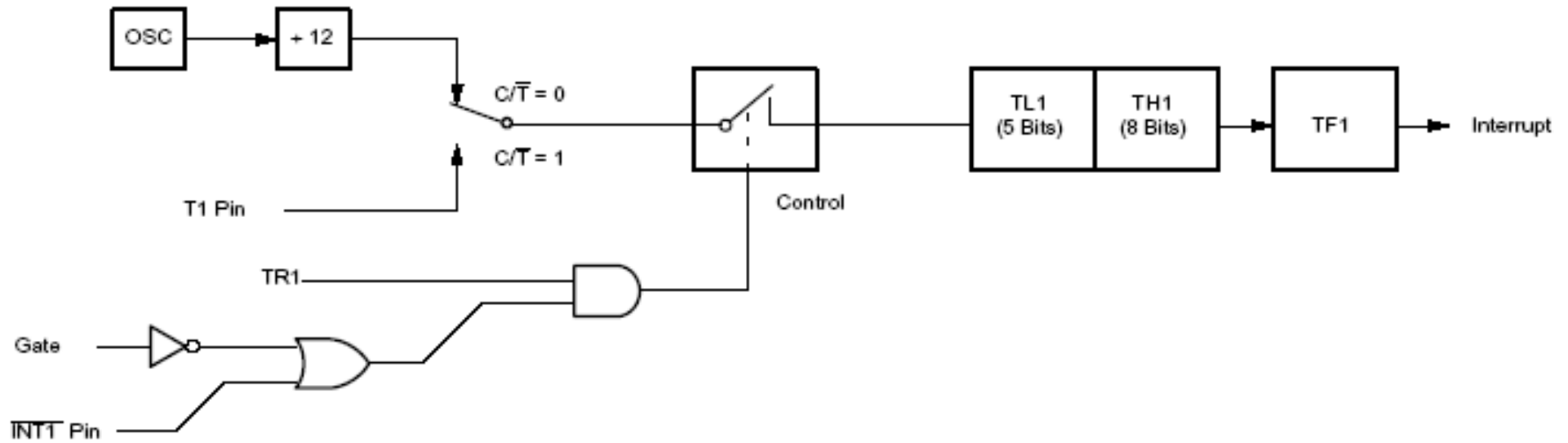


GATE- włączanie zewnętrznego bramkowania zliczania przez wejście INT1 dla T1 i INT) dla T0

C/T- licznik.czasomierz (1- licznik, 0- czasomierz)

M1, M0- tryb pracy

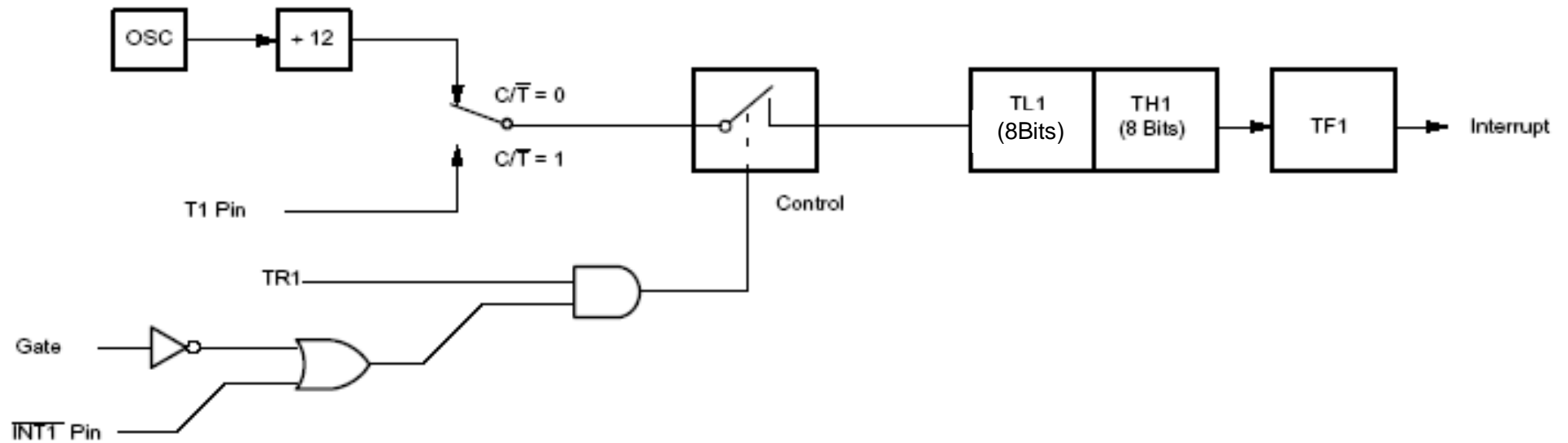
M1=0, M0=0: tryb 13- to bitowy



8-mio bitowy licznik TH0 (1) taktowany przez 5-cio bitowy dzielnik TL0 (1)

[Źródło: www.atmel.com]

M1=0, M0=1: tryb 16- to bitowy

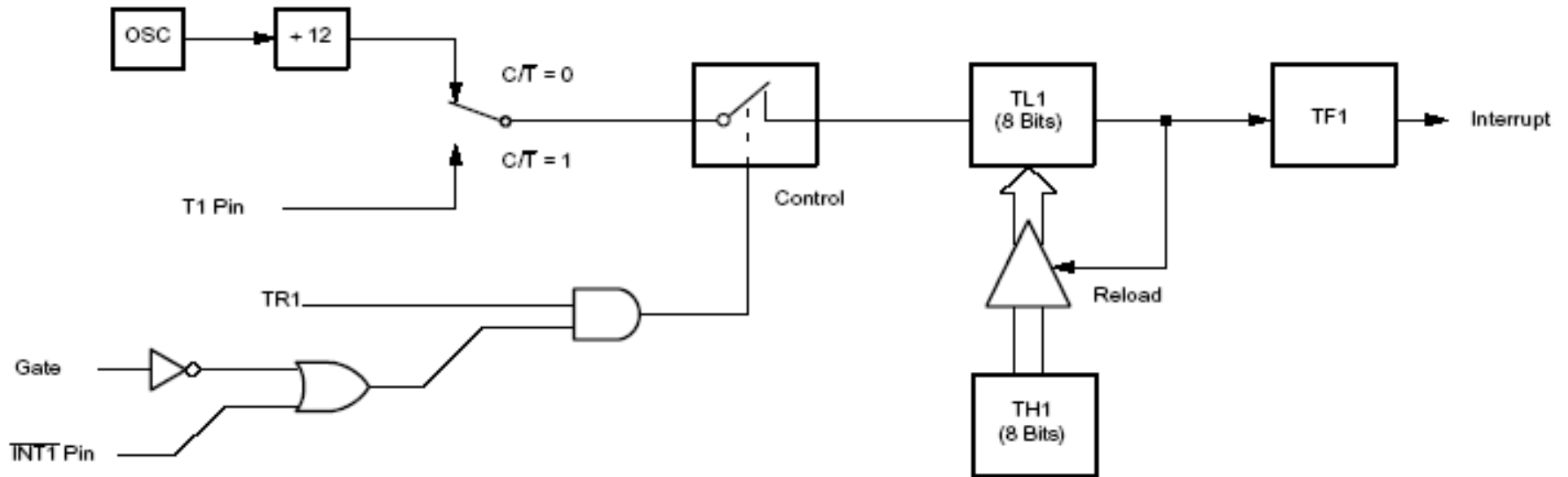


16-to bitowy licznik TL, TH

[Źródło: www.atmel.com]

M1=1, M0=0: tryb 8- bitowy z ładowaniem wartości początkowej z części starszej TH0 (1) do liczącej części młodszej

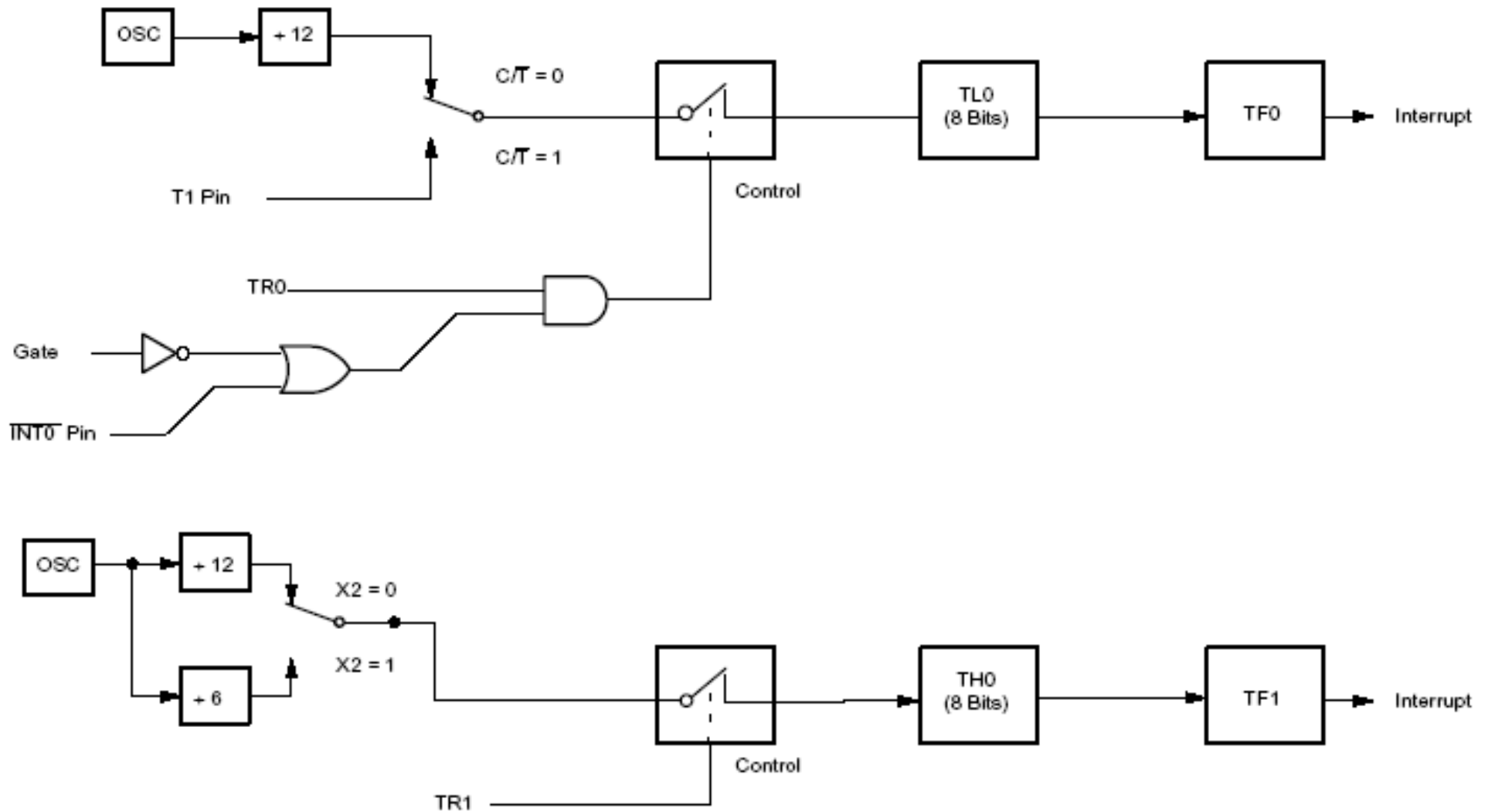
TL0 (1)



SU01556

[Źródło: www.atmel.com]

M1=1, M0=1: tylko licznik T0: dwa 8-mio bitowe licznika TH0 i TL0



[Źródło: www.atmel.com]

Słowo sterujące TCON (dostępne również bitowo)

7 6 5 4 3 2 1 0

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	88h
-----	-----	-----	-----	-----	-----	-----	-----	-----

8Fh 8Eh 8Dh 8Ch 8Bh 8Ah 89h 88h

TF_i- bit informujący o przepełnieniu licznika, gdy odmaskowane przerwanie jest bitem zgłoszenia przerwania od przepełnienia licznika i automatycznie kasowany po wejściu do procedury obsługi.

TR_i- włącz/wyłącz licznik, $TR_i=1$ powoduje uruchomienie licznika

$I=0$ lub 1

Pozostałe bity służą do sterowania przerwaniami zewnętrznymi.

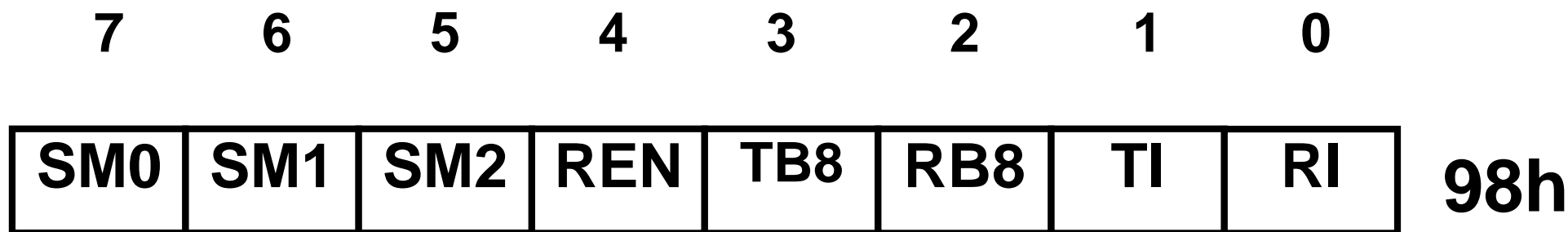
Ponadto układy czasowo licznikowe wykorzystują cztery rejestry specjalne służące do zliczania impulsów:

TH0, TL0- tworzące licznik T0

TH1, TL1- tworzące licznik T1

Port szeregowy

Port szeregowy jest sterowany rejestrem specjalnym **SCON**, bufory: wejściowy i wyjściowy portu szeregowego **SBUF** zajmują jedną lokację adresową w przestrzeni SFR. Bufor nadajnika jest tylko pisany, odbiornika czytany.



Słowo sterujące SCON

SM0, SM1- wybór trybu pracy portu szeregowego.

SM0=0, SM1=0- transmisja synchroniczna, 8-mio bitowa z prędkością XTAL/12; linia RxD- dane, linia TxD- zegar.

SM0=0, SM1=1- transmisja asynchroniczna 8-mio bitowa z prędkością zależną od przepełnień licznika T1, 1 bit startu „0”, 1 bit stopu „1”.

SM0=1, SM1=0- transmisja asynchroniczna 9-cio bitowa z prędkością XTAL/32 lub XTAL/64 (przełączana bitem SMOD w rejestrze PCON), 1 bit startu „0”, 1 bit stopu „1”.

SM0=0, SM1=1- transmisja asynchroniczna 9-mcio bitowa z prędkością zależną od przepełnień licznika T1, 1 bit startu „0”, 1 bit stopu „1”..

W przypadku transmisji 9-cio bitowych 9-ty bit nadawany to bit TB8 a odbierany RB8.

SM2- bit współpracy wieloprocessorowej, gdy SM2=1 to ignorowane są dane z 9-tym bitem=0.

REN- włączenie odbiornika aktywne stanem „1”

TB8- 9-ty bit nadawany w transmisji 9-cio bitowej

RB8- 9-ty bit odbierany w transmisji 9-cio bitowej

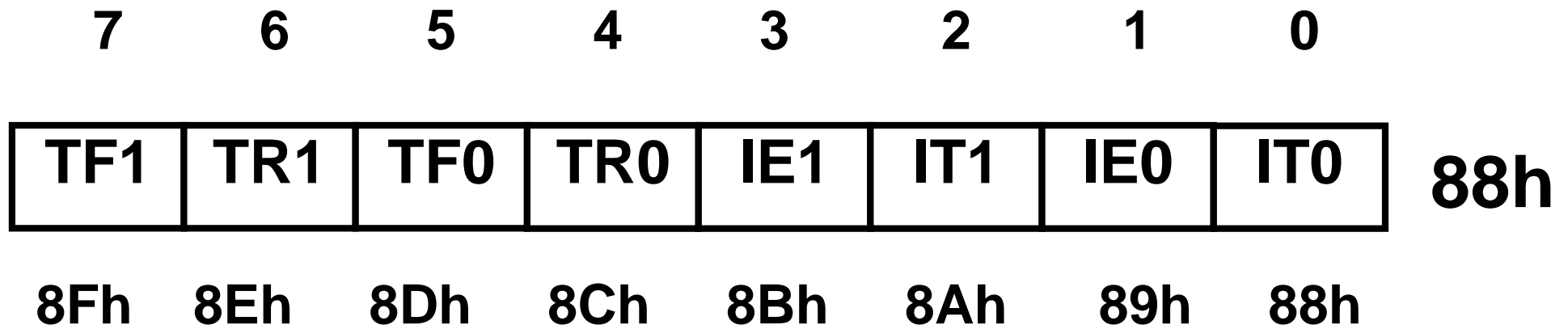
TI- znacznik wysłania danej, może być źródłem przerwania po odmaskowaniu, nie kasowany automatycznie z chwilą przyjęcia przerwania.

RI- znacznik odbioru danej, może być źródłem przerwania po odmaskowaniu, nie kasowany automatycznie z chwilą przyjęcia przerwania.

Przerwania zewnętrzne

8051 posiada dwa wejścia przerwań maskowalnych INT0 i INT1.

Do sterowania przerwaniami służą cztery bity rejestru TCON.



IE_i- bit zgłoszenia przerwania jest informacją o zgłoszeniu przerwania na wejściu INT_i.

IT_i- wybór trybu zgłaszania przerwania: poziom niski /zbcze opadające

IT_i=0- poziom niski, IT_i=1- opadające zbcze

i=0 lub 1

System przerwań układu 8051

W 8051 występuje pięć źródeł przerwań:

-przerwanie zewnętrzne INT0,

-przerwanie zewnętrzne INT1,

-przerwanie od przepełnienia licznika T0,

-przerwanie od przepełnienia licznika T1,

-przerwanie od portu szeregowego, wysłanie lub odbiór danej (dla obu ten sam adres obsługi).

Do sterowania systemem przerwań służy rejestr maski IE i rejestr priorytetu IP.

Rejestr maski przerwań:

7 6 5 4 3 2 1 0

EA	-	-	ES	ET1	EX1	ET0	EX0	A8H
-----------	---	---	-----------	------------	------------	------------	------------	------------

Rejestr adresowany również bitowo.

EA- maska ogólna, gdy EA=0 wszystkie przerwania zamaskowane, gdy EA=1 odmaskowane przerwania w których ustawiono również bity maski indywidualnej.

ES- maska przerwań od portu szeregowego.

ET1- maska przerwań od licznika T1.

EX1- maska przerwań od wejścia INT1

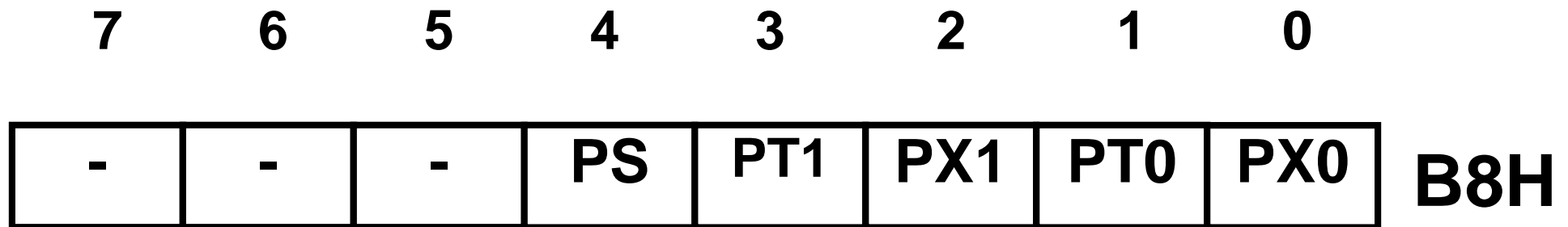
ET0- maska przerwań od licznika T0

EX0- maska przerwań od wejścia INT0

Na poziomie podstawowym najwyższy priorytet ma przerwanie od wejścia INT0, następnie od licznika T0 aż do najniższego priorytetu przerwania od portu szeregowego.

Zmiany priorytetu można dokonać przenosząc go na wyższy poziom poprzez ustawienie odpowiedniego bitu w rejestrze IP

Rejestr poziomu priorytetu przerwania



Rejestr adresowany również bitowo.

PS- wyższy poziom priorytetu dla przerwania od portu szeregowego

PT1- wyższy poziom priorytetu dla przerwania od licznika T1

PX1- wyższy poziom priorytetu dla przerwania od wejścia INT1

PT0- wyższy poziom priorytetu dla przerwania od licznika T0

PX0- wyższy poziom priorytetu dla przerwania od wejścia INT0

W ramach tego poziomu priorytetu (w przypadku gdy ustawiony będzie więcej niż jeden bit) obowiązuje taki sam priorytet jak dla poziomu podstawowego. INT0 – priorytet najwyższy, port szeregowy- najniższy.

Cykl przyjęcia przerwania:

Bity zgłaszania przerwania są testowane pod koniec każdego ostatniego cyklu maszynowego rozkazu za wyjątkiem rozkazu powrotu z przerwania RETI.

Jeżeli przerwanie jest odmaskowane, procesor:

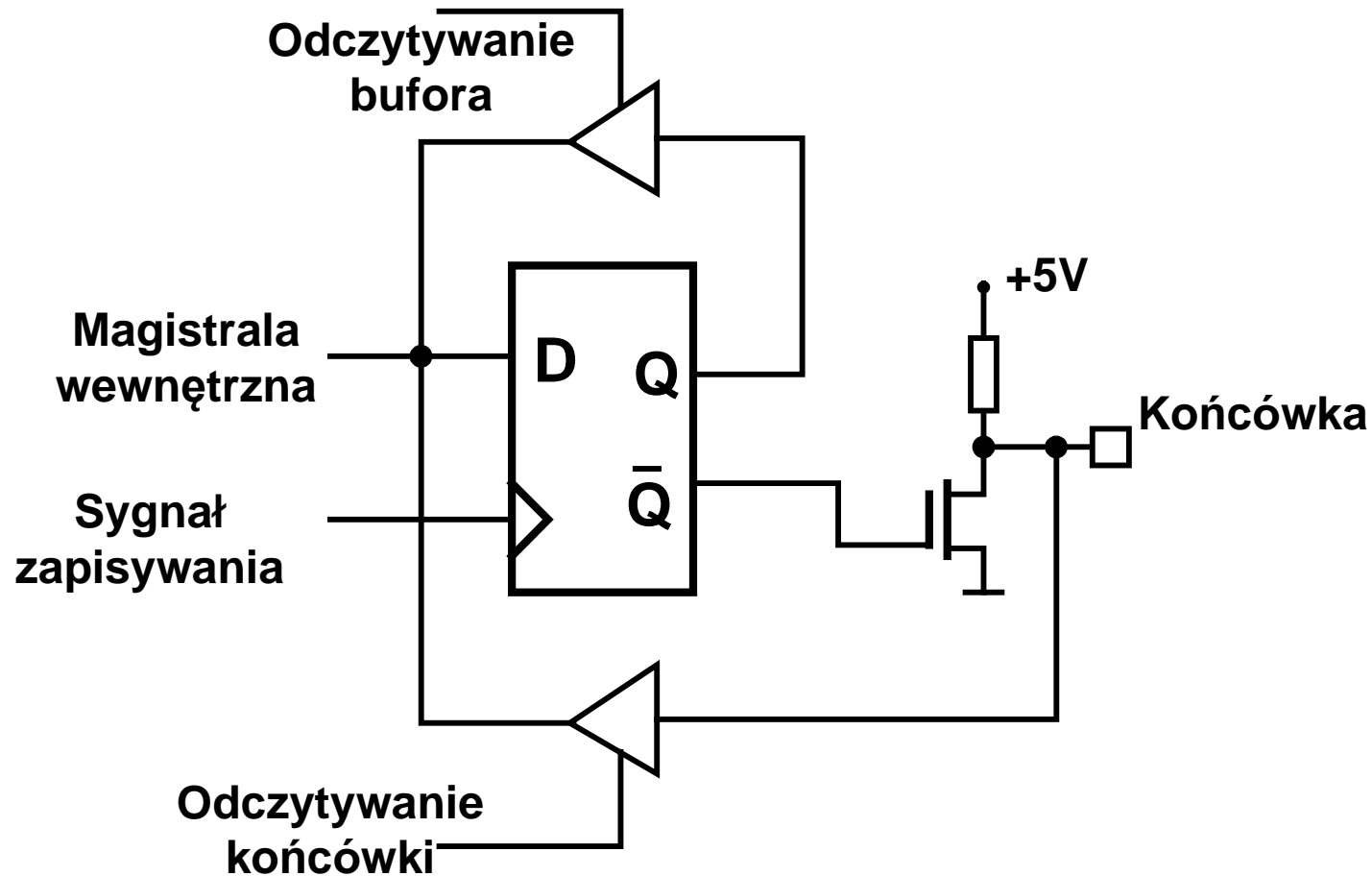
- kończy rozkaz,
- składa na stosie 16-bitowy adres powrotu,
- ładuje do PC adres obsługi przerwania.

Adresy obsługi przerwania są stałe.

Źródło przerwania	Adres obsługi
INT0	0003h
T0	000Bh
INT1	0013h
T1	001Bh
Port szeregowy	0023h

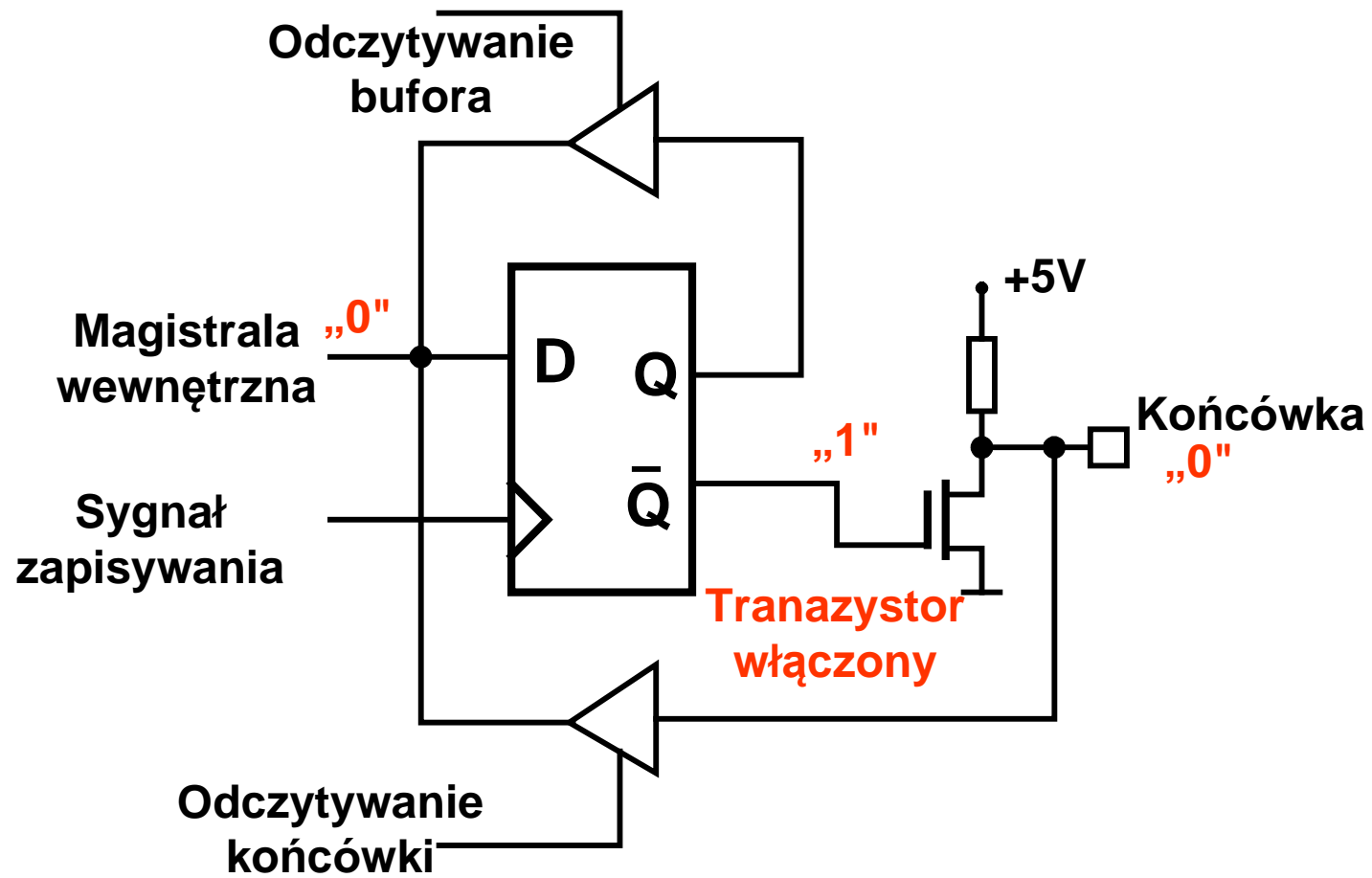
Procedurę obsługi przerwania kończy rozkaz powrotu RETI.
Zastosowanie rozkazu RET nie spowoduje odtworzenia maski przerwania i przerwanie nie będzie powtórnie przyjęte.

Porty równoległe

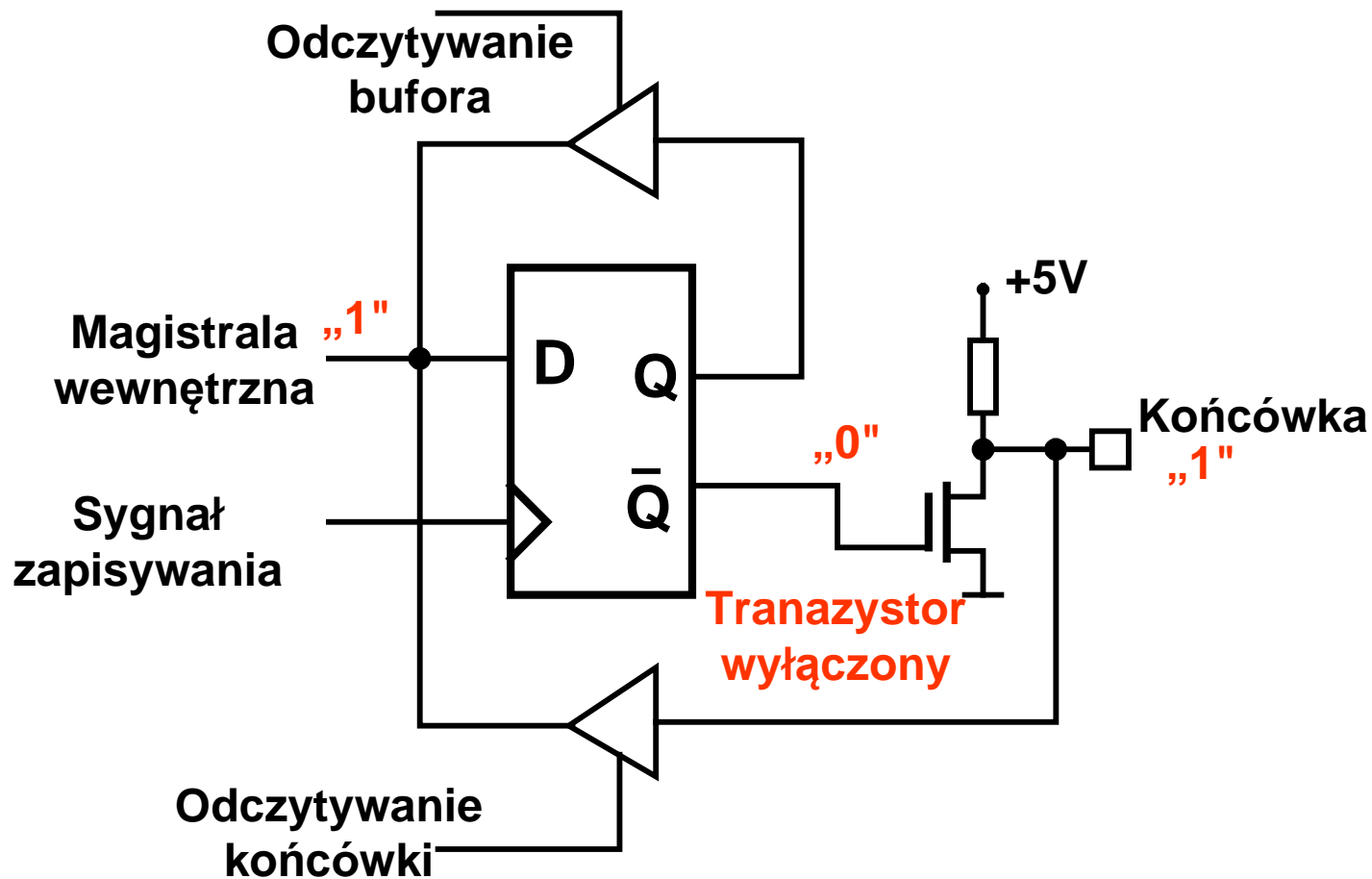


Budowa linii portu P1, P2, P3

Aby port pracował jako wejście trzeba na niego najpierw zapisać „1”



Zapis „0” na port

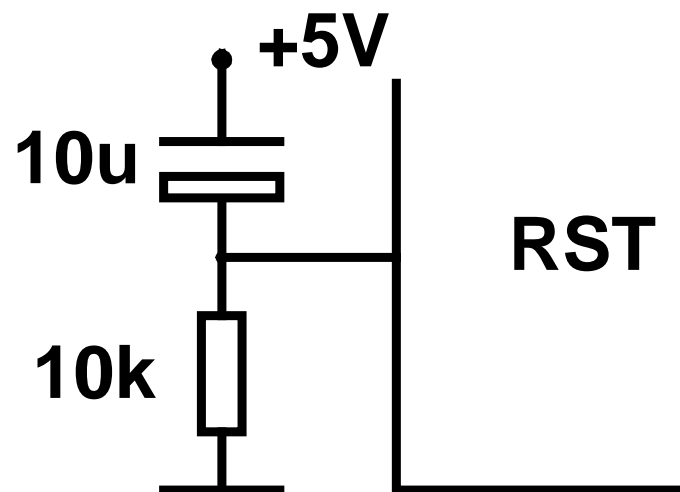


Zapis „1” na port

Port P0 nie posiada układu polaryzującego, w stanie „1” na wyjściu jest stan wysokiej impedancji.

Układ zerowania mikrokontrolera

Kontroler posiada wejście RESET z histerezą. Wystarczy dołączyć jedynie układ RC.



RESET jest aktywny stanem „1”

Tryby ograniczonego poboru prądu w układach CMOS

Do sterowania trybami służy rejestr specjalny **PCON**

7 6 5 4 3 2 1 0

SMOD	-	-	-	GF1	GF0	PD	IDL	87H
-------------	---	---	---	------------	------------	-----------	------------	------------

UWAGA! Rejestr nie jest dostępny bitowo.

SMOD: podwajanie prędkości transmisji szeregowej,

GF1, GF0- bity ogólnego przeznaczenia dla użytkownika,

PD- włączanie obniżonego poboru mocy,

IDL- włączanie pracy jałowej.

Tryb obniżonego poboru mocy

Wejście do trybu, przez ustawienie bitu PD w rejestrze PCON.

W tym trybie układ jest zasilany napięciem na pinie zasilania, przy czym napięcie może spaść do 2V.

Mikrokontroler nie pracuje, układy peryferyjne również. Podtrzymywana jest tylko zawartość pamięci RAM.

Pobór prądu jest około 500 razy mniejszy niż przy zwykłej pracy.

Wyjście z trybu poprzez RESET i powrót napięcia zasilającego do poziomemu 5V.

Tryb pracy jałowej

Wejście do trybu poprzez ustawienie bitu IDL w rejestrze PCON.

W tym trybie nie pracuje jednostka centralna (nie są wykonywane rozkazy), pracują układy peryferyjne i podtrzymywana jest pamięć RAM.

Wyjście z trybu poprzez sygnał RSET lub przerwanie, jeśli jest odmaskowane. Po obsłudze przerwania po rozkazie RETI następuje powrót do następnej instrukcji, po tej która ustawiła bit IDL.

Pobór prądu jest około 8 razy mniejszy niż przy normalnej pracy.

Układy HMOS

Występuje tylko tryb PD, przy czym zasilanie odbywa się poprzez pin RESET, napięcie zasilające może być odłączone.

Wyjście z trybu poprzez RESET po powrocie napięcia zasilającego.

Pobór prądu wynosi około 15% poziomu normalnego.