

Mikrokontrolery AVR ATmega

Literatura:

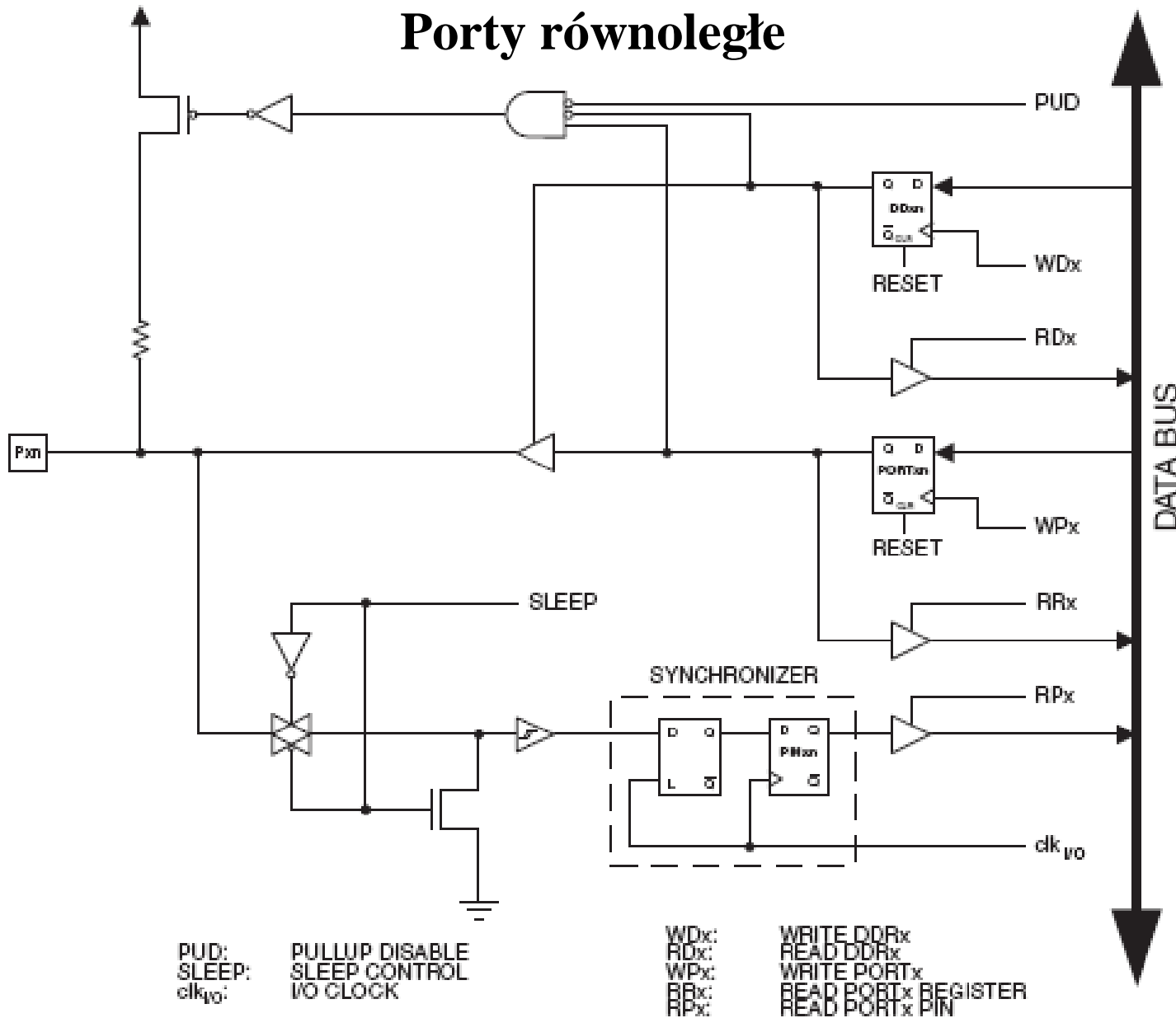
8-bit Microcontroller AVR with 32KBytes In-System Programmable Flash ATmega32 [www.atmel.com]

8-bit AVR Instruction Set [www.atmel.com]

Baranowski Rafał, Mikrokontrolery AVR Atmega, BTC, Warszawa 2005



Porty równoległe



Struktura pojedynczej linii portu

Każdemu z portów są przyporządkowane trzy rejestry wejścia-wyjścia:

PORTx- Gdy port pracuje w trybie wyjściowym stan logiczny zapisany w tym rejestrze jest stanem logicznym wymuszonym na pinie zewnętrznym, gdy port pracuje jako wejście ustawienie określonych bitów powoduje dołączenie do wejść rezystorów podciągających o ile nie jest to zablokowane bitem **PUD** w rejestrze **SFIOR** lub **MCUCR**.

PINx- stan bitów tego portu odpowiada faktycznemu stanowi pinów ustawionych jako wejścia, gdy linia portu pracuje jako wyjście to stan odpowiadającego mu bitu rejestru **PINx** jest kopią bitu rejestru **PORTx**.

DDRx- określa kierunek linii portu. *Wyzerowanie bitu* rejestru **DDRx** powoduje ustawienie linii jako *wejścia*, *ustawienie bitu* powoduje ustawienie linii jako **wyjścia**.

Bit	7	6	5	4	3	2	1	0	
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

Port A

Bit	7	6	5	4	3	2	1	0	
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

Port B

Bit	7	6	5	4	3	2	1	0	
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

Port C

Bit	7	6	5	4	3	2	1	0	
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

Port D

Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	-	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit PUD w rejestrze SFIOR umożliwia blokowanie funkcji pull-up dla wszystkich linii wszystkich portów.

Możliwe ustawienia linii portu różnoległego

PORT_{xn}	DDR_{xn}	PUD	Kier. Port.	Stan linii portu
0	0	X	Wejście	Wysoka impedancja
1	0	1	Wejście	Wysoka impedancja
1	0	0	Wejście	Podciągnięcie rezystorem 20-50kOhm
0	1	X	Wyjście	Wyjście w stanie „L”
1	1	X	wyjście	Wyjście w stanie „H”

Cechy szczególne linii portów

Port jako wejście:

- histereza** (około 50 mV), pozwalająca na eliminację błędów przy sygnałach wolnozmiennych i zaszumionych,
- przy odczycie portu po jego zapisaniu należy odczekać około 1 takt zegara (wewnętrzny układ synchronizujący).

Port jako wyjście:

- stan pinu może się pojawiać z opóźnieniem jednego taktu zegara przy zmianie PORTxn,
- typowe obciążenie** linii portu wynosi 20mA, maksymalnie 40mA.

Sposób zgłaszania przerwania INT0:

ISC01	ISC00	Sposób zgłaszania przerwania
0	0	Zgłaszanie niskim poziomem logicznym
0	1	Zgłaszanie zmianą stanu logicznego z 0 na 1 lub z 1 na 0
1	0	Zgłaszanie opadającym zboczem
1	1	Zgłaszanie narastającym zboczem

Sposób zgłaszania przerwania INT1:

ISC11	ISC10	Sposób zgłaszania przerwania
0	0	Zgłaszanie niskim poziomem logicznym
0	1	Zgłaszanie zmianą stanu logicznego z 0 na 1 lub z 1 na 0
1	0	Zgłaszanie opadającym zboczem
1	1	Zgłaszanie narastającym zboczem

Bit sterowania przerwaniem INT2 w rejestrze MCUCSR

Bit	7	6	5	4	3	2	1	0		
	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR	
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W		
Initial Value	0	0	0	See Bit Description						

Sposób zgłaszania przerwania INT2:

ISC2	Sposób zgłaszania przerwania
0	Zgłaszanie opadającym zboczem
1	Zgłaszanie narastającym zboczem

Rejestr sterowania przerwaniem zewnętrznymi INTx

Bit	7	6	5	4	3	2	1	0	
	INT1	INT0	INT2	-	-	-	IVSEL	IVCE	GICR
Read/Write	R/W	R/W	R/W	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

INT1- bit maski przerwania INT1 (INT1="1" i bit I=,1" przerwanie INT1 odmaskowane, INT1=,0"- zamaskowane).

INT0- bit maski przerwania INT0 (INT0="1" i bit I=,1" przerwanie INT0 odmaskowane, INT0=,0"- zamaskowane).

INT2- bit maski przerwania INT2 (INT2="1" i bit I=,1" przerwanie INT2 odmaskowane, INT2=,0"- zamaskowane).

Rejestr znaczników zgłaszania przerw zewnątrznych- GIFR

Bit	7	6	5	4	3	2	1	0	
	INTF1	INTF0	INTF2	-	-	-	-	-	GIFR
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

INTF1: bit zgłoszenia przerwania na wejściu INT1, ustawiany gdy przerwanie jest odmaskowane i zgłoszone, kasowany po wejściu do procedury obsługi lub poprzez zapis jedynek logicznej. Gdy przerwanie jest aktywne poziomem bit ten nie jest ustawiany.

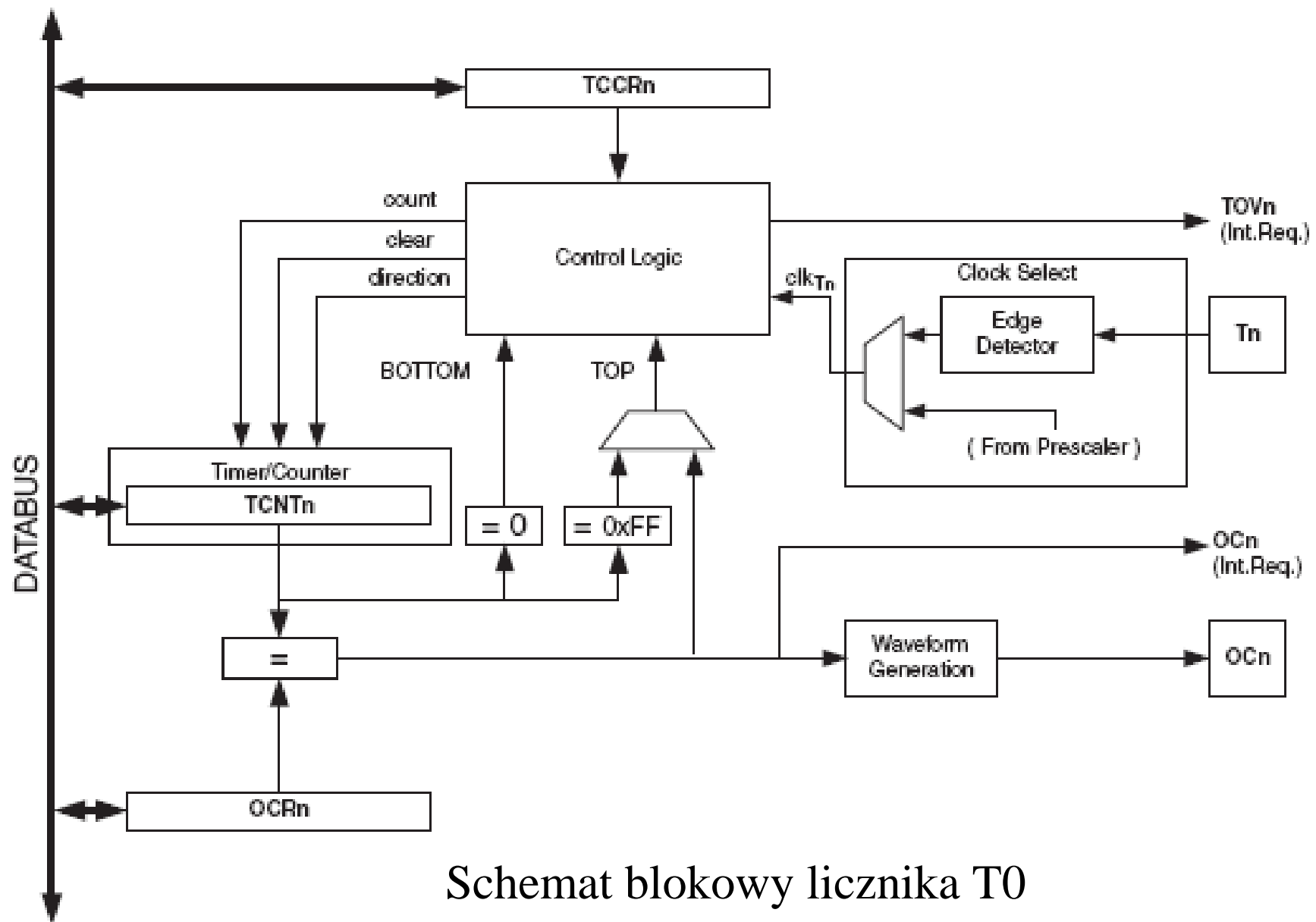
INTF0: bit zgłoszenia przerwania na wejściu INT0, ustawiany gdy przerwanie jest odmaskowane i zgłoszone, kasowany po wejściu do procedury obsługi lub poprzez zapis jedynek logicznej. Gdy przerwanie jest aktywne poziomem bit ten nie jest ustawiany.

INTF2: bit zgłoszenia przerwania na wejściu INT2, ustawiany gdy przerwanie jest odmaskowane i zgłoszone, kasowany po wejściu do procedury obsługi lub poprzez zapis jedynek logicznej.

8-mio bitowy licznik czasomierz T0 z funkcją PWM

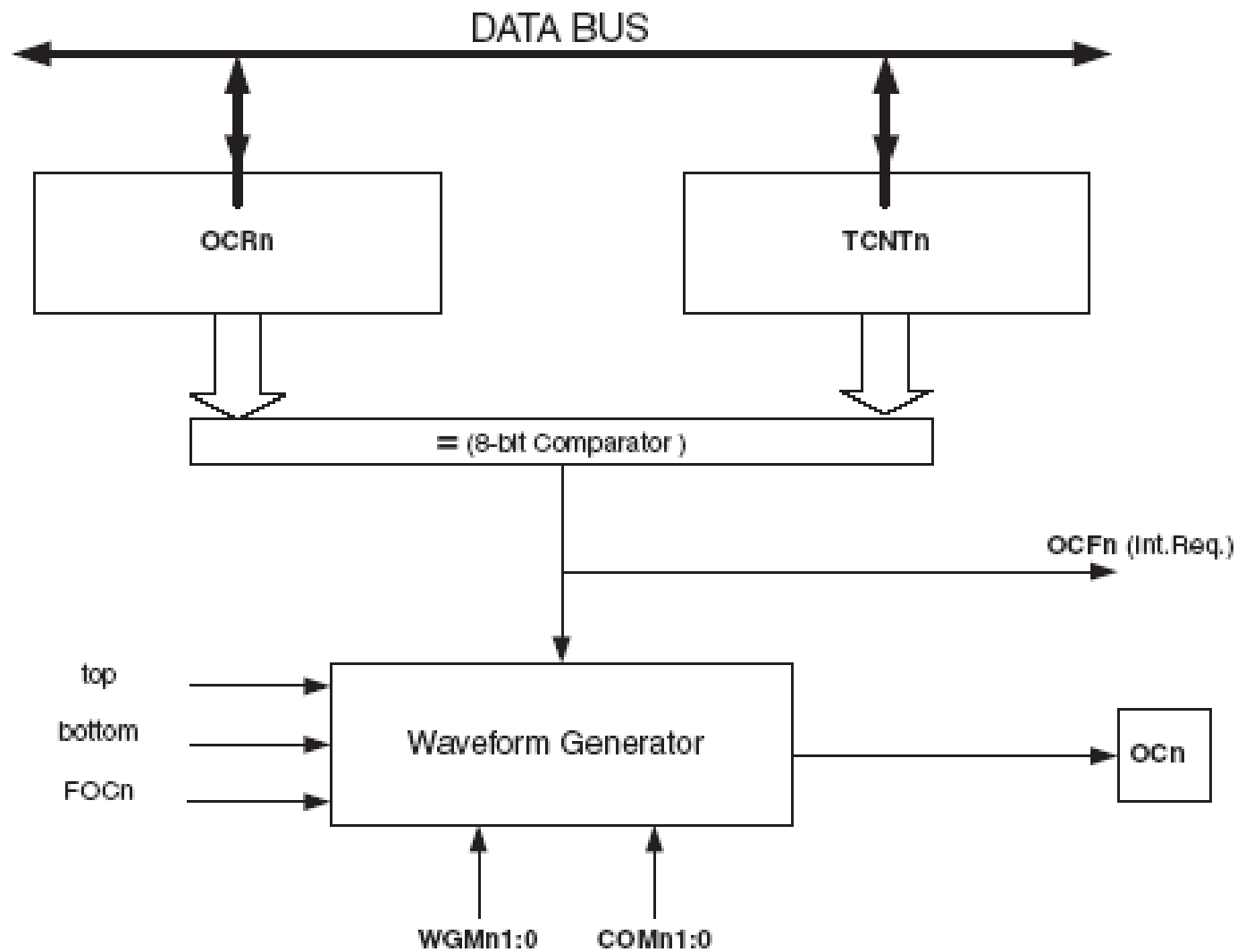
Źródłem sygnału taktującego mogą być:

- sygnał CK z oscylatora,
- sygnał CK z oscylatora podzielony prescalerem,
- zewnętrzny sygnał T0.



Schemat blokowy licznika T0

Praca licznika T0 z funkcją Output Compare



Rejestry układu czasowo-licznikowego T0

Rejestr kontrolny licznika T0

Bit	7	6	5	4	3	2	1	0	
	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	TCCR0
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bity ustawiające źródło sygnału taktującego i podział prescalera:

CS02	CS01	CS00	Opis
0	0	0	Licznik zatrzymany
0	0	1	Taktowanie CK
0	1	0	Taktowanie CK/8
0	1	1	Taktowanie CK/64
1	0	0	Taktowanie CK/256
1	0	1	Taktowanie CK/1024
1	1	0	Zewnętrzny sygnał T0 (opadające zbocze)
1	1	1	Zewnętrzny sygnał T0 (narastające zbocze)

Tryb generacji sygnału

WGM01	WGM00	Opis
0	0	Zwykłą praca licznika
0	1	PWM z korekcją fazy
1	0	Porównanie z zerowaniem licznika
1	1	Szybki PWM

Tryb funkcji Output Compare gdy tryb PWM wyłączony

COM01	COM00	Opis
0	0	Pin odłączony
0	1	Zmiana stanu logicznego na pinie
1	0	Zerowanie pinu
1	1	Ustawienie pinu

Rejestr maski przerwania od liczników czasomierzy-TIMSK

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

BIT1: **OCIE0**- bit maski przerwania od funkcji Output-Compare licznika T0

BIT0: **TOIE0**- bit maski przerwania od przepełnienia licznika T0

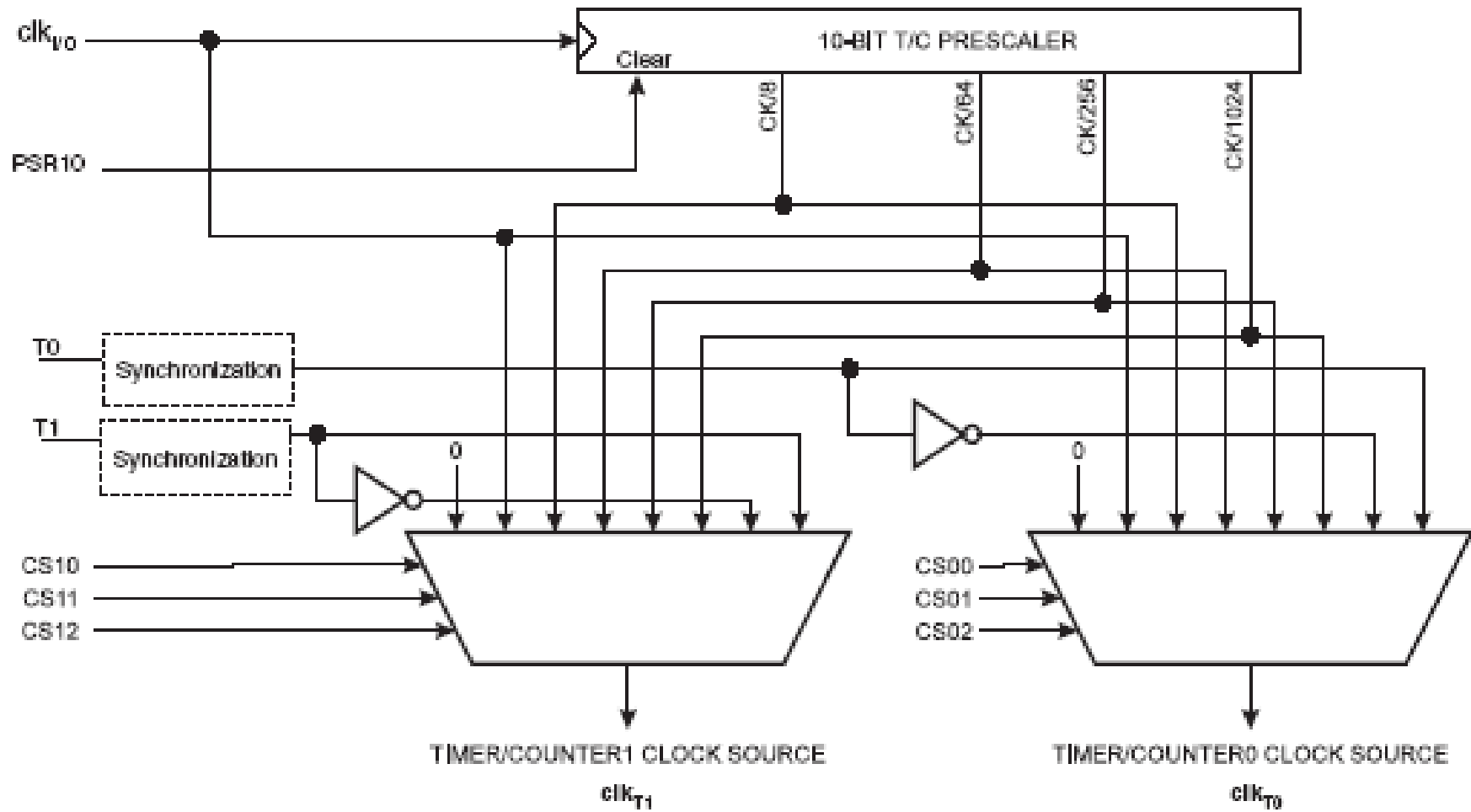
Rejestr znaczników przerwania od liczników-czasomierzy- TIFR

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

BIT1: **OCF0**- bit zgłoszenia przerwania od funkcji Output-Compare licznika T0

BIT0: **OCF0**- bit zgłoszenia przerwania od przepełnienia licznika T0

Prescaler licznika T0 i T1



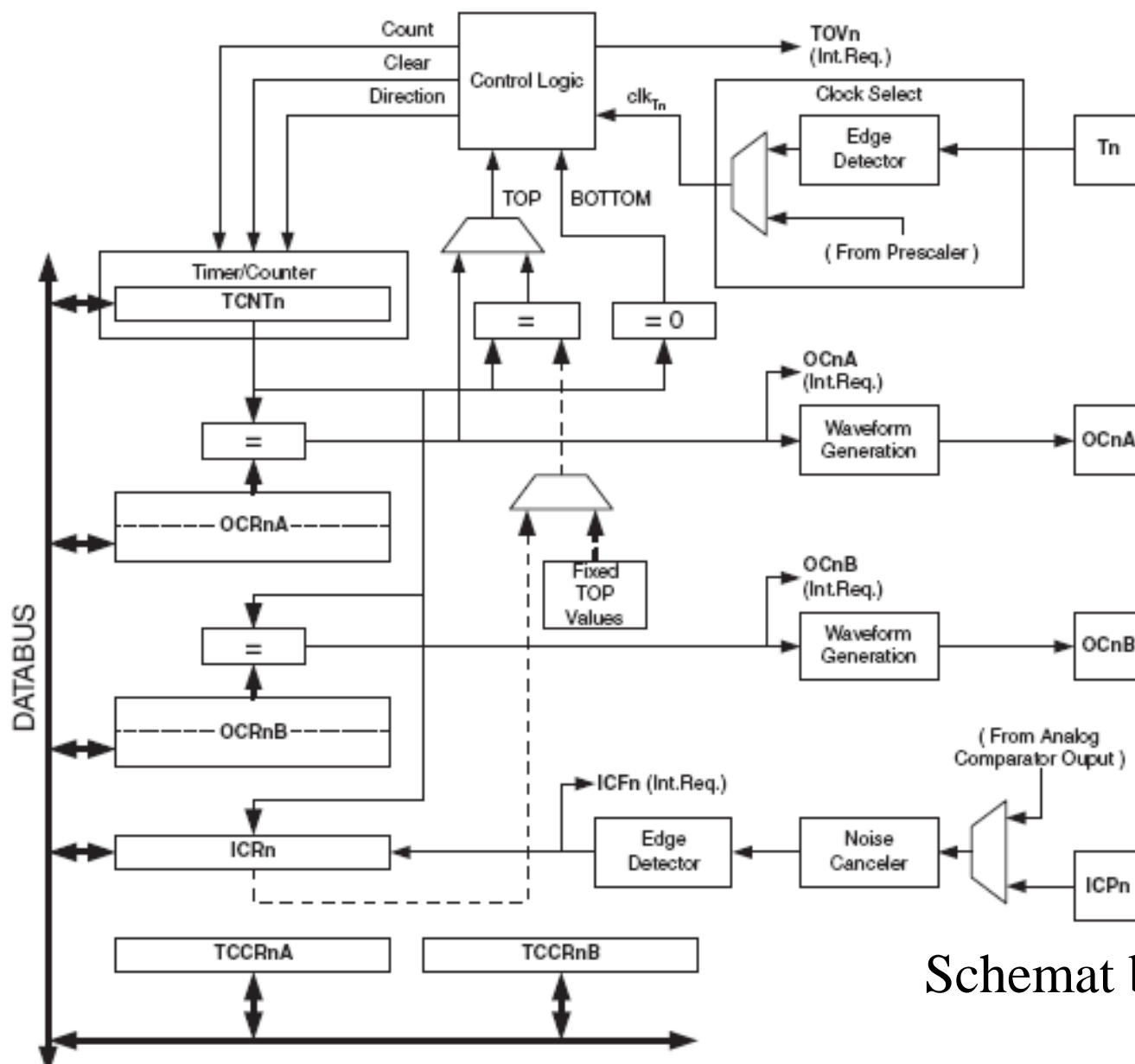
Schemat blokowy

Rejestr specjalny SFIOR- zerowanie prescalera

Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

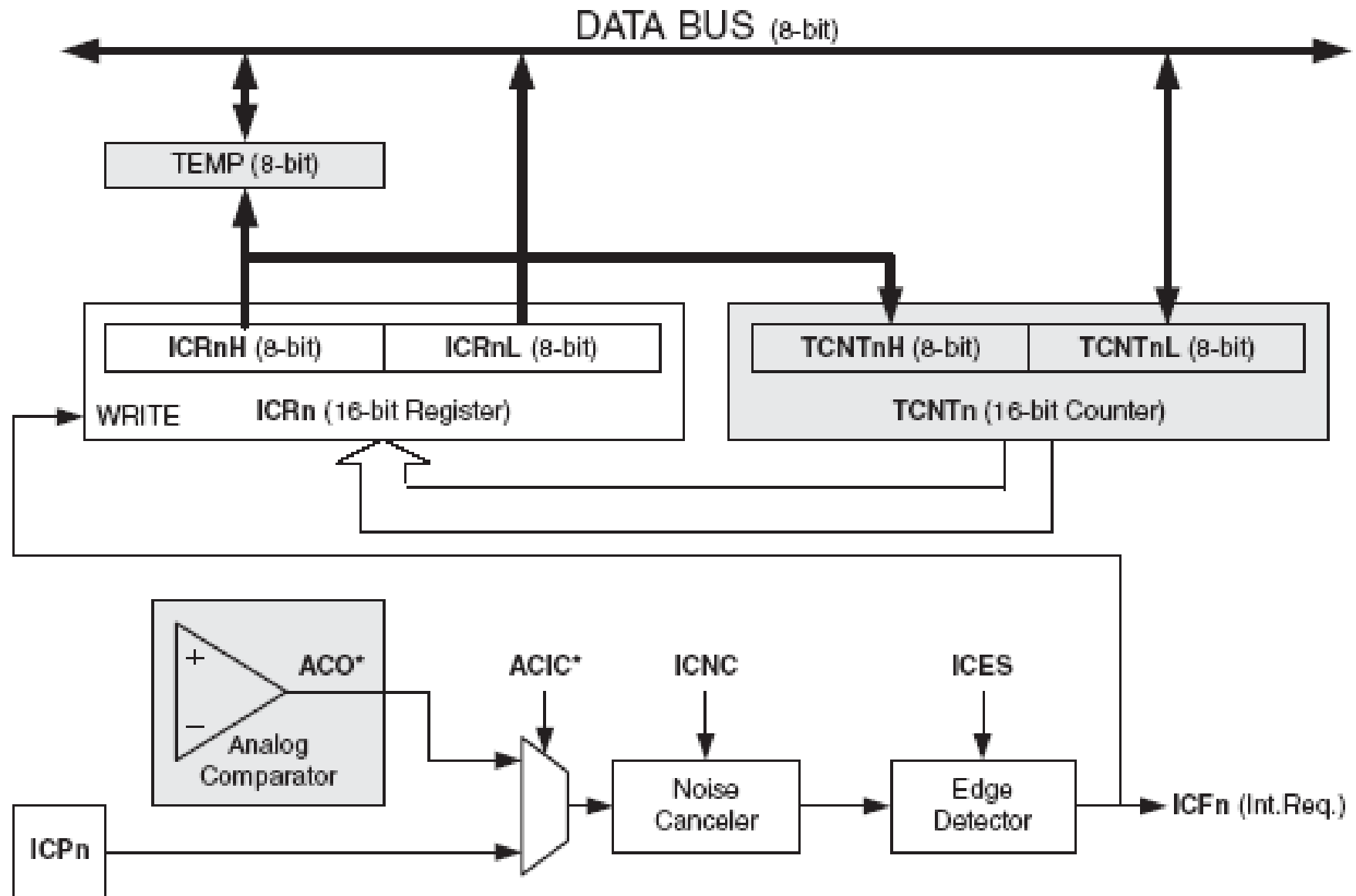
Ustawienie bitu 0- **PSR10**, w rejestrze SFIOR powoduje wyzerowanie prescalera licznika T0 i T1

16-bitowy licznik czasomierz T1 z funkcją PWM



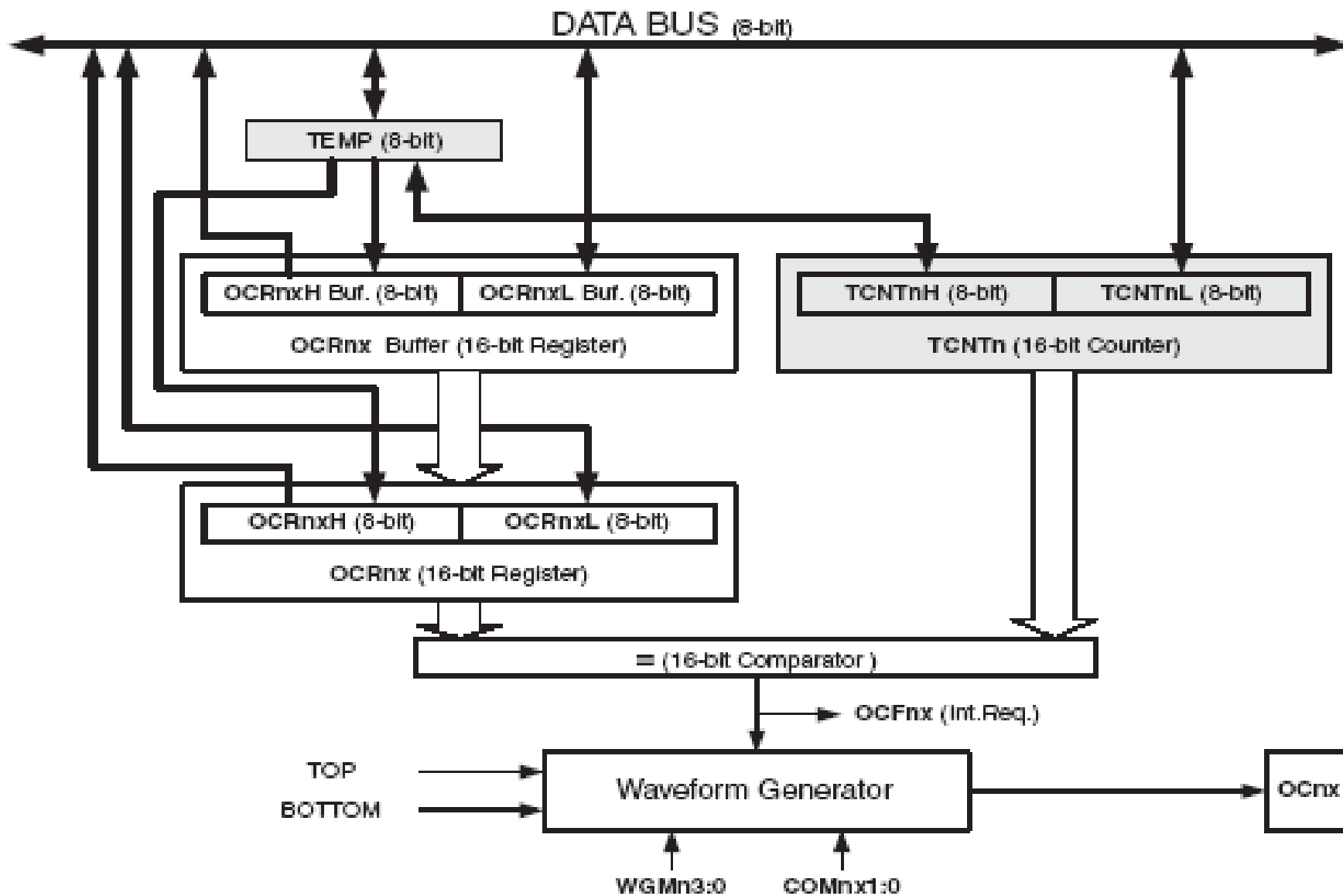
Schemat blokowy

Funkcja Input Capture (zatrzaskiwanie stanu licznika)



Schemat blokowy

Funkcja Output Compare



Schemat blokowy

Rejestr kontrolny A licznika T1- TCCR1A

Bit	7	6	5	4	3	2	1	0	
	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Tryb funkcji Output Compare gdy tryb PWM wyłączony

COM1A1/ COM1B1	COM1A0/ COM1B0	Opis
0	0	Piny odłączone, normalne funkcje portu
0	1	Zmiana stanu logicznego na pinie
1	0	Zerowanie pinu
1	1	Ustawienie pinu

Tryb funkcji Output Compare gdy tryb Szybki PWM

COM1A1/ COM1B1	COM1A0/ COM1B0	Opis
0	0	Piny odłączone, normalne funkcje portu
0	1	W zależności od bitów WGM Wyjście A w funkcji OC wyjście B normalny pinportu, oba piny jako linie portu
1	0	Tryb nieodwracający
1	1	Tryb odwracający

Tryb funkcji Output Compare gdy tryb PWM z korekcją fazy oraz z korekcją fazy i częstotliwości

COM1A1/ COM1B1	COM1A0/ COM1B0	Opis
0	0	Piny odłączone, normalne funkcje portu
0	1	W zależności od bitów WGM Wyjście A w funkcji OC wyjście B normalny pinportu, oba piny jako linie portu
1	0	Zerowanie pinu przy zliczaniu w dół, ustawianie przy zliczaniu w górę
1	1	Ustawianie pinu przy zliczaniu w dół, zerowanie przy zliczaniu w górę

Tryb generacji sygnału na wyjściach A i B

Mode	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	Timer/Counter Mode of Operation
0	0	0	0	0	Normal
1	0	0	0	1	PWM, Phase Correct, 8-bit
2	0	0	1	0	PWM, Phase Correct, 9-bit
3	0	0	1	1	PWM, Phase Correct, 10-bit
4	0	1	0	0	CTC
5	0	1	0	1	Fast PWM, 8-bit
6	0	1	1	0	Fast PWM, 9-bit
7	0	1	1	1	Fast PWM, 10-bit
8	1	0	0	0	PWM, Phase and Frequency Correct
9	1	0	0	1	PWM, Phase and Frequency Correct
10	1	0	1	0	PWM, Phase Correct
11	1	0	1	1	PWM, Phase Correct
12	1	1	0	0	CTC
13	1	1	0	1	Reserved
14	1	1	1	0	Fast PWM
15	1	1	1	1	Fast PWM

Rejestr kontrolny B licznika T1- TCCR1B

Bit	7	6	5	4	3	2	1	0	
	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ICNC1- włączanie filtracji wejścia Input Capture

ICES1- Wybór zbocza wejścia Input Capture (gdy „0” opadające zbocze, gdy „1”- narastające zbocze)

WGM13, WGM12- tryb generacji przebiegu

CS12-CS10- wybór źródła taktowania zgodnie z tabelą

CS12	CS11	CS10	Description
0	0	0	No clock source (Timer/Counter stopped).
0	0	1	$\text{clk}_{\text{I/O}}/1$ (No prescaling)
0	1	0	$\text{clk}_{\text{I/O}}/8$ (From prescaler)
0	1	1	$\text{clk}_{\text{I/O}}/64$ (From prescaler)
1	0	0	$\text{clk}_{\text{I/O}}/256$ (From prescaler)
1	0	1	$\text{clk}_{\text{I/O}}/1024$ (From prescaler)
1	1	0	External clock source on T1 pin. Clock on falling edge.
1	1	1	External clock source on T1 pin. Clock on rising edge.

Źródła taktowania licznika T1

Rejestr zatrzaskowy funkcji Input Capture licznika T1

Bit	7	6	5	4	3	2	1	0	
	ICR1[15:8]								ICR1H
	ICR1[7:0]								ICR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Rejestr maski przerw od układów czasowo-licznikowych- TIMSK

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

TICIE1- maska przerw od funkcji Input Capture licznika T1

OCIE1A- maska przerw od funkcji Output Compare A

OCIE1B- maska przerw od funkcji Output Compare B

TOIE1- maska przerwania od przepełnienia licznika T1

Rejestr bitów zgłaszania przerwania od licznika T1-TIFR

Bit	7	6	5	4	3	2	1	0	TIFR
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

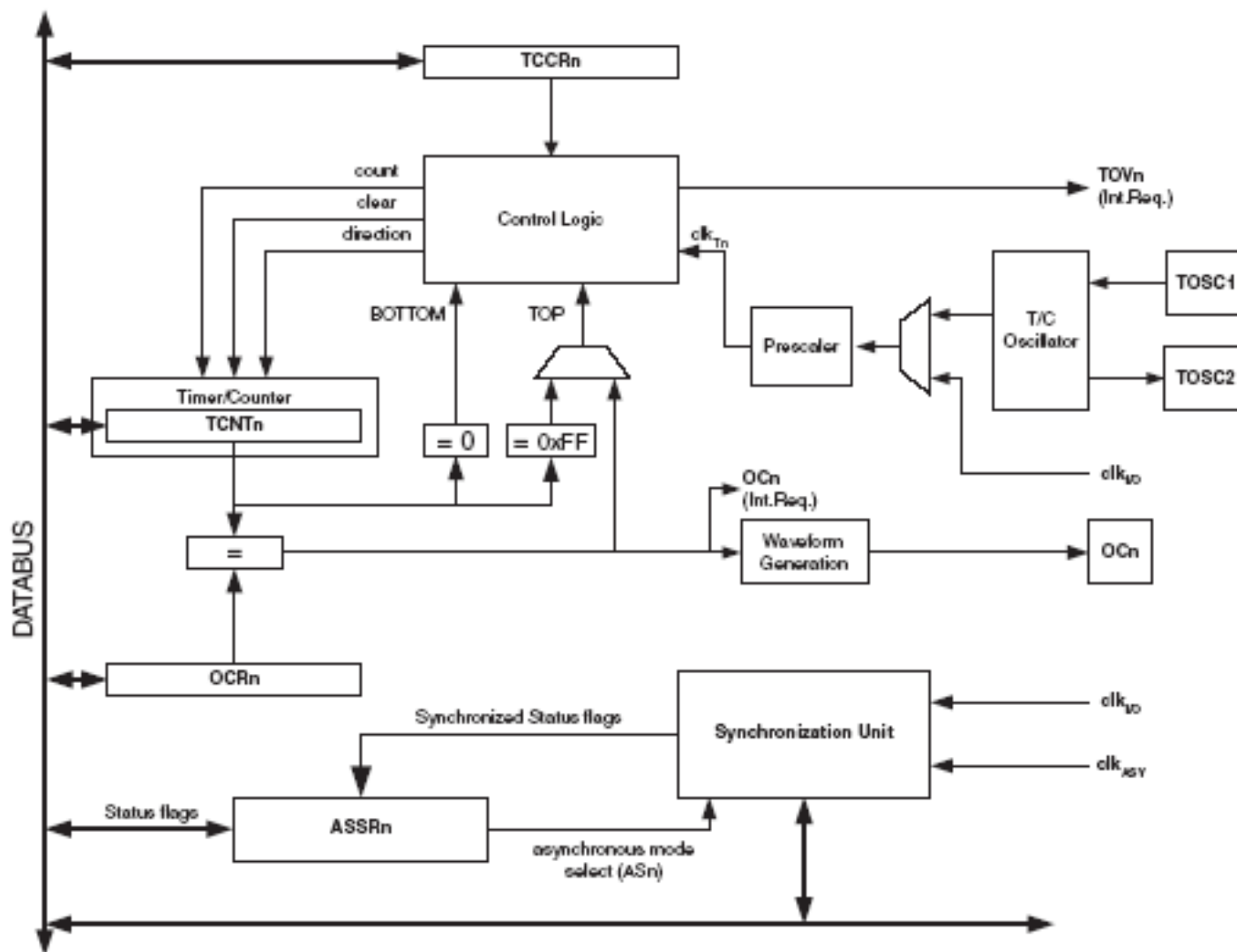
ICF1- znacznik zgłoszenia przerwania od funkcji Input Capture licznika T1

OCF1A- znacznik zgłoszenia przerwania od funkcji Output Compare A

OCF1B- znacznik zgłoszenia przerwania od funkcji Output Compare B

TOV1- znacznik zgłoszenia przerwania od przepełnienia licznika T1

8-bitowy układ czasowo-licznikowy T2 z możliwością pracy asynchronicznej



Schemat blokowy układu licznika T2

Status trybu asynchronicznego- ASSR

Bit	7	6	5	4	3	2	1	0	
	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

Rejestr maski przerw układu czasowo-licznikowego

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

OCIE1 – maska przerw od funkcji Output Compare licznika T2

TOIE1 – maska przerw od przepełnienia licznika T2

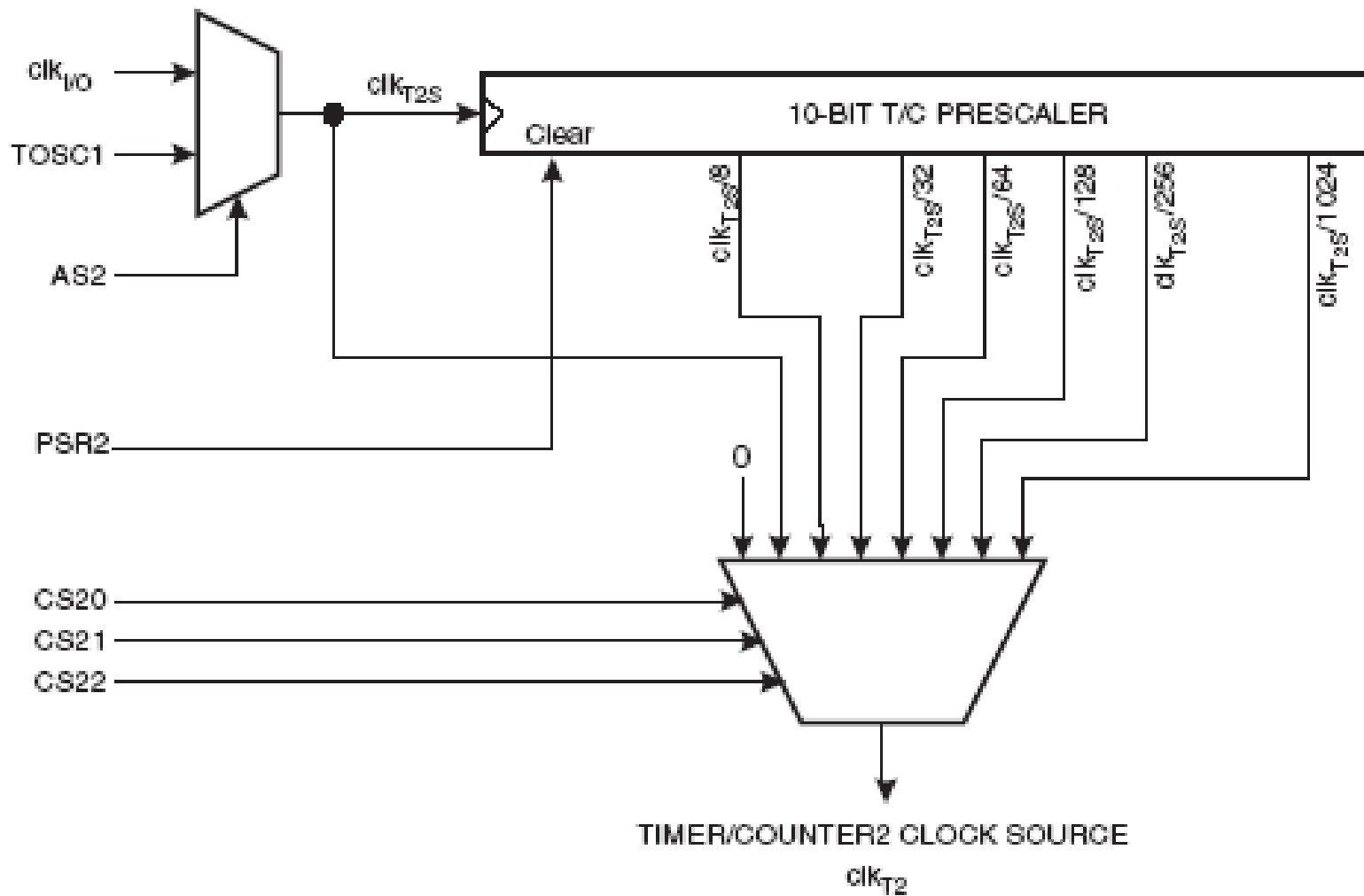
Rejestr zgłaszania przerwań od licznika T2-TIFR

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

OCF1 – znacznik zgłoszenia przerwania od funkcji Output Compare licznika T2

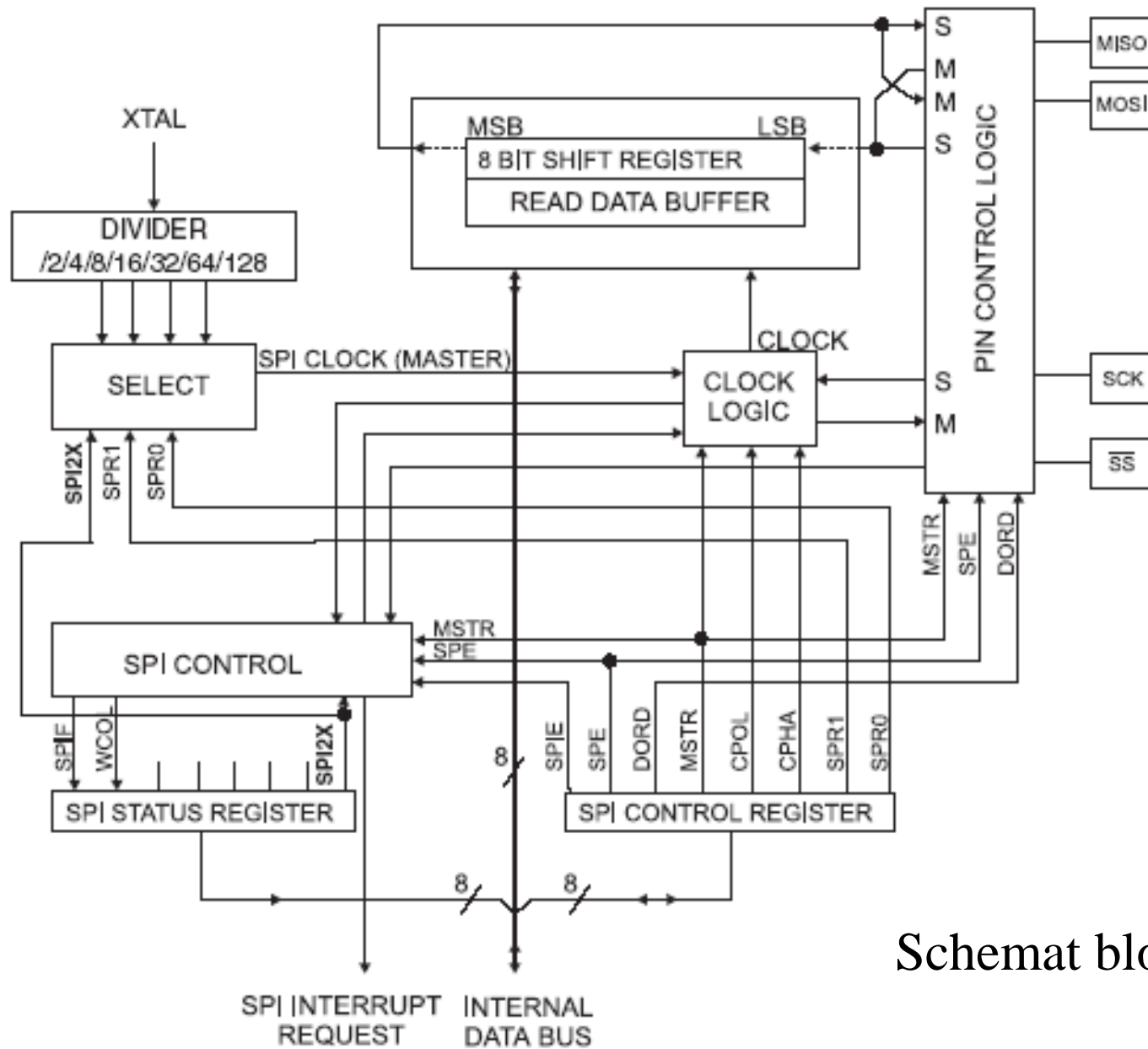
TOV1 – znacznik zgłoszenia przerwania od przepełnienia licznika T2

Prescaler licznika T2



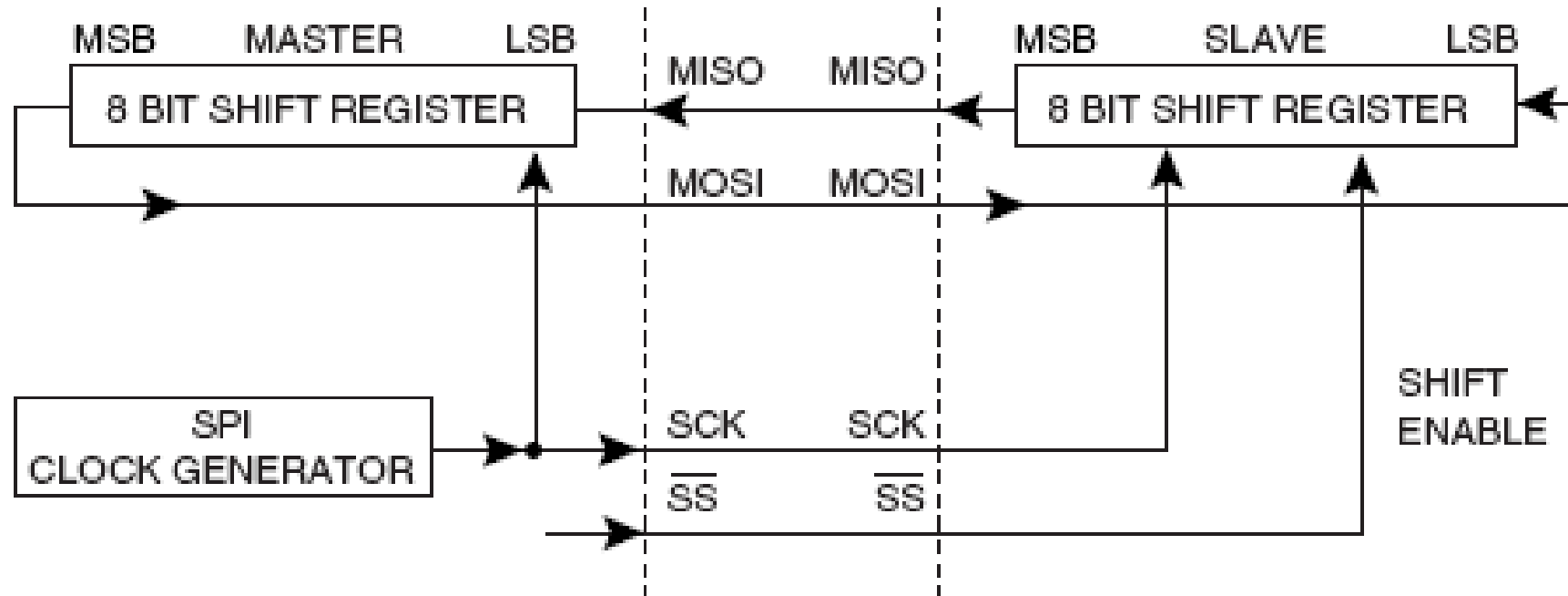
Schemat blokowy układu prescalera

Synchroniczny port szeregowy SPI



Schemat blokowy portu

Połączenie urządzeń nadrzędnych (Master) i podrzędnych (Slave) przy pomocy portu SPI



Układ nadrzędny (Master) jest źródłem sygnału taktującego oraz układem dokonującym wyboru układu Slave (podrzednego). Linia MISO układu nadrzednego jest połączona z linią MISO układu podrzednego i podobnie linia MOSI układu Master jest połączona z linią MOSI układu Slave. Sygnał SS w przypadku układów master wykrywa konflikty na magistrali gdy dwa układy Master chcą skorzystać z magistrali SPI.

Rejestr sterujący układu SPI- SPCR

Bit	7	6	5	4	3	2	1	0	
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

SPIE- bit maski przerwań od portu SPI

SPE- bit uaktywnienia portu SPI (gdy bit SPE=„0” port wyłączony)

DORD- decyduje o kolejności wysyłania bitów danej (gdy DORD=„0” dana jest transmitowana od najstarszego (MSB) bitu)

MSTR- Wybór funkcji układu- nadrzędny lub podrzędny (gdy MSTR=„0”- Slave, gdy MSTR=„1”- Master)

CPOL- Polaryzacja zegara- ustalenie stanu nieaktywnego na linii SCK (gdy CPOL=„0” nieaktywny stan na linii SK to stan niski)

CPHA- faza zegara determinuje kiedy dana jest próbkowana (podczas pierwszego lub ostatniego zbocza zegara)

SPR1, SPR0, wybór częstotliwości taktowania portu SPI

SPI2X	SPR1	SPR0	Częstotliwość zegara portu SPI-SCK
0	0	0	$f_{osc}/4$
0	0	1	$f_{osc}/16$
0	1	0	$f_{osc}/64$
0	1	1	$f_{osc}/128$
1	0	0	$f_{osc}/2$
1	0	1	$f_{osc}/8$
1	1	0	$f_{osc}/32$
1	1	1	$f_{osc}/64$

Port szeregowy synchroniczny-asynchroniczny USART

Możliwość pracy synchronicznej i asynchronicznej

Ramka od 5 do 9 bitów

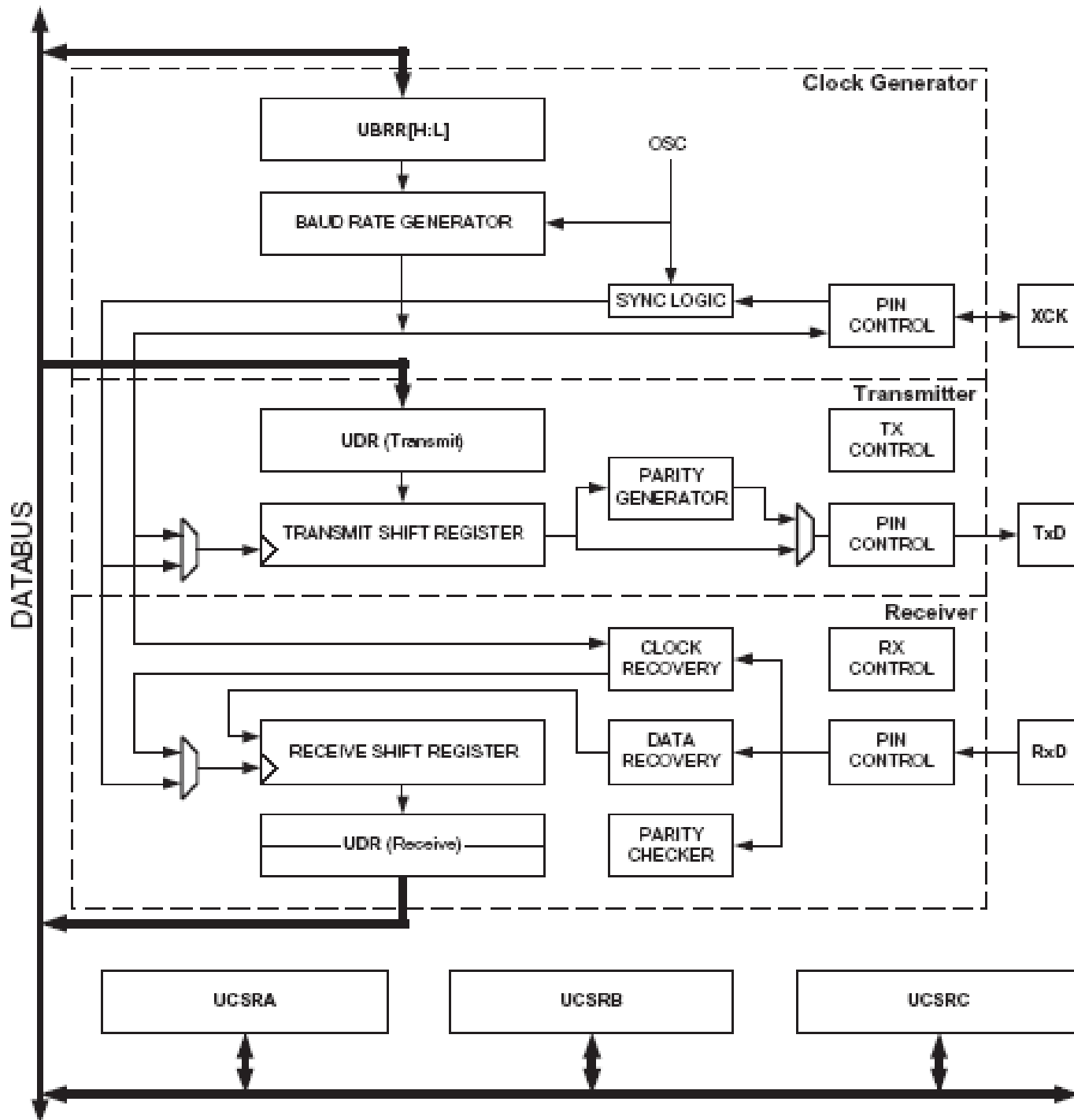
1 lub 2 bity stopu

Dwa rodzaje kontroli parzystości

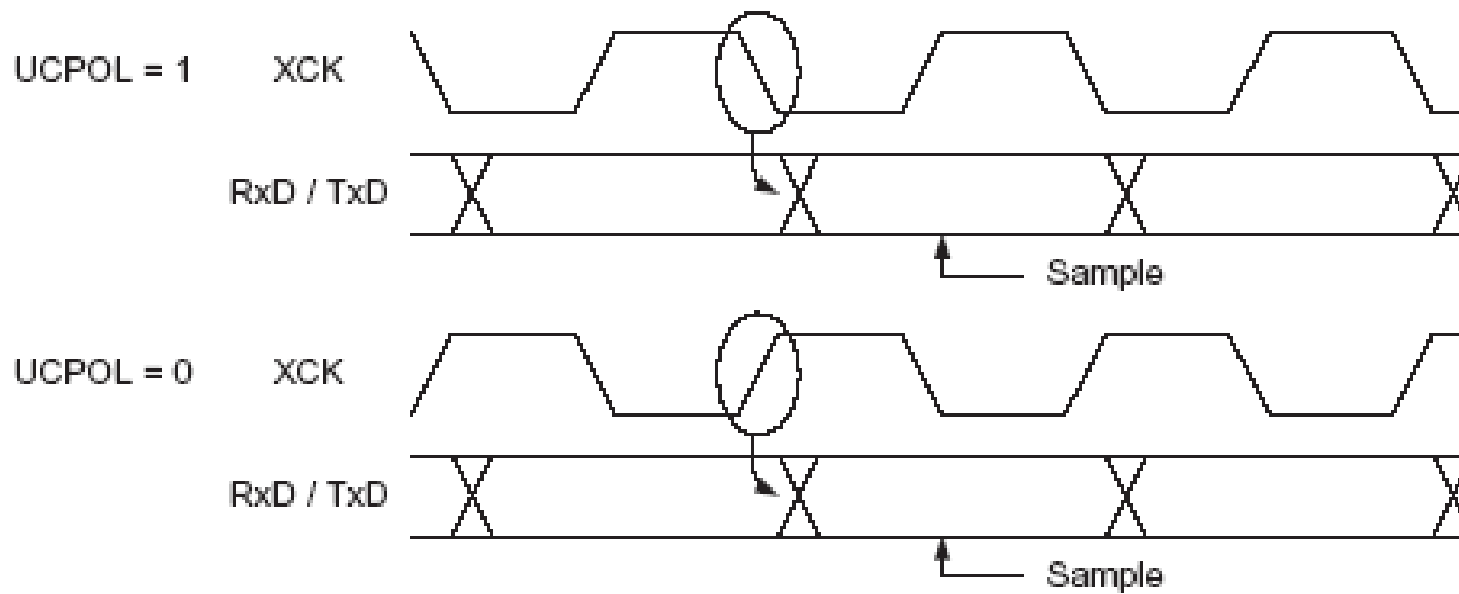
Wykrywanie błędów ramki

Eliminacja szumów

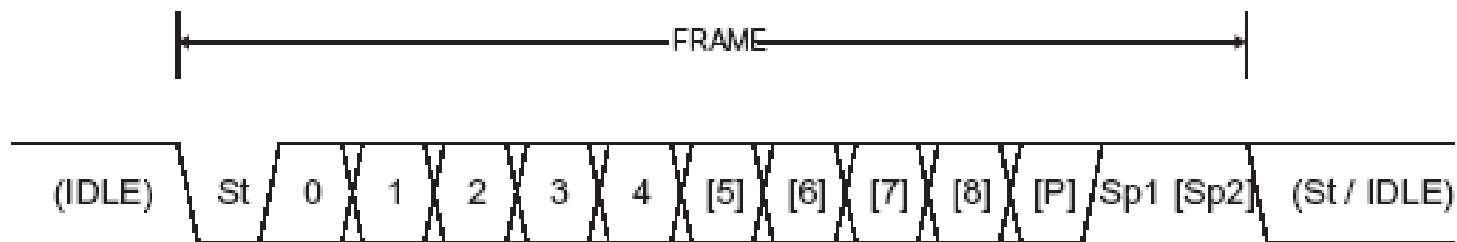
Możliwość współpracy wieloprocessorowej



Schemat blokowy
portu USART



Tryb pracy synchronicznej



St Start bit, always low.

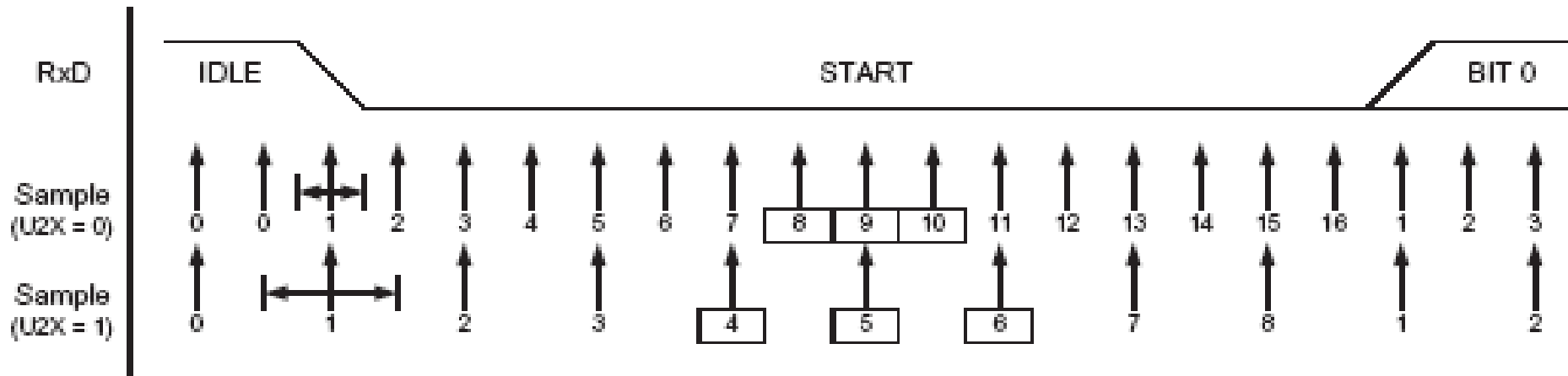
(n) Data bits (0 to 8).

P Parity bit. Can be odd or even.

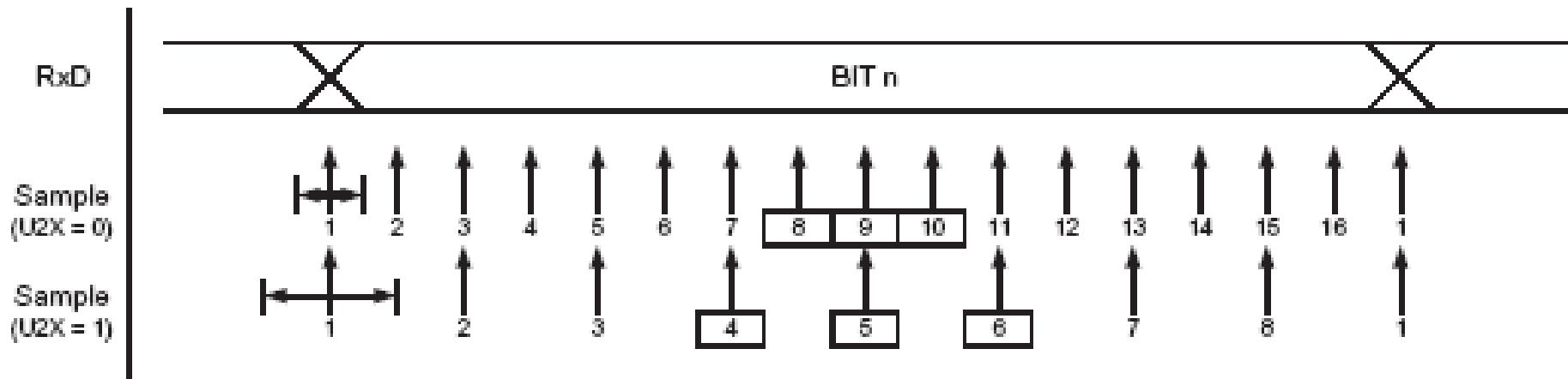
Sp Stop bit, always high.

IDLE No transfers on the communication line (RxD or TxD). An IDLE line must be high.

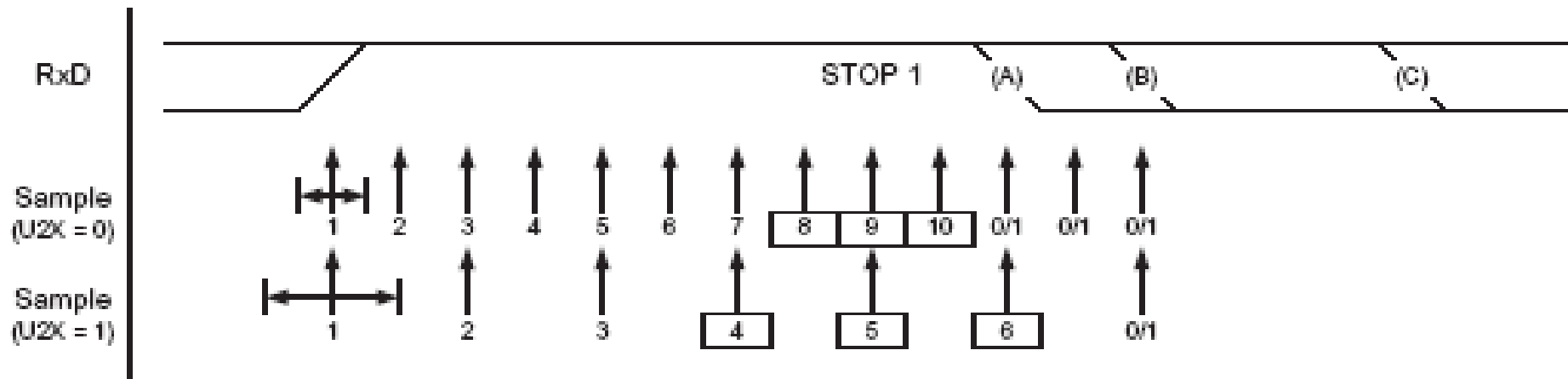
Ramka transmisji



Próbkowanie bitu startu



Próbkowanie bitu danych i parzystości



Próbkowanie bitu stopu

Rejestry: nadawczy i odbiorczy portu USART- UDR

Bit	7	6	5	4	3	2	1	0	
	RXB[7:0]								UDR (Read)
	TXB[7:0]								UDR (Write)
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Rejestr nadawczy i odbiorczy znajdują się pod tym samym adresem dostęp do rejestru jest rozpoznawany kierunkiem transferu danych (rejestr odbiorczy-odczyt, nadawczy-zapis)

Rejestr kontrolno-sterujący portu USART: A- UCSRA

Bit	7	6	5	4	3	2	1	0	
	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	UCSRA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

RXC- bit informujący o skompletowaniu danej odbieranej

TXC- bit informujący o wysłaniu całej danej

UDRE- bit informujący, że bufor nadawania jest gotowy do przyjęcia nowej danej

FE- bit zgłoszenia błędu ramki (ustawiany gdy w oczekiwanym czasie nie pojawił się bit stopu)

DOR- bit zgłoszenia błędu nadpisania (dana odbierana jest skompletowana, a wykryto bit startu nowej danej odbieranej)

PE- błąd parzystości

U2X- podwojenie prędkości transmisji w trybie asynchronicznym

MPCM- bit współpracy wieloprocessorowej

Rejestr kontrolno-sterujący portu USART: B- UCSRB

Bit	7	6	5	4	3	2	1	0	
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

RXCIE- bit maski przerwania od skompletowania danej odbieranej

TXCIE- bit maski przerwania od wysłania danej

UDRIE- bit maski przerwania od pustego rejestru danych

RXEN- włączanie odbiornika portu USART (zapis „1”)

TXEN- włączanie nadajnika portu USART (zapis „1”)

UCSZ2- jeden z bitów określających rozmiar danej

RXB8- 9-ty bit odbierany

TXB8- 9-ty bit nadawany

Rejestr kontrolno-sterujący portu USART: C- UCSRC

Bit	7	6	5	4	3	2	1	0	
	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	UCSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	0	0	0	0	1	1	0	

URSEL- bit dostępu do rejestru UCSRC i UBRRH, ustawienie na 1 zapewnia dostęp do rejestru UCSRC. Oba rejestry mają ten sam adres.

UMSEL- wybór trybu synchronicznego lub asynchronicznego, „0” tryb asynchroniczny.

UPM1, UPM0- wybór rodzaju kontroli parzystości: wyłączona, parzystość parzysta, parzystość nieparzysta

USBS- ilość bitów stopu: „0”- 1bit stopu, „1”- 2 bity stopu

UCSZ1, UCSZ0- wybór ilości bitów danej

UCSZ2	UCSZ1	UCSZ0	Długość danej
0	0	0	5-bitów
0	0	1	6-bitów
0	1	0	7-bitów
0	1	1	8-bitów
1	0	0	rezerwa
1	0	1	rezerwa
1	1	0	rezerwa
1	1	1	9-bitów

Określenie wielkości danej

UCPOL- tylko w modzie synchronicznym określa polaryzację sygnału zegarowego

Rejestr prędkości bodowej

Bit	15	14	13	12	11	10	9	8	
	URSEL	–	–	–	UBRR[11:8]				UBRRH
	UBRR[7:0]								UBRRL
	7	6	5	4	3	2	1	0	
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

URSEL- bit określający dostęp do starszej lub młodszej części rejestru. Przy zapisie do UBRRH powinien być ustawiony w stan niski

Przykładowe prędkości bodowe

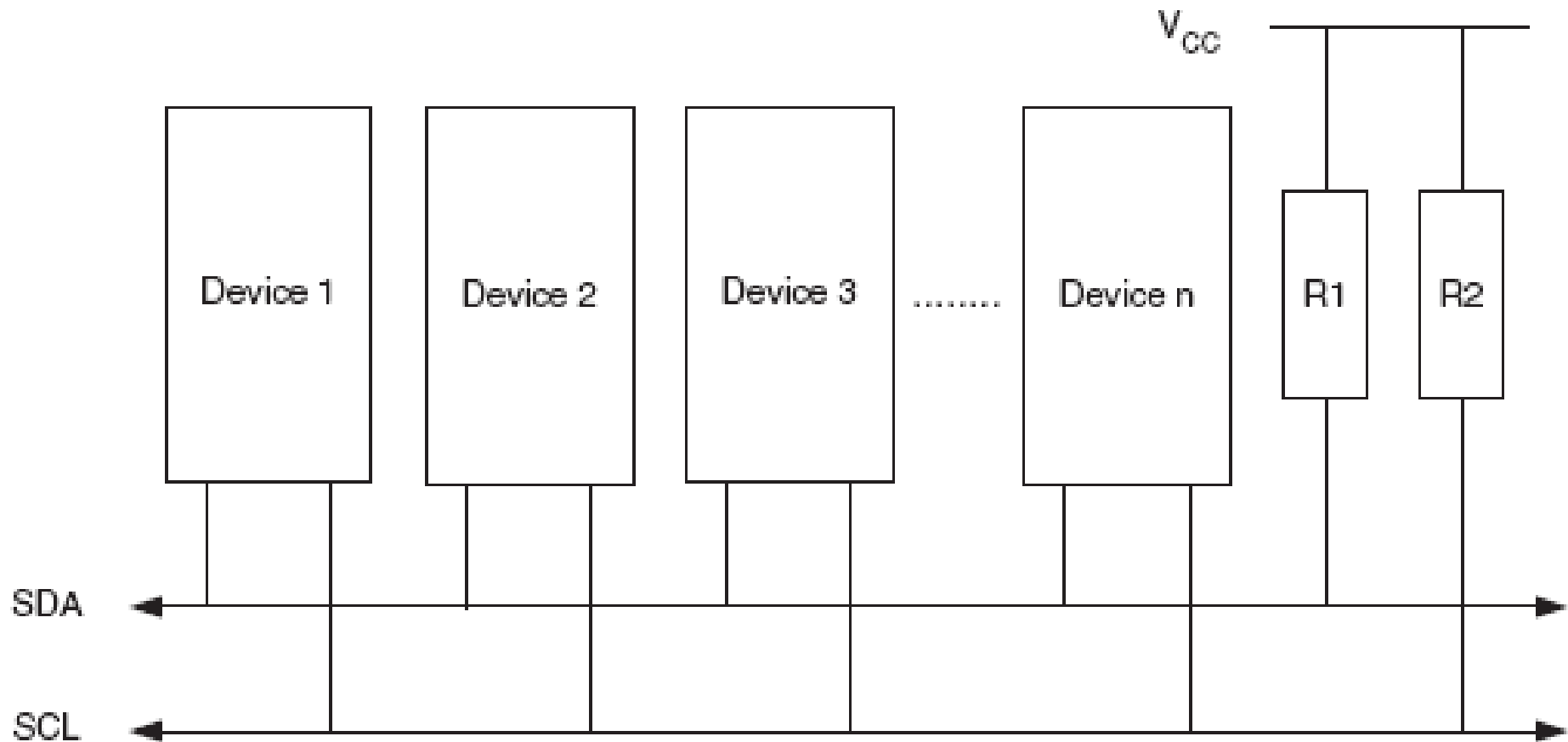
Baud Rate (bps)	$f_{osc} = 1.0000\text{MHz}$				$f_{osc} = 1.8432\text{MHz}$				$f_{osc} = 2.0000\text{MHz}$			
	U2X = 0		U2X = 1		U2X = 0		U2X = 1		U2X = 0		U2X = 1	
	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error
2400	25	0.2%	51	0.2%	47	0.0%	95	0.0%	51	0.2%	103	0.2%
4800	12	0.2%	25	0.2%	23	0.0%	47	0.0%	25	0.2%	51	0.2%
9600	6	-7.0%	12	0.2%	11	0.0%	23	0.0%	12	0.2%	25	0.2%
14.4k	3	8.5%	8	-3.5%	7	0.0%	15	0.0%	8	-3.5%	16	2.1%
19.2k	2	8.5%	6	-7.0%	5	0.0%	11	0.0%	6	-7.0%	12	0.2%
28.8k	1	8.5%	3	8.5%	3	0.0%	7	0.0%	3	8.5%	8	-3.5%
38.4k	1	-18.6%	2	8.5%	2	0.0%	5	0.0%	2	8.5%	6	-7.0%
57.6k	0	8.5%	1	8.5%	1	0.0%	3	0.0%	1	8.5%	3	8.5%
76.8k	-	-	1	-18.6%	1	-25.0%	2	0.0%	1	-18.6%	2	8.5%
115.2k	-	-	0	8.5%	0	0.0%	1	0.0%	0	8.5%	1	8.5%
230.4k	-	-	-	-	-	-	0	0.0%	-	-	-	-
250k	-	-	-	-	-	-	-	-	-	-	0	0.0%
Max ⁽¹⁾	62.5 Kbps		125 Kbps		115.2 Kbps		230.4 Kbps		125 Kbps		250 Kbps	

1. UBRR = 0, Error = 0.0%

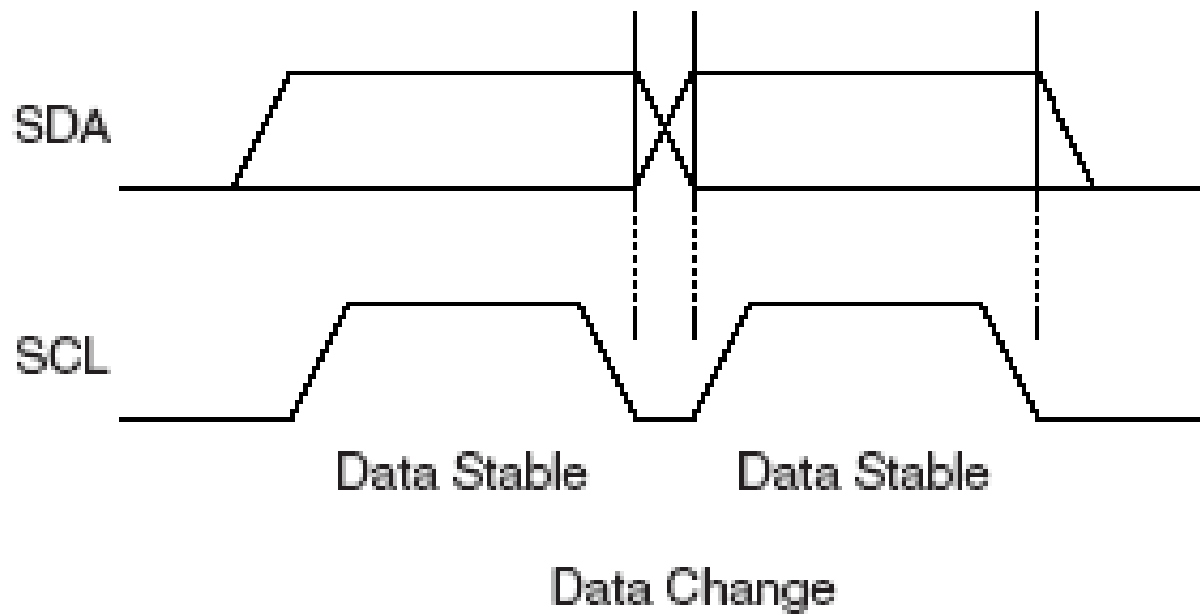
Przykładowe prędkości bodowe

Baud Rate (bps)	$f_{osc} = 16.0000\text{MHz}$				$f_{osc} = 18.4320\text{MHz}$				$f_{osc} = 20.0000\text{MHz}$			
	U2X = 0		U2X = 1		U2X = 0		U2X = 1		U2X = 0		U2X = 1	
	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error
2400	416	-0.1%	832	0.0%	479	0.0%	959	0.0%	520	0.0%	1041	0.0%
4800	207	0.2%	416	-0.1%	239	0.0%	479	0.0%	259	0.2%	520	0.0%
9600	103	0.2%	207	0.2%	119	0.0%	239	0.0%	129	0.2%	259	0.2%
14.4k	68	0.6%	138	-0.1%	79	0.0%	159	0.0%	86	-0.2%	173	-0.2%
19.2k	51	0.2%	103	0.2%	59	0.0%	119	0.0%	64	0.2%	129	0.2%
28.8k	34	-0.8%	68	0.6%	39	0.0%	79	0.0%	42	0.9%	86	-0.2%
38.4k	25	0.2%	51	0.2%	29	0.0%	59	0.0%	32	-1.4%	64	0.2%
57.6k	16	2.1%	34	-0.8%	19	0.0%	39	0.0%	21	-1.4%	42	0.9%
76.8k	12	0.2%	25	0.2%	14	0.0%	29	0.0%	15	1.7%	32	-1.4%
115.2k	8	-3.5%	16	2.1%	9	0.0%	19	0.0%	10	-1.4%	21	-1.4%
230.4k	3	8.5%	8	-3.5%	4	0.0%	9	0.0%	4	8.5%	10	-1.4%
250k	3	0.0%	7	0.0%	4	-7.8%	8	2.4%	4	0.0%	9	0.0%
0.5M	1	0.0%	3	0.0%	-	-	4	-7.8%	-	-	4	0.0%
1M	0	0.0%	1	0.0%	-	-	-	-	-	-	-	-
Max ⁽¹⁾	1Mbps		2Mbps		1.152Mbps		2.304Mbps		1.25Mbps		2.5Mbps	

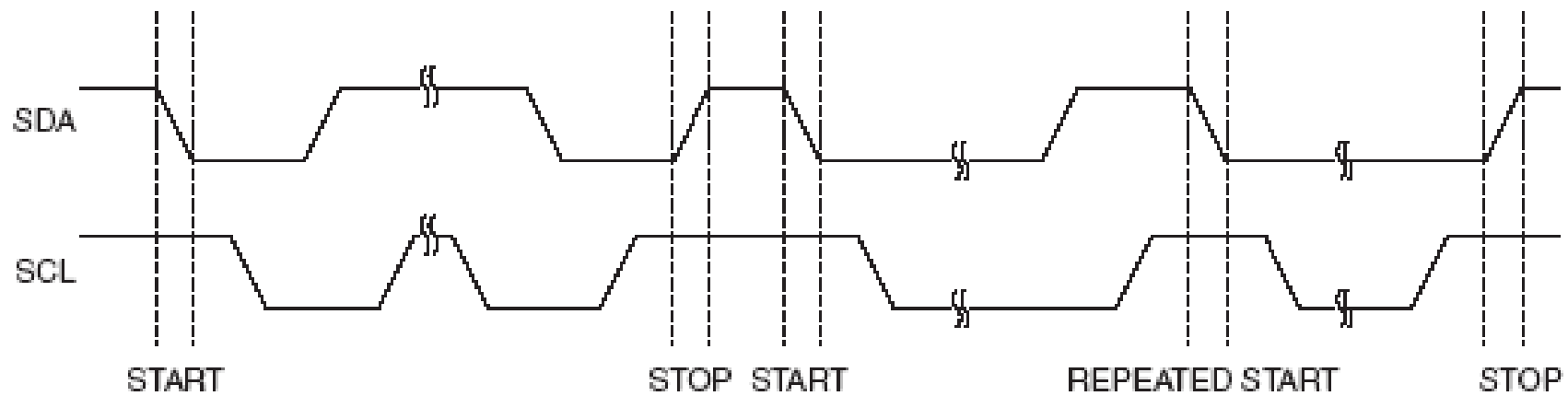
Interfejs magistrali dwuliniiowej (I2C)



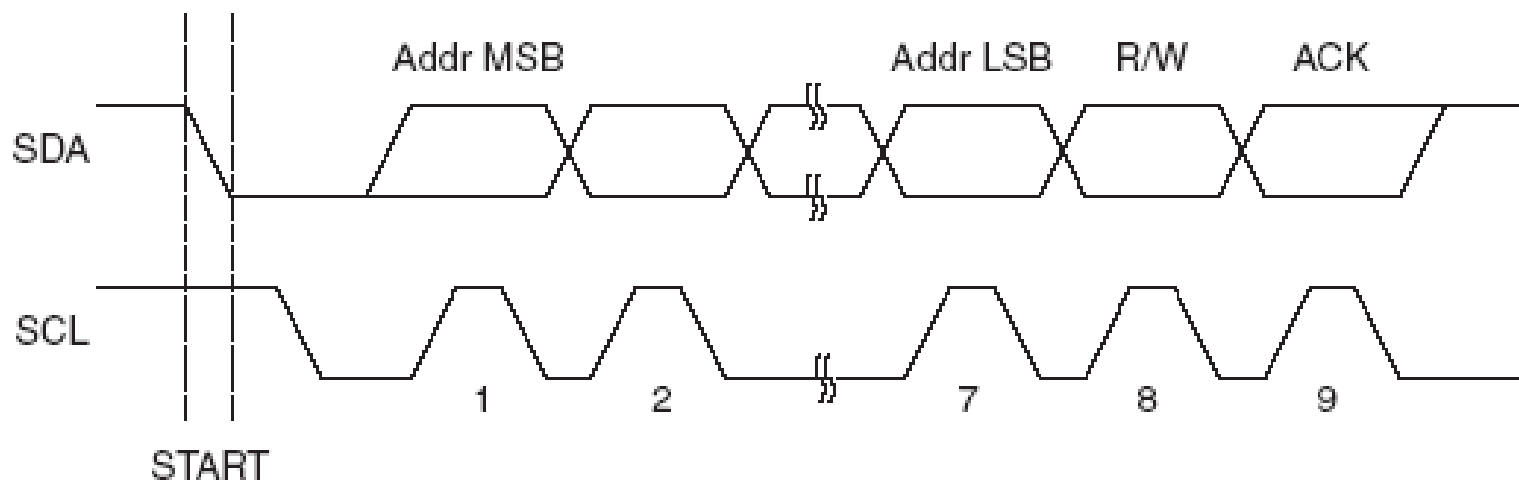
Przykładowe połączenie układów na magistrali I2C



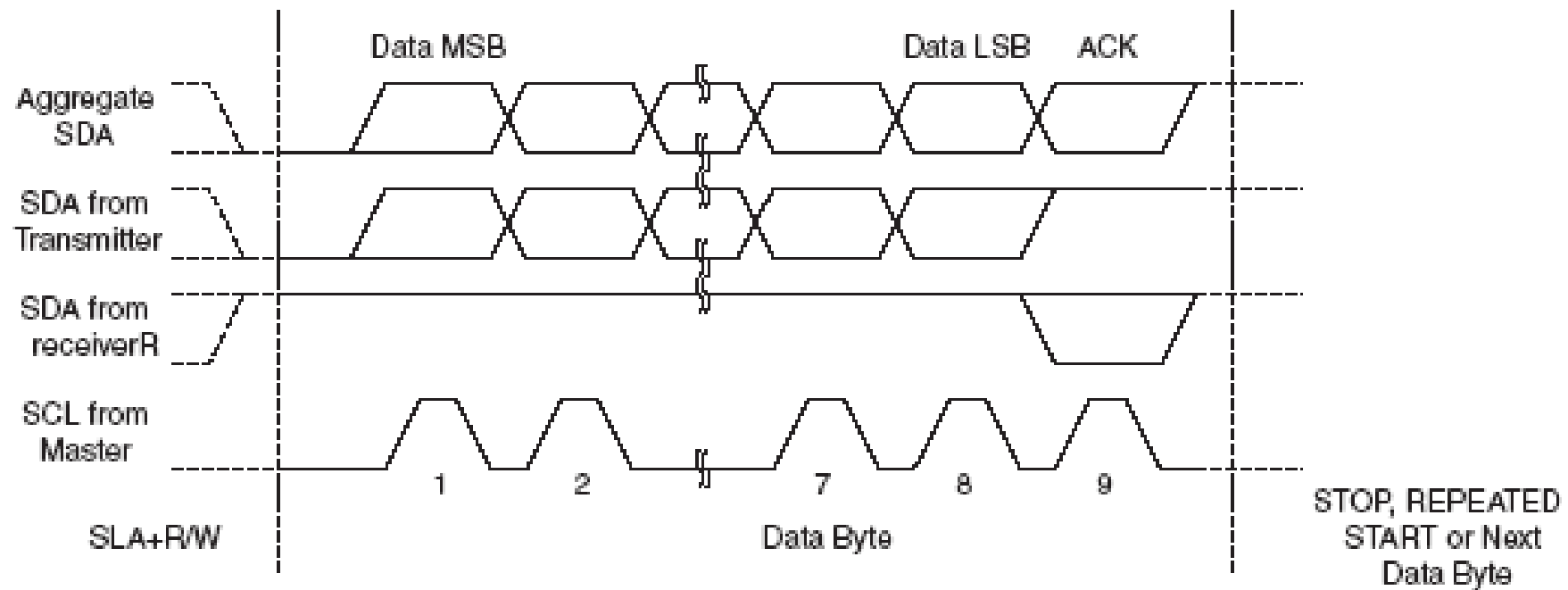
Współzależność między sygnałami SDA i SCL



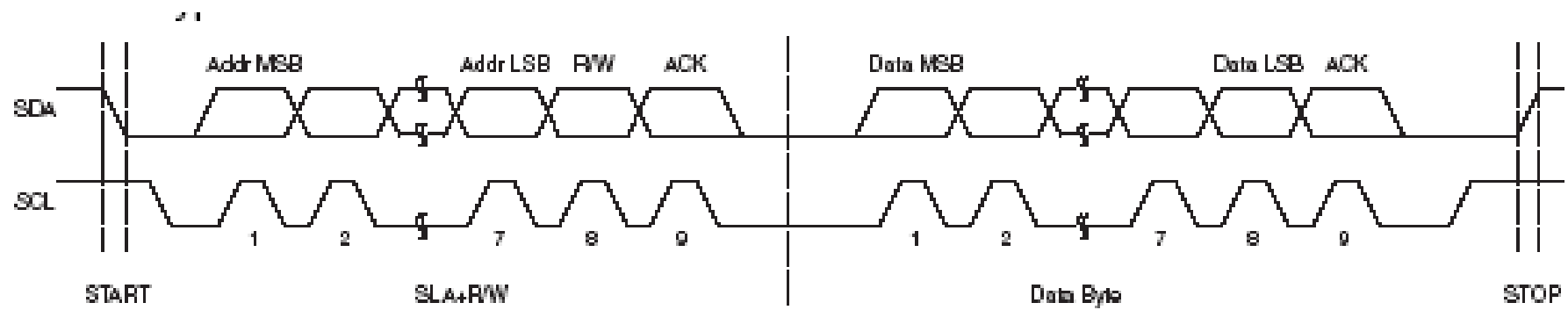
Sekwencje Start i Stop



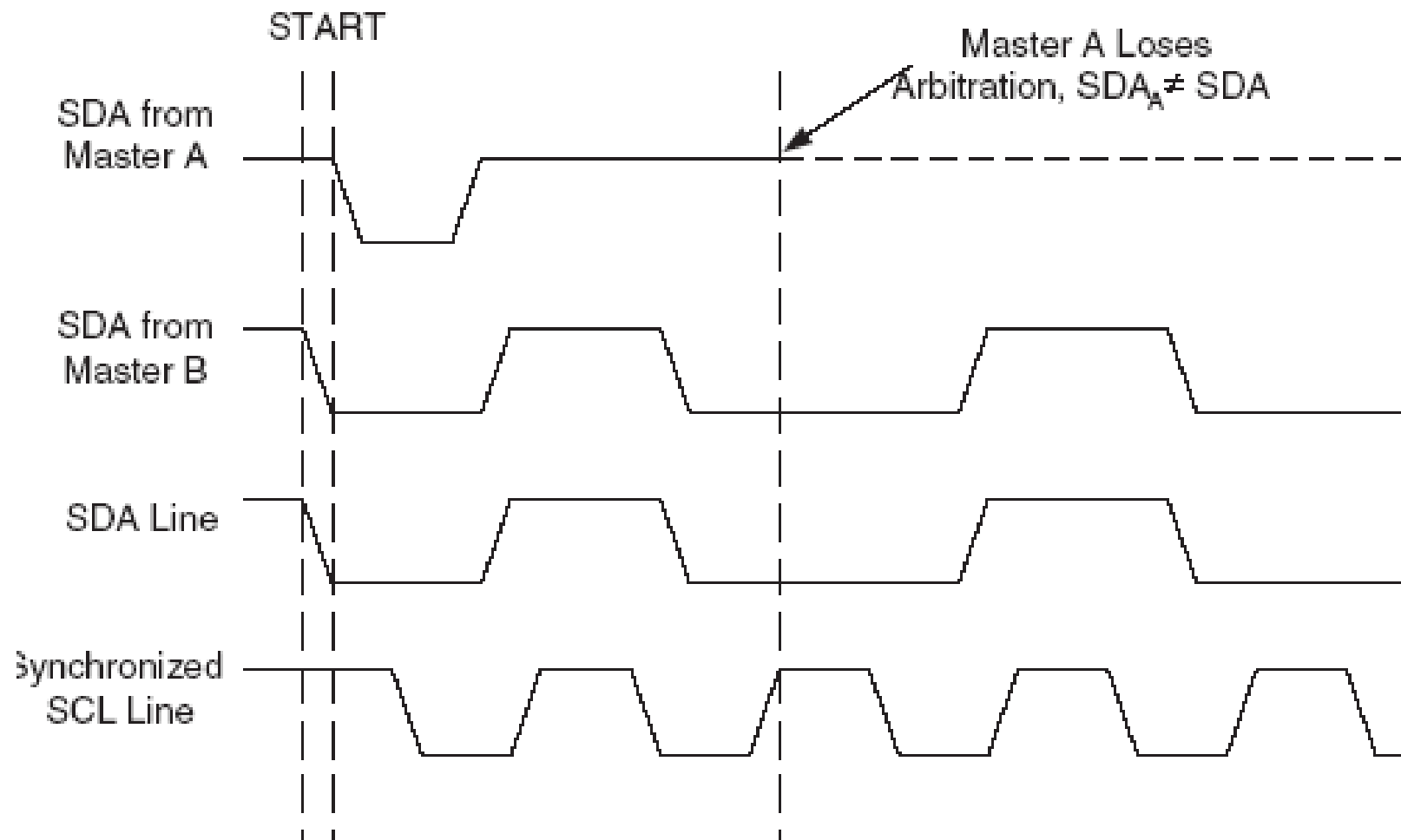
Adresacja urządzenia



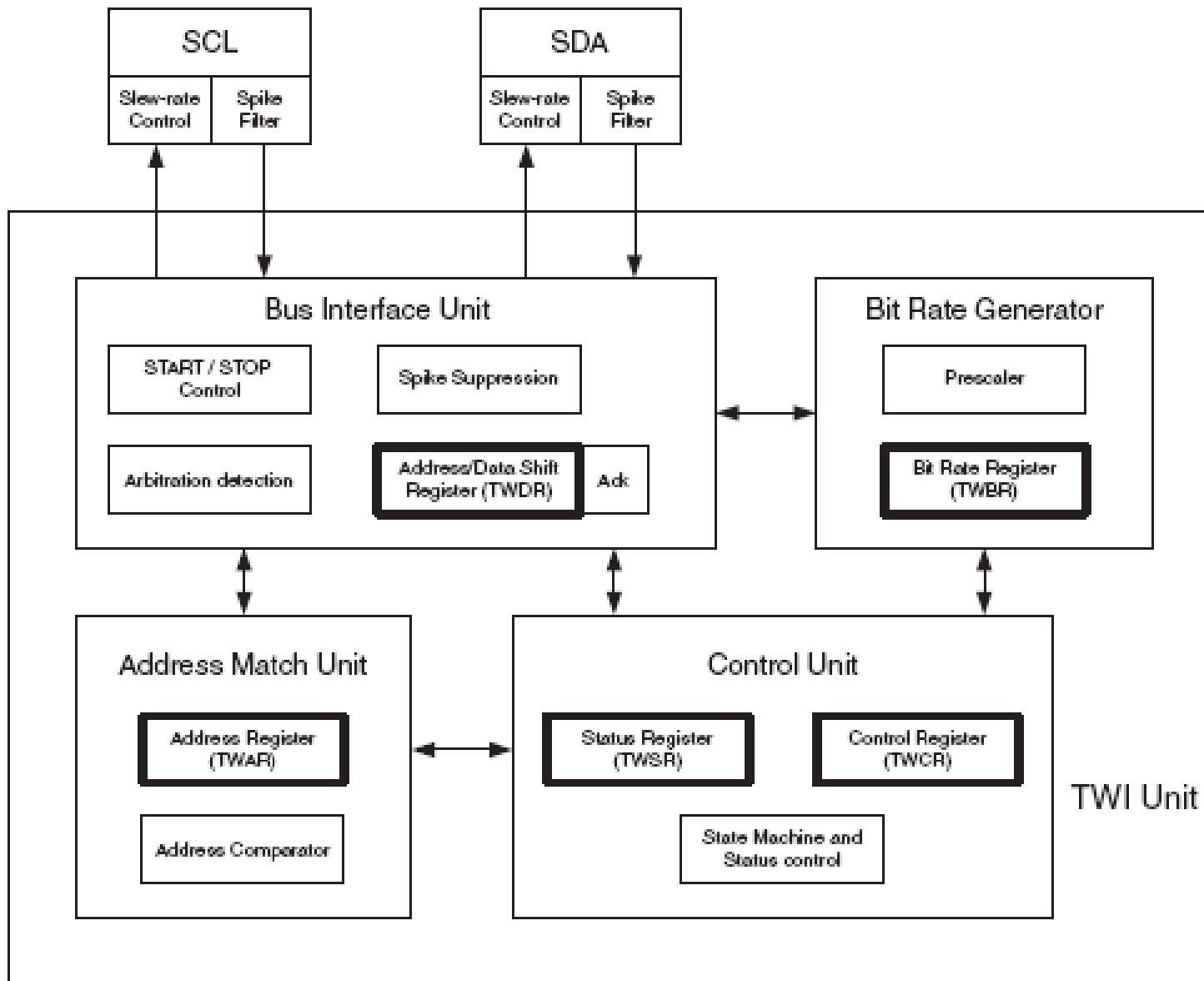
Przesyłanie danych



Typowa ramka transmisji danych



Arbitraż w przypadku dwóch układów Master



Schemat blokowy układu interfejsu magistrali I2C

TWINT- bit sygnalizujący koniec czynności na magistrali I2C

TWEA- bit zezwalający na generację sygnału akceptacji ACK

TWSTA- generacja sekwencji START (sprawdza zajętość linii SDA)
kasowany programowo

TWSTO- generacja sekwencji STOP

TWWC- bit detekcji kolizji na magistrali

TWEN- włączenie interfejsu I2C (aktywny stan wysoki)

TWIE- bit maski przerwań od interfejsu I2C

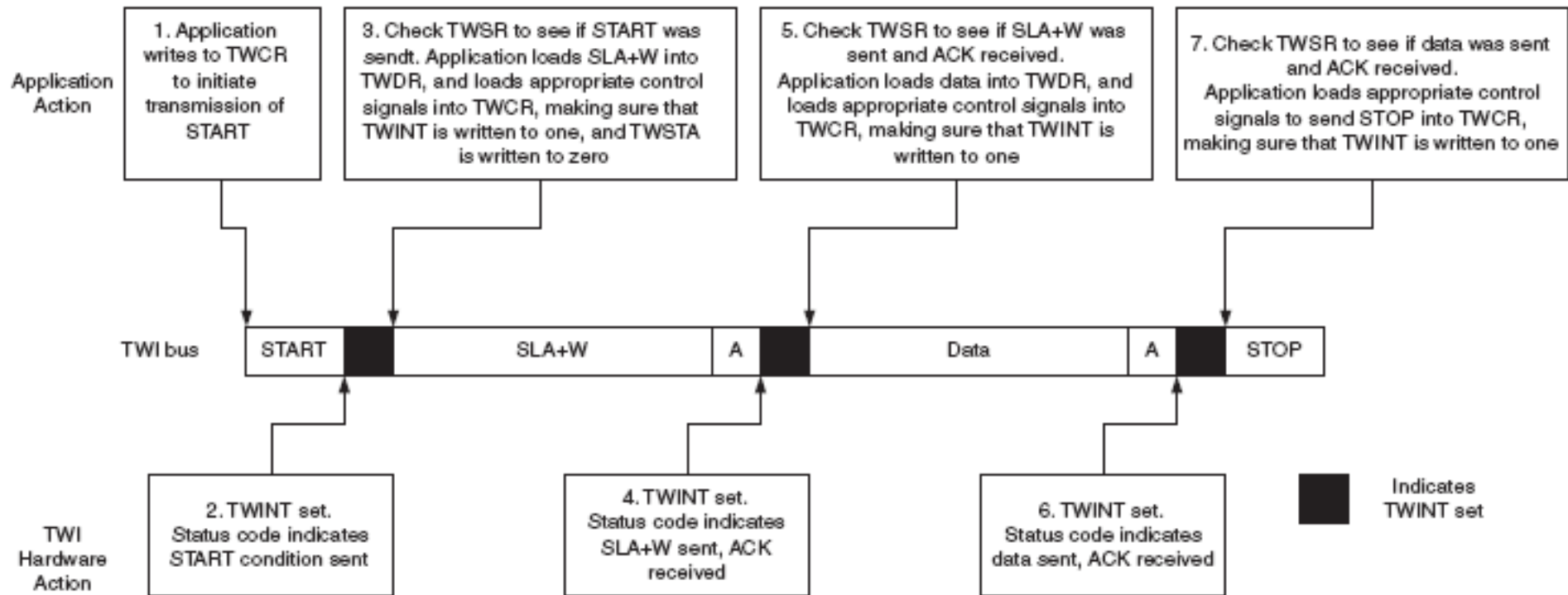
Rejestr statusowy magistrali I2C

Bit	7	6	5	4	3	2	1	0	
	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	1	1	1	1	1	0	0	0	

TWPS0, TWPS1- bity sterowania prescalerem

TWPS1	TWPS0	Prescaler Value
0	0	1
0	1	4
1	0	16
1	1	64

TWS7-TWS3- bity statusu interfejsu I2C



Przebieg transmisji na magistrali I2C- obsługa programowa

Application
Action

1. Application writes to TWCR to initiate transmission of START

3. Check TWSR to see if START was sent. Application loads SLA+W into TWDR, and loads appropriate control signals into TWCR, making sure that TWINT is written to one, and TWSTA is written to zero

5. C
App
loa
T

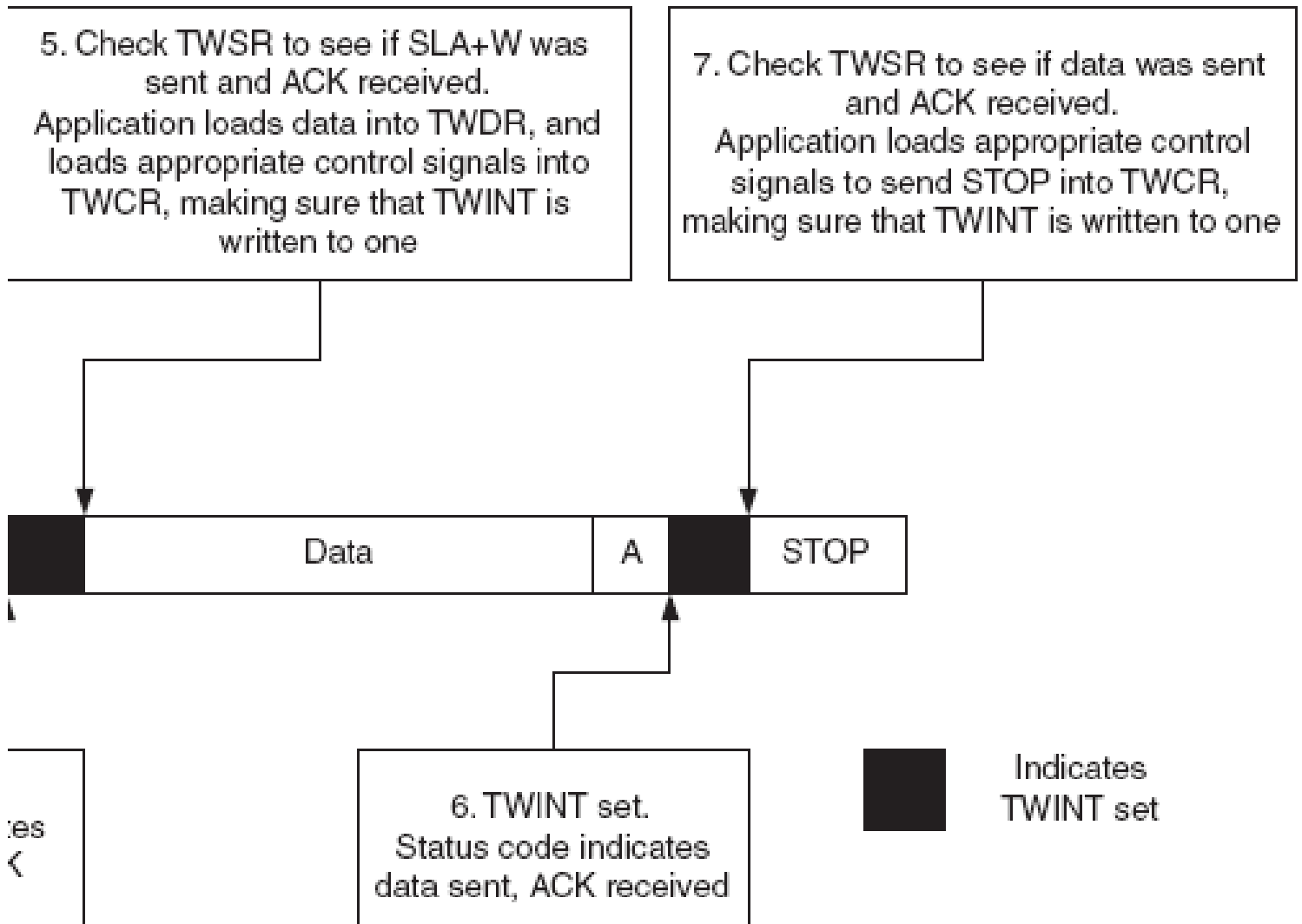
TWI bus



TWI
Hardware
Action

2. TWINT set.
Status code indicates
START condition sent

4. TWINT set.
Status code indicates
SLA+W sent, ACK
received



\$18	SLA+W has been transmitted; ACK has been received	Load data byte or	0	0	1	X	Data byte will be transmitted and ACK or NOT ACK will be received Repeated START will be transmitted STOP condition will be transmitted and TWSTO Flag will be Reset STOP condition followed by a START condition will be transmitted and TWSTO Flag will be Reset
		No TWDR action or	1	0	1	X	
		No TWDR action or	0	1	1	X	
\$20	SLA+W has been transmitted; NOT ACK has been received	Load data byte or	0	0	1	X	Data byte will be transmitted and ACK or NOT ACK will be received Repeated START will be transmitted STOP condition will be transmitted and TWSTO Flag will be reset STOP condition followed by a START condition will be transmitted and TWSTO Flag will be reset
		No TWDR action or	1	0	1	X	
		No TWDR action or	0	1	1	X	
\$28	Data byte has been transmitted; ACK has been received	Load data byte or	0	0	1	X	Data byte will be transmitted and ACK or NOT ACK will be received Repeated START will be transmitted STOP condition will be transmitted and TWSTO Flag will be reset STOP condition followed by a START condition will be transmitted and TWSTO Flag will be reset
		No TWDR action or	1	0	1	X	
		No TWDR action or	0	1	1	X	
		No TWDR action	1	1	1	X	

Przykłady statusu interfejsu I2C

Rejestr danych

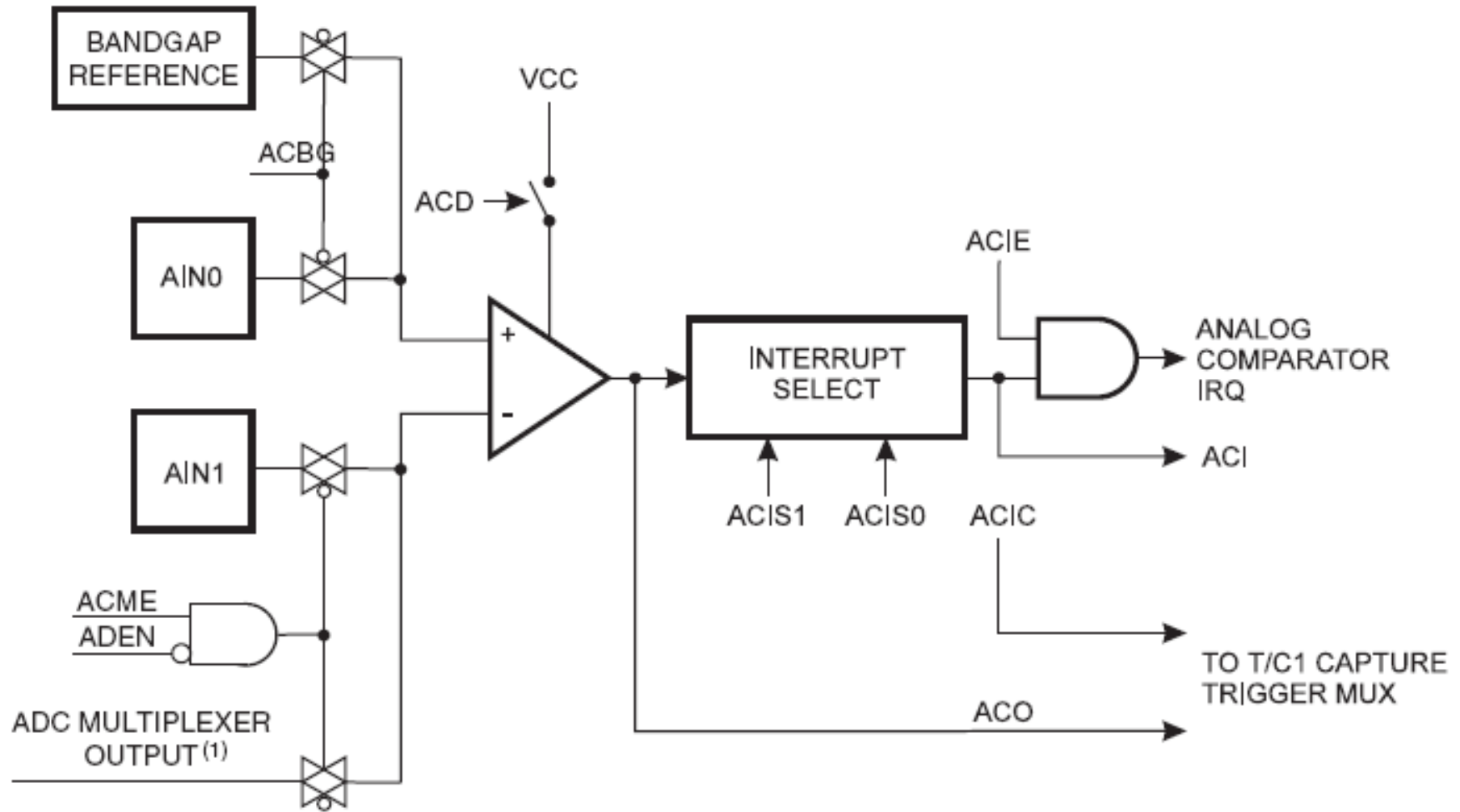
Bit	7	6	5	4	3	2	1	0	
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	1	1	1	1	1	1	1	

Rejestr adresu układu Slave

Bit	7	6	5	4	3	2	1	0	
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	1	1	1	1	1	1	0	

TWGCE- bit wywołania ogólnego

Komparator analogowy



Schemat blokowy

Rejestr specjalny SFIOR

Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ACME- wybór wejścia odwracającego komparatora. ACME=„0”
wejście AIN1

Rejestr kontrolno-sterujący ACSR

Bit	7	6	5	4	3	2	1	0	
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	N/A	0	0	0	0	0	

ACD- blokada komparatora

ACBG- dołączanie wejścia nieodwracającego do pinu AIN0 lub do napięcia referencyjnego

AC0- dołączenie wyjścia komparatora AC0 (z synchronizacją)

ACI- bit zgłoszenia przerwania

ACIE- bit maski przerwania od komparatora

ACIC- dołączenie wyjścia komparatora do funkcji Input Capture

ACIS1, ACIS0- tryb zgłaszania przerwania

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge
1	1	Comparator Interrupt on Rising Output Edge

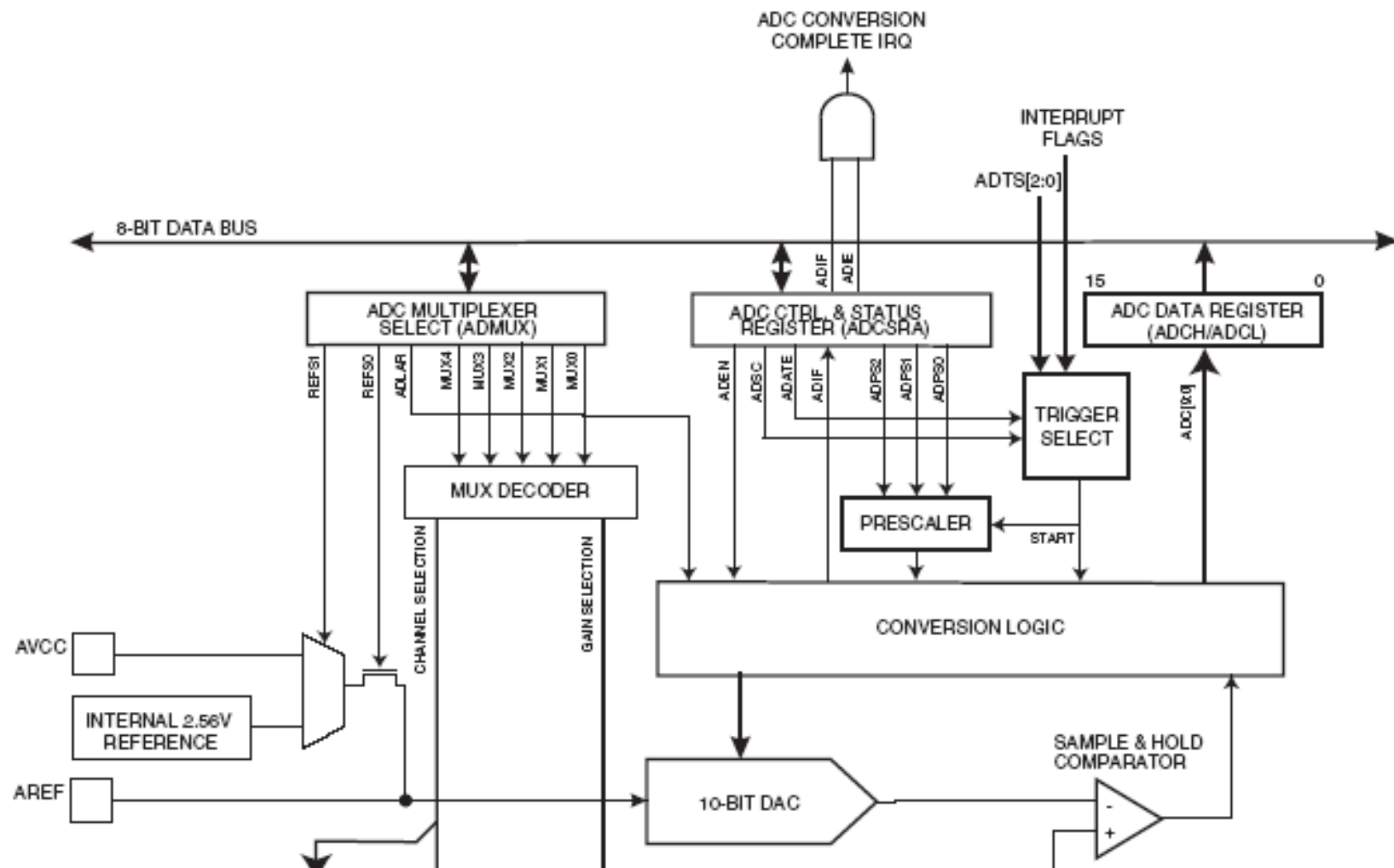
ACME	ADEN	MUX2..0	Analog Comparator Negative Input
0	x	xxx	AIN1
1	1	xxx	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2
1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6
1	0	111	ADC7

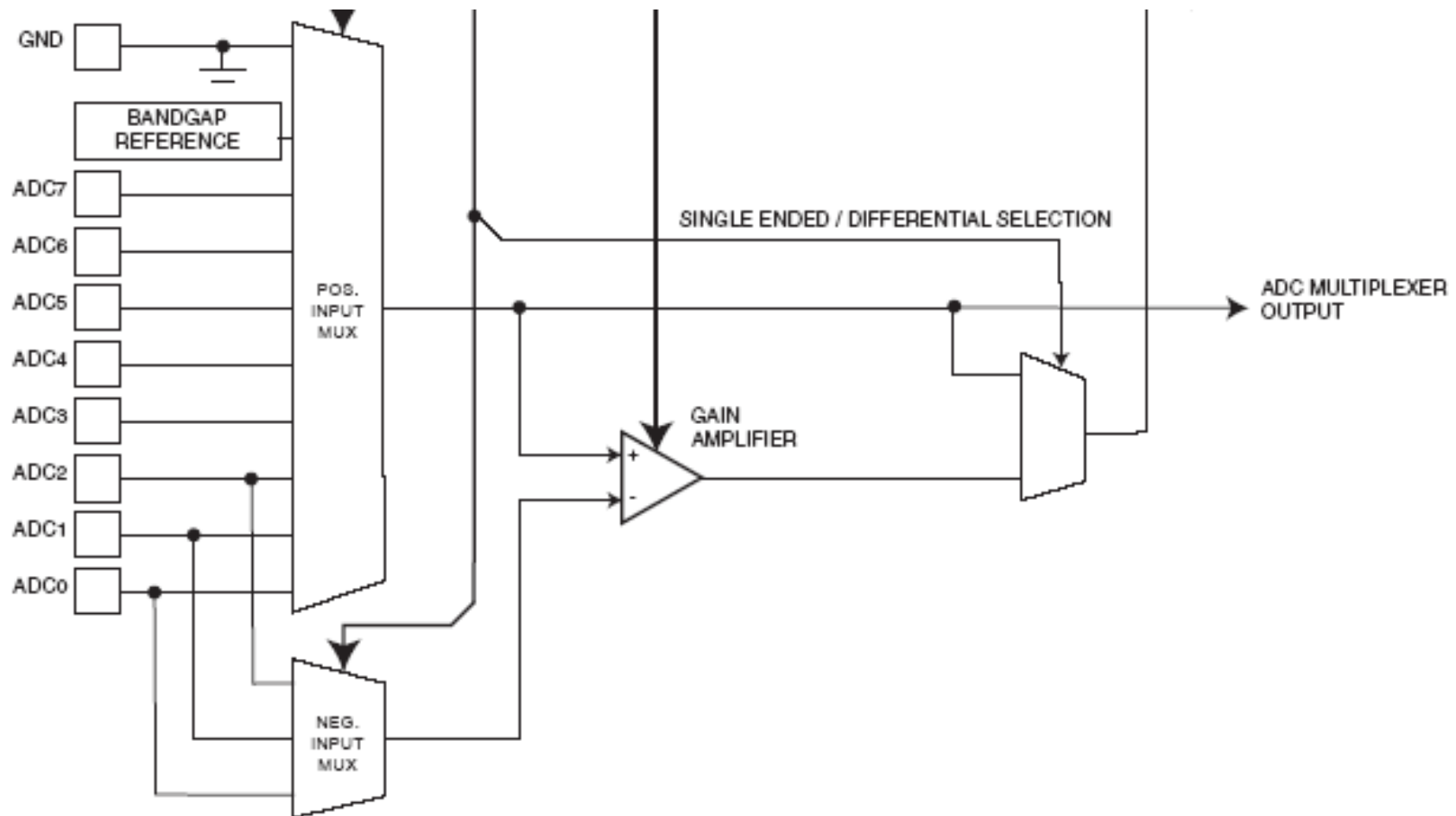
Multiplexowane wejście komparatora

Przetwornik AC

Cechy:

- rozdzielczość 10 bitów,
- mała nieliniowość- 0,5 LSB,
- dokładność ± 2 LSB,
- czas konwersji od 13 us do 260 us,
- 7 wejść różnicowych,
- 2 wejścia różnicowe z regulacją wzmocnienia x10 i x200,
- wybierane źródło napięcia referencyjnego,
- Możliwość wyboru źródła wyzwalań.





Zawartość rejestru ADMUX

ADC Multiplexer
Selection Register –
ADMUX

Bit	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Wybór źródła napięcia referencyjnego

Table 83. Voltage Reference Selections for ADC

REFS1	REFS0	Voltage Reference Selection
0	0	AREF, Internal Vref turned off
0	1	AVCC with external capacitor at AREF pin
1	0	Reserved
1	1	Internal 2.56V Voltage Reference with external capacitor at AREF pin

Bit5- ADLAR: decyduje o sposobie umieszczenia 10 bitowego wyniku konwersji w rejestrach wynikowych.

Bit4- MUX 4:0- decydują o sposobie dołączenia multipleksowanych wejść do przetwornika.

Konfiguracja połączeń wejść do przetwornika

MUX4..0	Single Ended Input	Positive Differential Input	Negative Differential Input	Gain
00000	ADC0	N/A		
00001	ADC1			
00010	ADC2			
00011	ADC3			
00100	ADC4			
00101	ADC5			
00110	ADC6			
00111	ADC7			
01000		ADC0	ADC0	10x
01001		ADC1	ADC0	
01010		ADC0	ADC0	200x
01011		ADC1	ADC0	

01100	N/A	ADC2	ADC2	10x
01101		ADC3	ADC2	
01110		ADC2	ADC2	200x
01111		ADC3	ADC2	
10000		ADC0	ADC1	1x
10001		ADC1	ADC1	
10010		ADC2	ADC1	
10011		ADC3	ADC1	
10100		ADC4	ADC1	
10101		ADC5	ADC1	
10110		ADC6	ADC1	
10111		ADC7	ADC1	
11000		ADC0	ADC2	
11001		ADC1	ADC2	
11010		ADC2	ADC2	
11011		ADC3	ADC2	
11100	ADC4	ADC2		

Bit7- ADEN: włączanie wyłączanie przetwornika AC (stan niski-
przetwornik wyłączony),

Bit6- ADSC: bit startu konwersji:

-w przypadku konwersji ciągłej wyzwala pierwszą konwersję,

-w przypadku trybu pracy pojedynczej konwersji wyzwala każdą z nich.

-Bit5- ADATE: bit zezwalający na auto wyzwalać konwersji przy pomocy dodatniego zbocza wybranego źródła wyzwalać, określonego bitami ADTS.

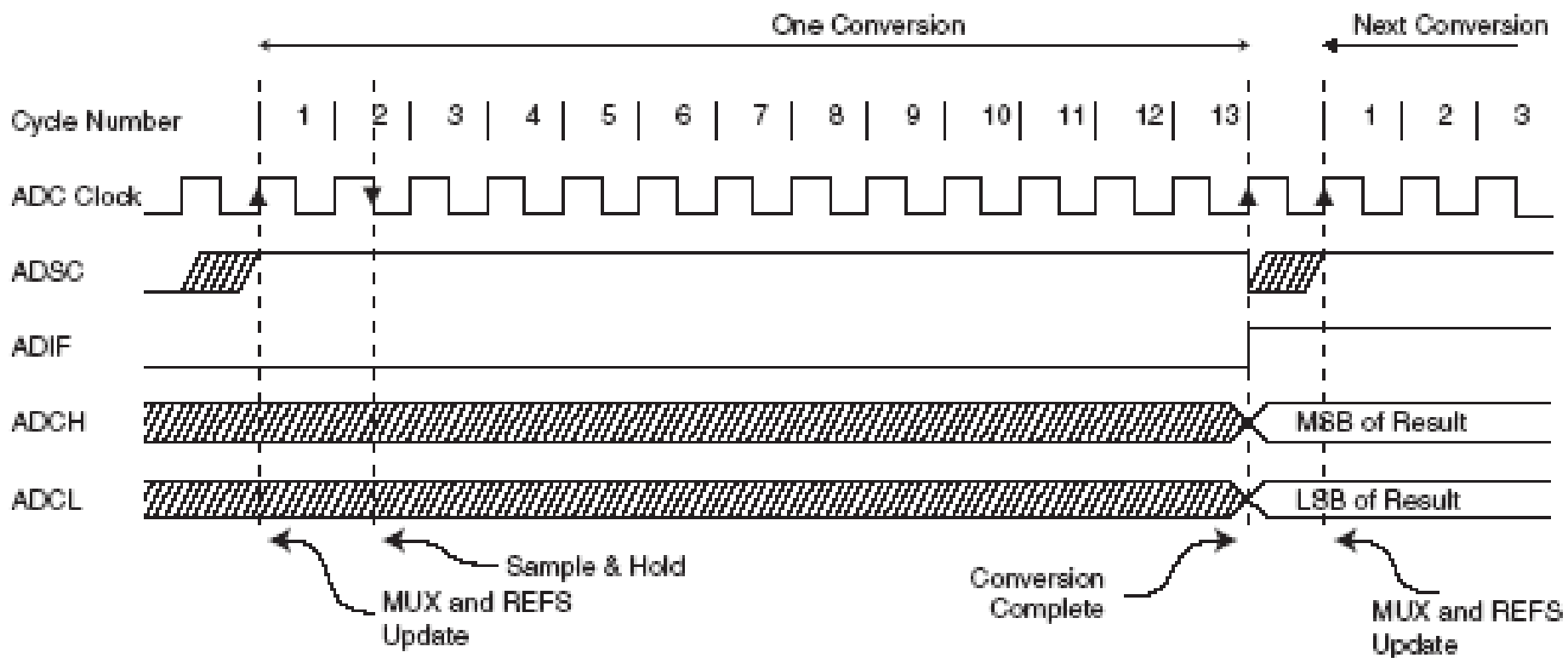
Bit4- ADIF: bit zgłoszenia przerwania końca konwersji przetwornika AC i zapisu wyniku (w interakcji wykonywana jest procedura obsługi, o ile bit ADIE jest ustawiony i bit I w rejestrze SREG jest ustawiony.

Bit3- ADIE- bit maski przerwania od przetwornika AC

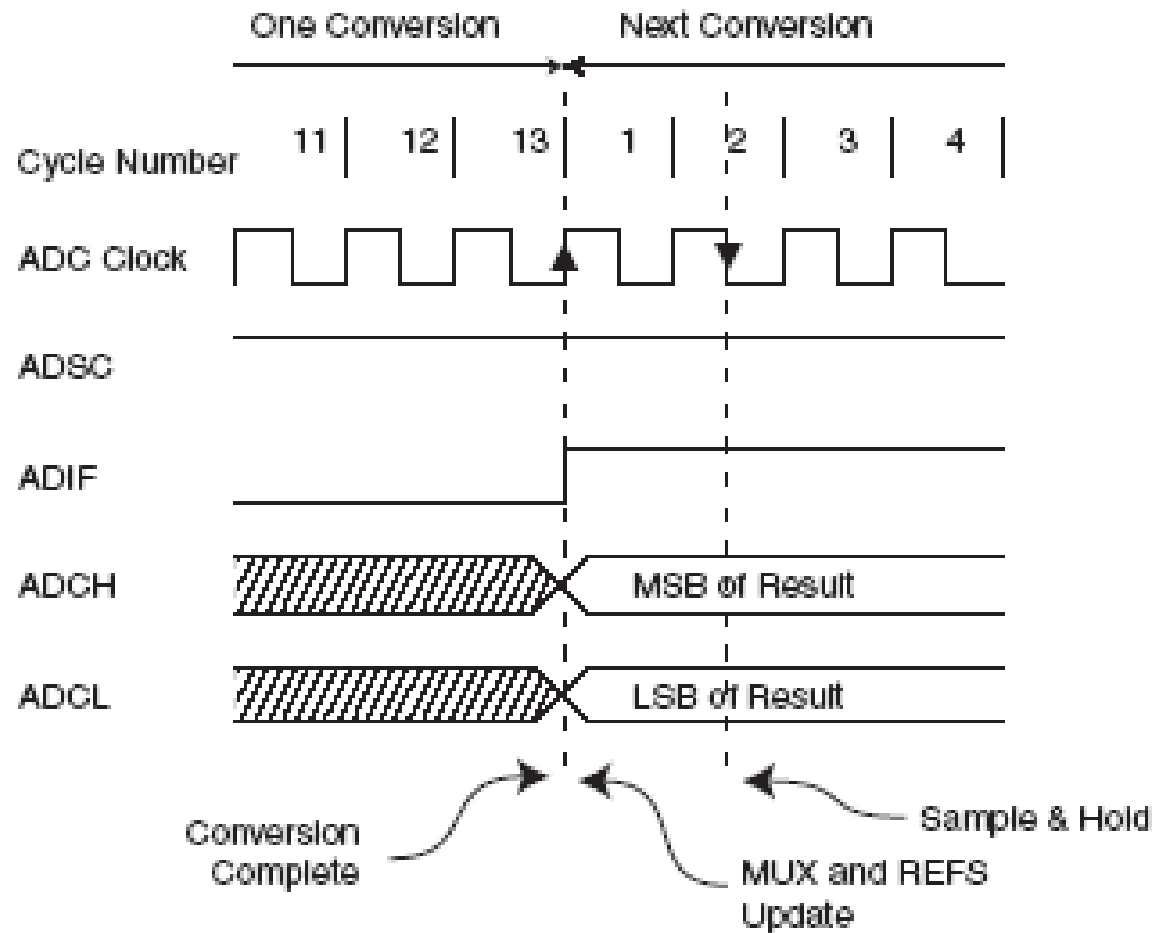
Bit-y 2-0: ADSP2:0: bity prescalera taktującego przetwornik AC

Możliwości ustawienia prescalera przetwornika AC

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

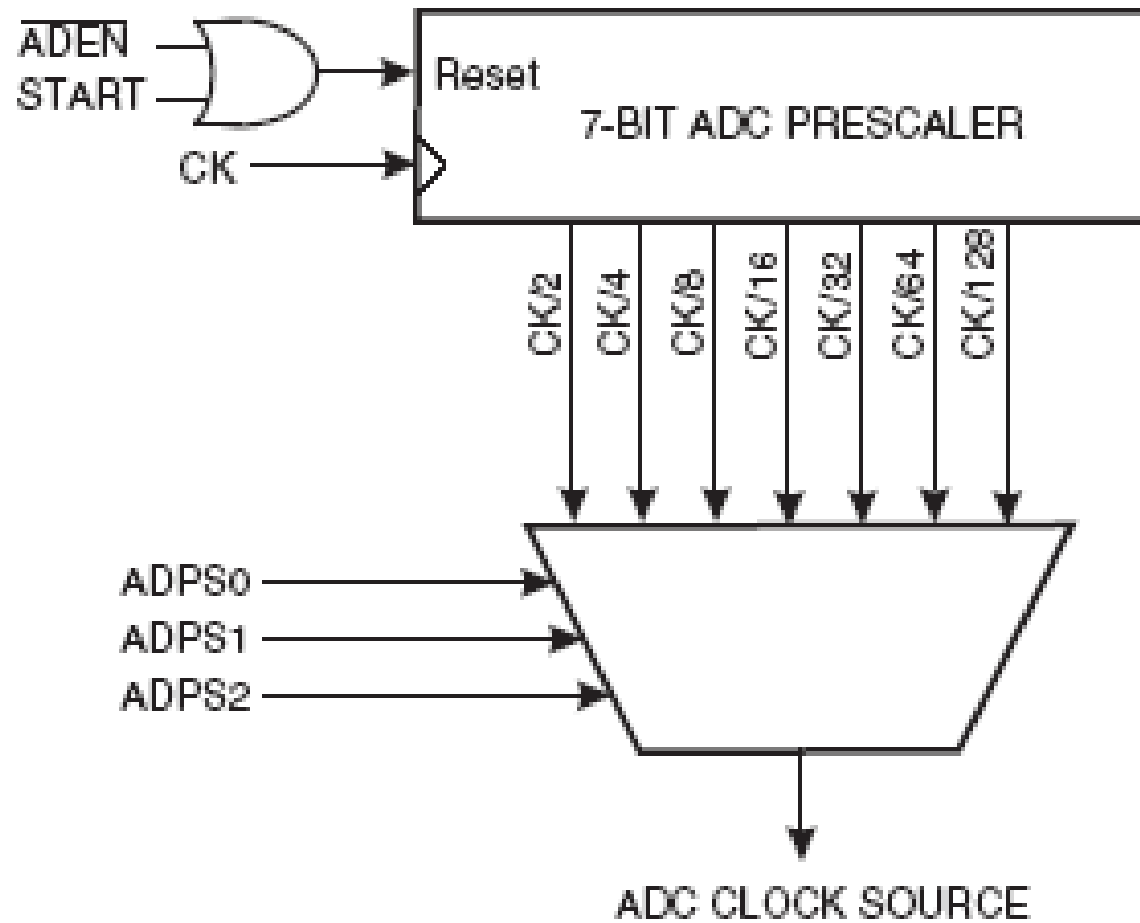


Przebiegi czasowe pojedynczej konwersji



Przebiegi czasowe przy wyzwalaniu ciągłym

Schemat blokowy prescalera układu taktowania przetwornika AC



Rejestr sterujący sposobem wyzwalania przetwornika AC-SFIOR

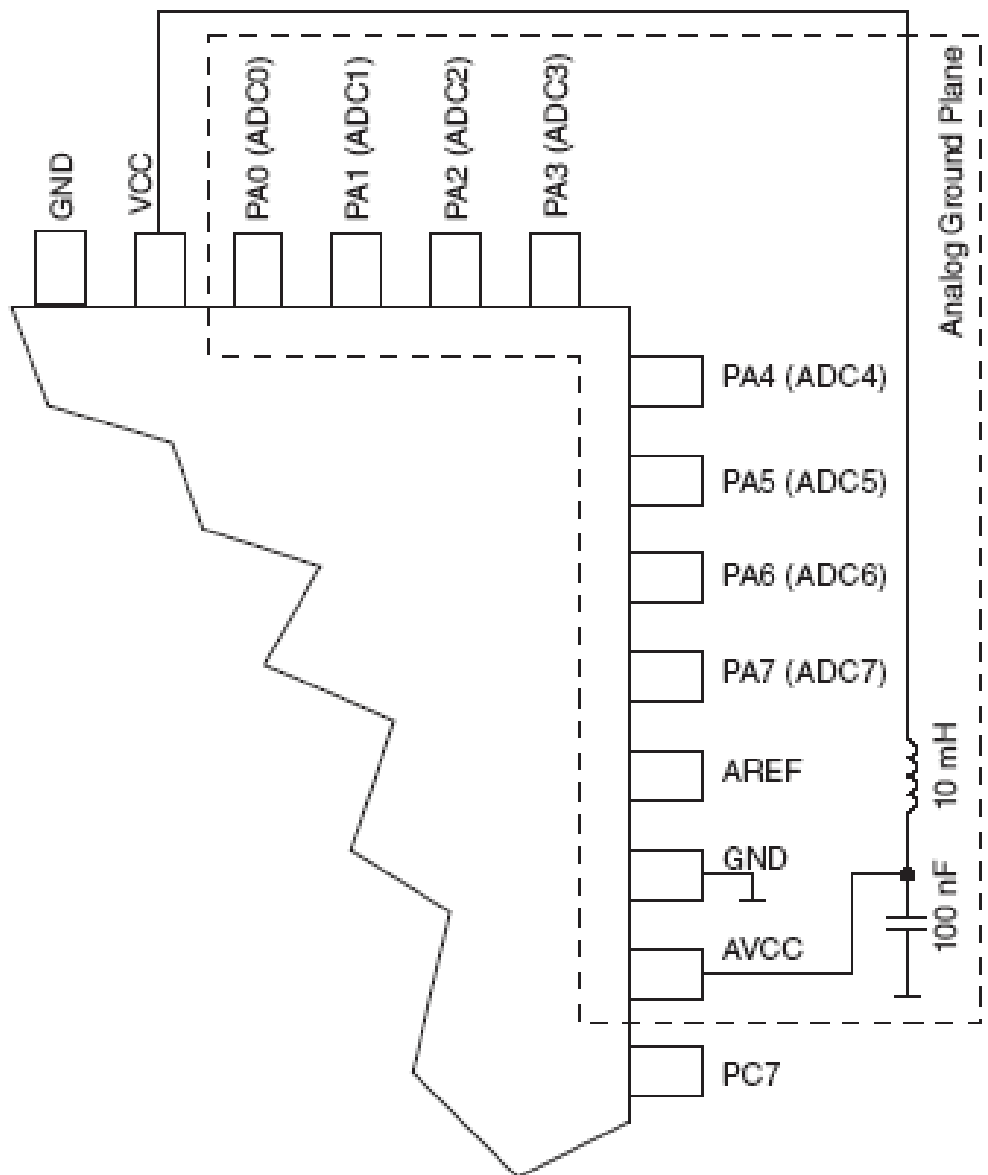
Special FunctionIO
Register – SFIOR

Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Źródła wyzwalania konwersji przetwornika AC

Table 86. ADC Auto Trigger Source Selections

ADTS2	ADTS1	ADTS0	Trigger Source
0	0	0	Free Running mode
0	0	1	Analog Comparator
0	1	0	External Interrupt Request 0
0	1	1	Timer/Counter0 Compare Match
1	0	0	Timer/Counter0 Overflow
1	0	1	Timer/Counter1 Compare Match B
1	1	0	Timer/Counter1 Overflow
1	1	1	Timer/Counter1 Capture Event



Połączenia elektryczne przy wykorzystaniu przetwornika AC

Najczęściej spotykane bity konfiguracyjne

Nazwa	Opis	Stan domyślny
BODEN	Włącza układ zerujący w przypadku nieodpowiedniego zasilania	1 (włączony)
BODLEVEL (2..0)	Ustawia poziom zadziałania BODEN	1
BOOTSZ (1..0)	Wielkość sekcji boot loadrea	00
CKDIV8	Włącza dzielenie zegara systemowego przez 8	0 (dzielenie przez 8)
CKOPT	Wymuszenie pracy oscylatora w pełnym zakresie napięć	1 (oscylacje ograniczone)
CKOUT	Dołącza wewnętrzny sygnał zegarowy do wyprowadzenia CLK0	1 (CLK0 jako port we-wy)
CKSEL (3..0)	Źródło zegara systemowego	0001 (wew. Oscylator RC)
DWEN	Włącza obsługę jednoprzewodowego interfejsu uruchomieniowego debugWIRE	1 (wyłączony)

Nazwa	Opis	Stan domyślny
EESAVE	Wymuszenie zachowania EEPROM przy kasowaniu pamięci mikrokontrolera	1 (nie zachowuje)
JTAGEN	Uaktywnia interfejs JTAG	0 (JTAG włączony)
OCDEN	Włącza tryb uruchomieniowy (On Chip Debug)	1 (OCD zablokowany)
RSTDISBL	Przełącza linie RSET do trybu pracy jako port we-wy	1 (RESET-zerowanie)
SELFPRGEN	Odblokowuje instrukcję programowania pamięci programu SPM	1 (spm zablokowane)
SPIEN	Włącza możliwość odczytu i programowanie przez SPI	0 (SPI włączone)
SUT (1..0)	Ustala opóźnienie działania po włączeniu zasilania	10
WDTON	Uaktywnia układ Watch Dog	1 (Watch Dog aktywny z poziomu programu)

Bity zabezpieczające

Zabezpieczenie pamięci Flash i EEPROM przy dostępie zewnętrznym

LB2	LB1	Znaczenie
1	1	Brak zabezpieczeń
1	0	Zapis pamięci niedozwolony
0	0	Zapis, odczyt i weryfikacja pamięci niedozwolone

Ograniczenie dostępu do pamięci programu instrukcjami LPM i SPM

BLB12	BLB11	BLB02	BLB01	Znaczenie
Dostęp do programu aplikacji		1	1	Brak zabezpieczeń.
		1	0	Zapis sekcji aplikacji niedozwolony.
		0	0	Zapis sekcji aplikacji niedozwolony, Program boot loadera nie może odczytywać sekcji aplikacji.
		0	0	Program boot loadera nie może odczytywać sekcji aplikacji.
1	1	Dostęp do programu boot loadera		Brak zabezpieczeń.
1	0			Zapis sekcji boot loadera niedozwolony.
0	1			Zapis sekcji boot loadera niedozwolony. Program aplikacji nie może odczytywać sekcji boot loadera.
0	0			Program aplikacji nie może odczytywać sekcji boot loadera.

Układy zarządzania energią

Ograniczenie poboru mocy:

- zredukowanie częstotliwości zegara,
- wykorzystania trybów wstrzymania (sleep modes).

Wstrzymywanie systemu możliwe przy użyciu instrukcji *SLEEP*.

Interakcje w mikrokontrolerze:

- nie pracuje jednostka centralna,
- pamięć danych zachowywana,
- rejstry wejścia wyjścia zachowywane,
- układy peryferyjne pracują w zależności od trybu uśpienia.

Wyjście z trybu uśpienia:

- poprzez jeden z sygnałów zerujących RESET,
- przez przerwanie (wtedy wejście do procedury obsługi i powrót do następnej instrukcji po sleep).

Tryby uśpienia układu

SM2	SM1	SM0	Tryb	Opis
0	0	0	Idle	CPU wstrzymane
0	0	1	ADC noise reduction	CPU wyłączone, USART i SPI wyłączone, powrót przez przerwanie od przetwornika
0	1	0	Power-down	Większość peryferiów wyłączonych, CPU wyłączone, zegar systemowy wyłączony, działają układy asynchroniczne względem głównego zegara np.. TWI.
0	1	1	Power-save	Jak Power-down lecz działanie licznika T0 w trybie asynchronicznym możliwe.
1	1	0	Standby	Jak Power-down, zewnętrzny rezonator, zegar systemowy pracuje
1	1	1	Extended standby	Jak Power-save, zewnętrzny rezonator, zegar systemowy pracuje

Wstrzymywanie pracy poszczególnych modułów

Bity sterujące rejestru PRR

7	6	5	4	3	2	1	0
PRTWI	PRTIM2	PRTIMO	PRLCD	PRTIM1	PRSPI	PRUSAR T0	PRADC

PRTWI- wstrzymywanie portu I2C

PRTIM2- wstrzymywanie licznika T2

PRTIM0- wstrzymywanie licznika T0

PRLCD- wyłączanie interfejsu LCD

PRTIM1- wstrzymywanie licznika T1

PRSPI- wstrzymywanie portu SPI

PRUSART0- wstrzymywanie interfejsu USART0

PRADC- wstrzymywanie przetwornika AC

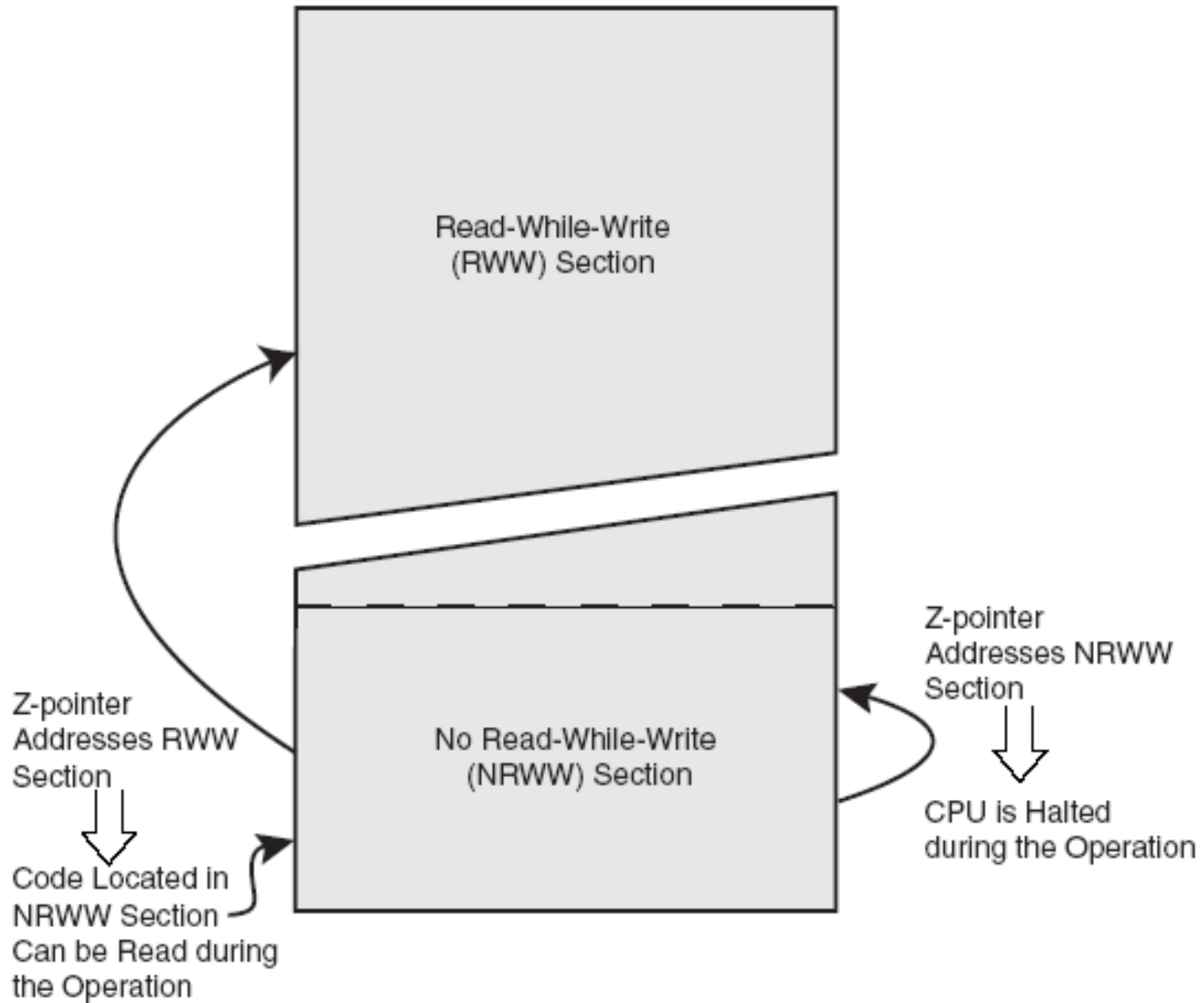
Pamięć programu flash

W przypadku stosowania programu Boot-loadera obszar pamięci programu można podzielić na dwa obszary:

Sekcja **RWW** (Read-While-Write),

Sekcja **NRWW** (No-Read-While_Write).

Jeśli w danym momencie trwa zapis RWW (dolna część pamięci programu), odczyt górnej części NRWW jest niemożliwy.



Organizacja pamięci programu- flash

Zapis pamięci programu- Flash

Do zapisu pamięci programu służy rozkaz: *SPM*

Rejestrem sterującym pracą rozkazu *SPM* jest rejestr sterujący **SPMCR** lub **SPMCSR**.

7	6	5	4	3	2	1	0
SPMIE	RWWSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN

Bit7- SPMIE: bit maski przerwania przy gotowości do zapisu.

Bit6- RWWSB: zajętość sekcji RWW (trwa zapis)

Bit4- RWWSRE: zwalnianie zajętości obszaru RWW

Bit3- BBSET: programowanie i odczyt bitów strujących

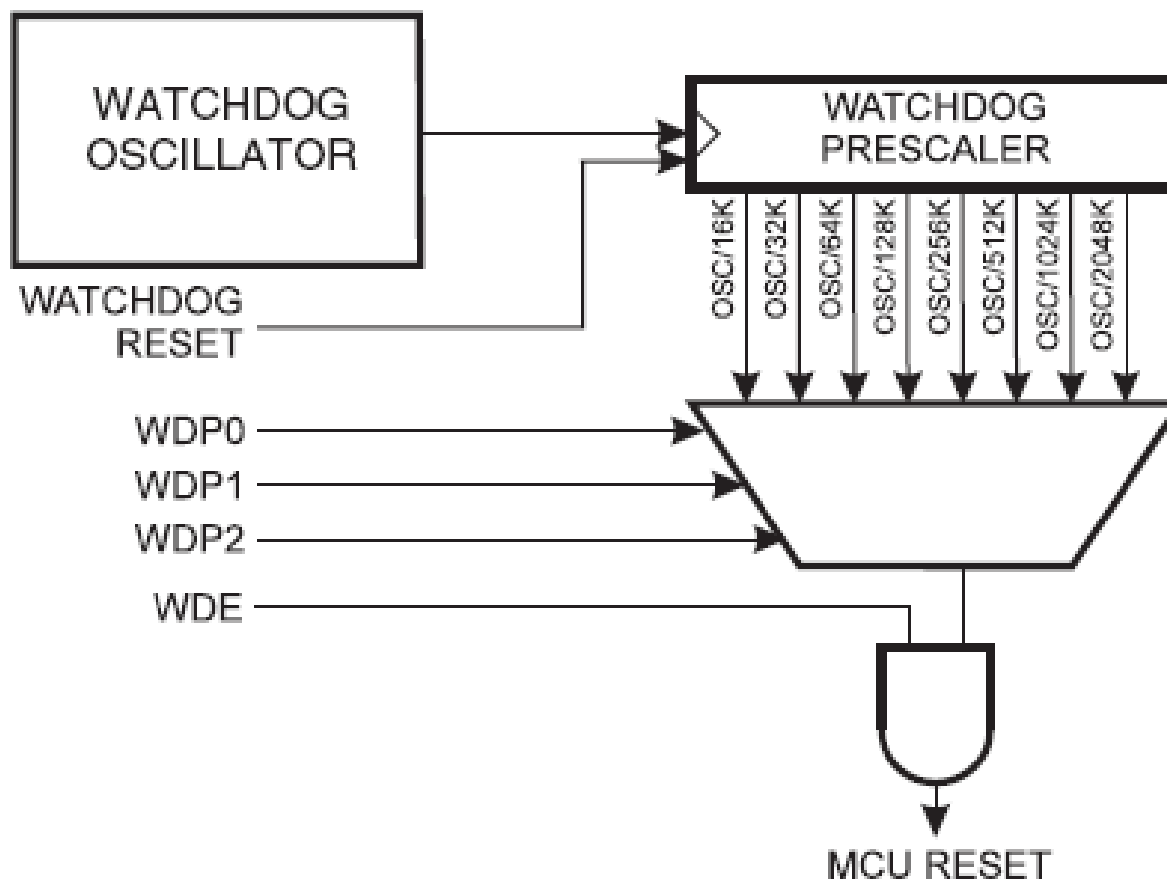
Bit2- PGWRT: zapis strony pamięci programu

Bit1- PGERS: kasowanie strony pamięci programu

Bit0- SPMEN: zezwolenie na zapis

Układ kontroli poprawności wykonywania programu Watch-Dog

Układ jest taktowany odrębnym wewnętrznym sygnałem zegarowym o częstotliwości 1MHz.



Schemat blokowy układu Watch-Dog

Rejestr kontrolny układu Watch-Dog: WDTCR

Bit	7	6	5	4	3	2	1	0									
	<table border="1"><tr><td>-</td><td>-</td><td>-</td><td>WDTOE</td><td>WDE</td><td>WDP2</td><td>WDP1</td><td>WDP0</td></tr></table>								-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0										
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W									
Initial Value	0	0	0	0	0	0	0	0									

Bit4- WDTOE: bit zabezpieczający przed przypadkowym wyłączeniem modułu WDT, musi być ustawiony najwcześniej na cztery takty zegara przed wyłączeniem WDT

Bit3- WDE: włączanie WDT (przy wyłączeniu należy ustawić bit WDTOE)

Bit2..0- WDP 2..0: nastawa prescalera WDT

W nowszych wersjach układu ATmega dodano bity:

Zwiększający ilość kombinacji prescalera, maskę przerwania od układu WDT, bit zgłoszenia przerwania od WDT.

Możliwości nastawy prescalera Watch Doga

TABLE 11. Watchdog timer prescaler select

WDP2	WDP1	WDP0	Number of WDT Oscillator Cycles	Typical Time-out at $V_{CC} = 3.0V$	Typical Time-out at $V_{CC} = 5.0V$
0	0	0	16K (16,384)	17.1ms	16.3ms
0	0	1	32K (32,768)	34.3ms	32.5ms
0	1	0	64K (65,536)	68.5ms	65ms
0	1	1	128K (131,072)	0.14s	0.13 s
1	0	0	256K (262,144)	0.27s	0.26s
1	0	1	512K (524,288)	0.55s	0.52s
1	1	0	1,024K (1,048,576)	1.1s	1.0s
1	1	1	2,048K (2,097,152)	2.2s	2.1s

Informacje o „przeszłości” działania mikrokontrolera sprzed zerowania.

Rejestr specjalny MCUSCR

Bit	7	6	5	4	3	2	1	0		
	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUSCR	
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W		
Initial Value	0	0	0	See Bit Description						

Bit4- JTRF: powodem zerowania była komenda zerująca interfejsu JAG,

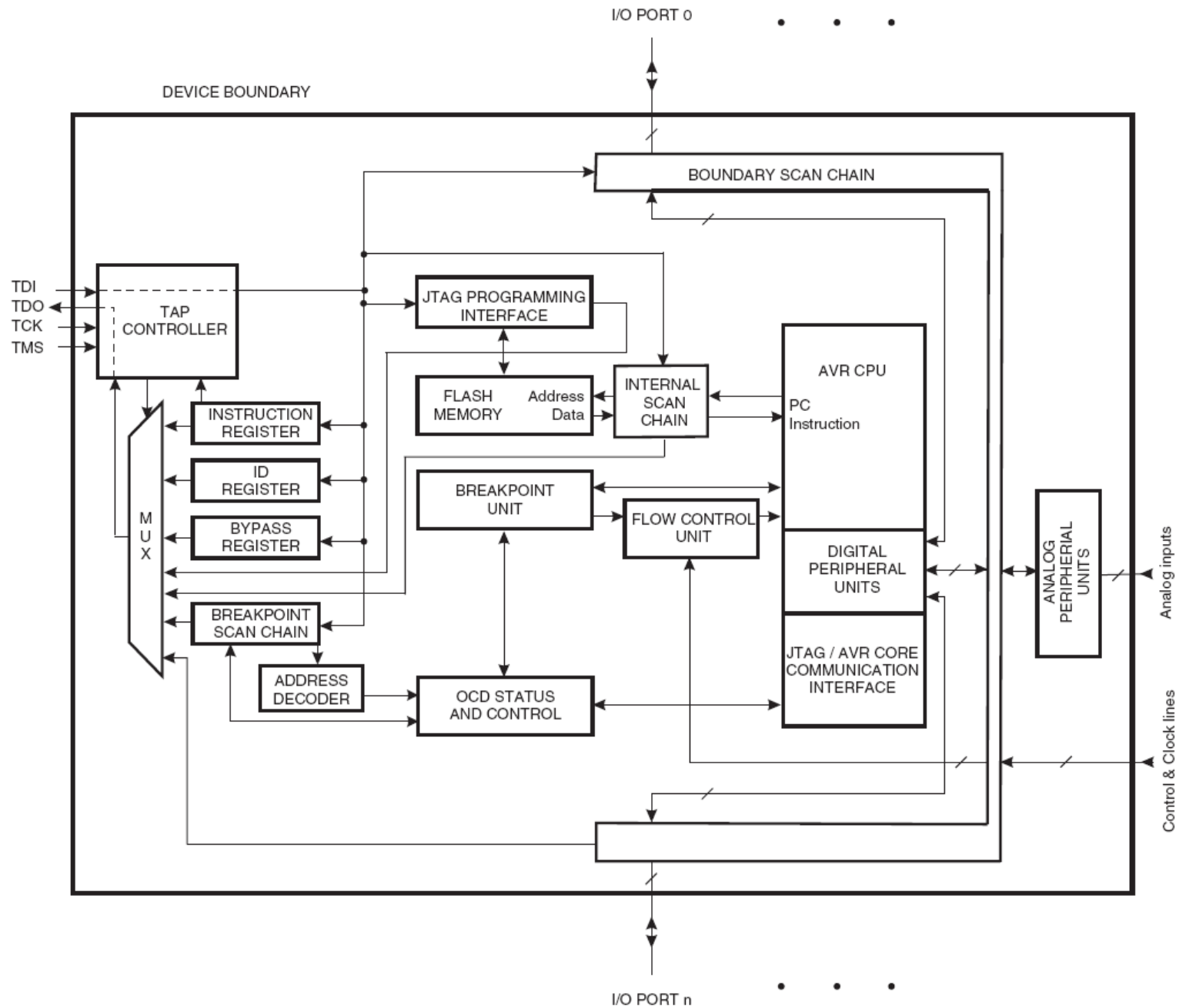
Bit3- WDRF: powodem zerowania było przepełnienia Watch-Doga,

Bit2- BORF: powodem zerowania było nieprawidłowe napięcie zasilające,

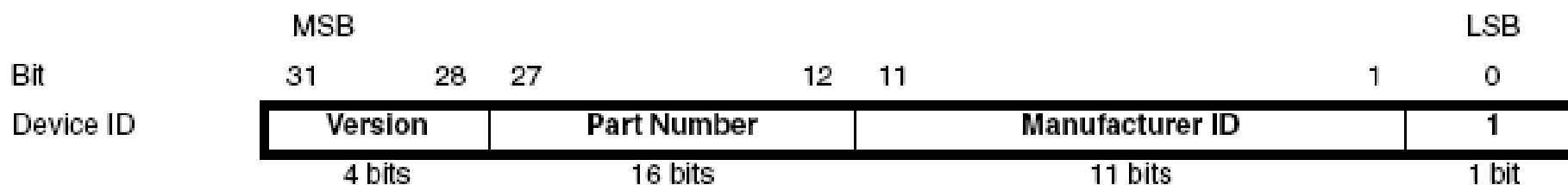
Bit1- EXTRF: powodem zerowania zewnętrzny sygnał RESET,

Bit0- PORF: nastąpiło wyłączenie zasilania.

Port JTAG mikrokontrolera



Rejestr identyfikatora układu



Numer serii

Part Number	JTAG Part Number (Hex)
ATmega32	0x9502

Informacje o produkcencie

TABLE 33. Manufacturer ID

Manufacturer	JTAG Man. ID (Hex)
Atmel	0x01F

Rejestr kontrolno sterujący- MCUCSR

Bit	7	6	5	4	3	2	1	0	
	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	See Bit Description					

Bit7- JTD: wyłączanie interfejsu JTAG

Bit4- JTRF: bit informujący o zerowaniu od JTAG

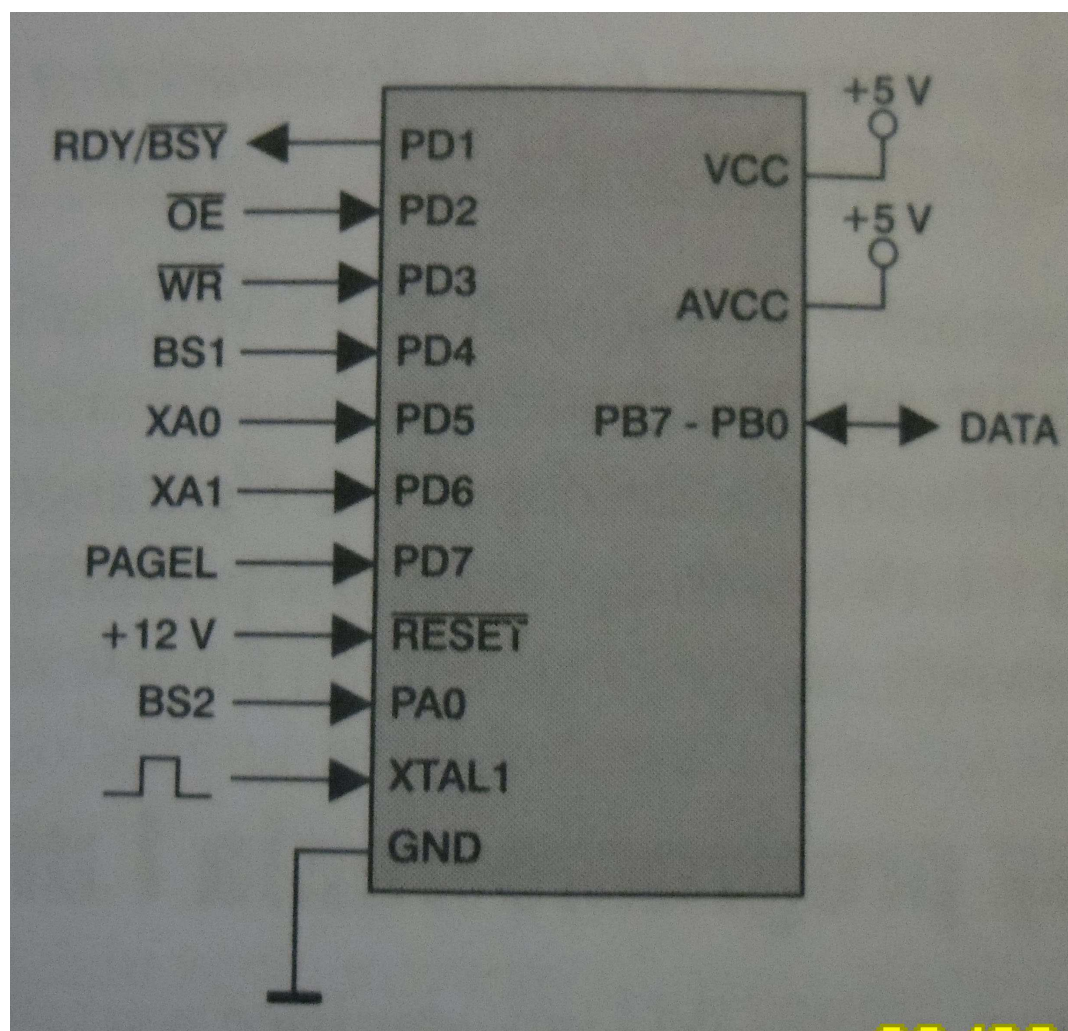
Rejestr kontrolno sterujący- OCDR

Bit	7	6	5	4	3	2	1	0	
	MSB/IDRD							LSB	OCDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

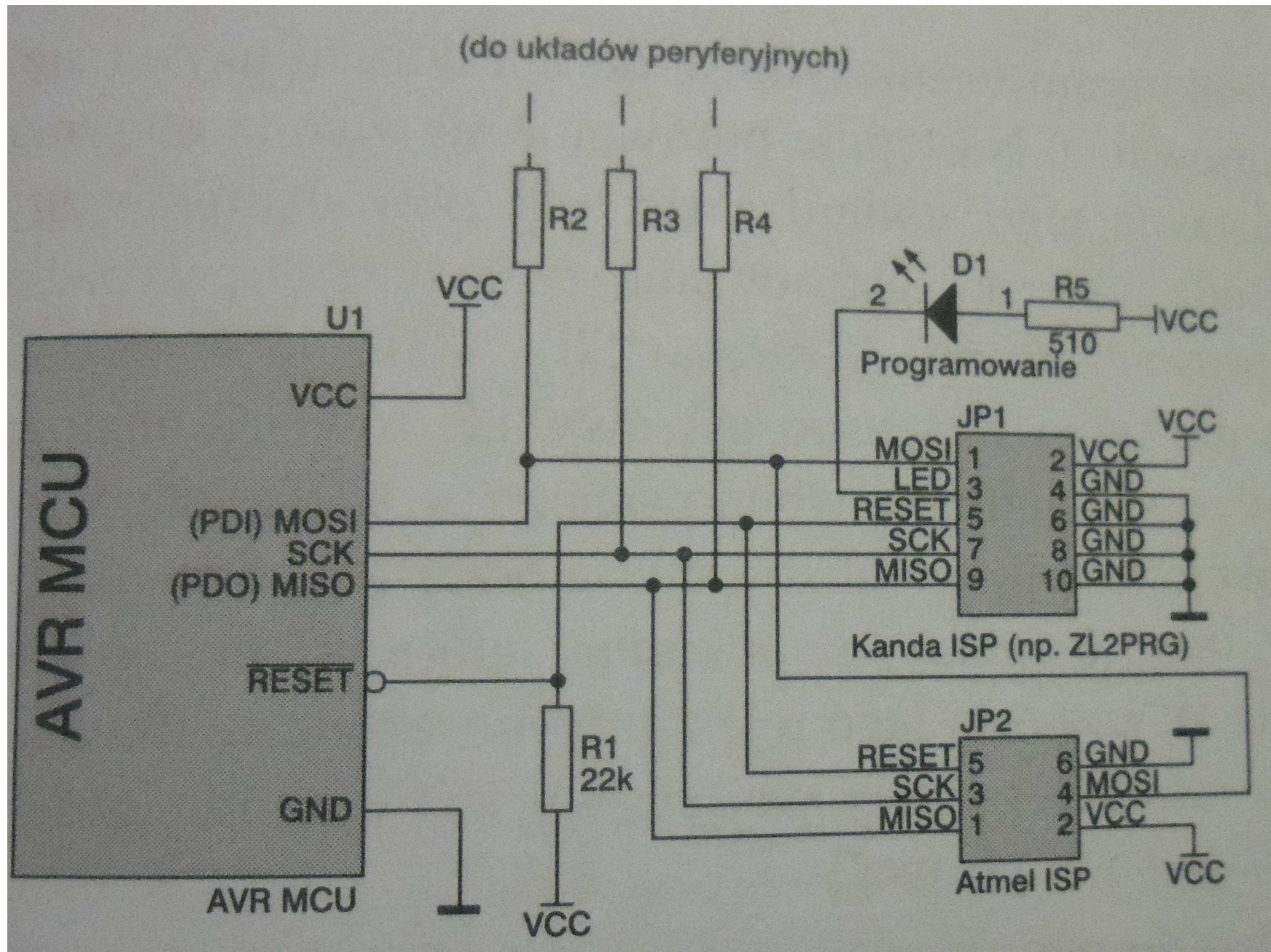
Bit włączenia debugowania programu

Interfejsy programowania i uruchomieniowe

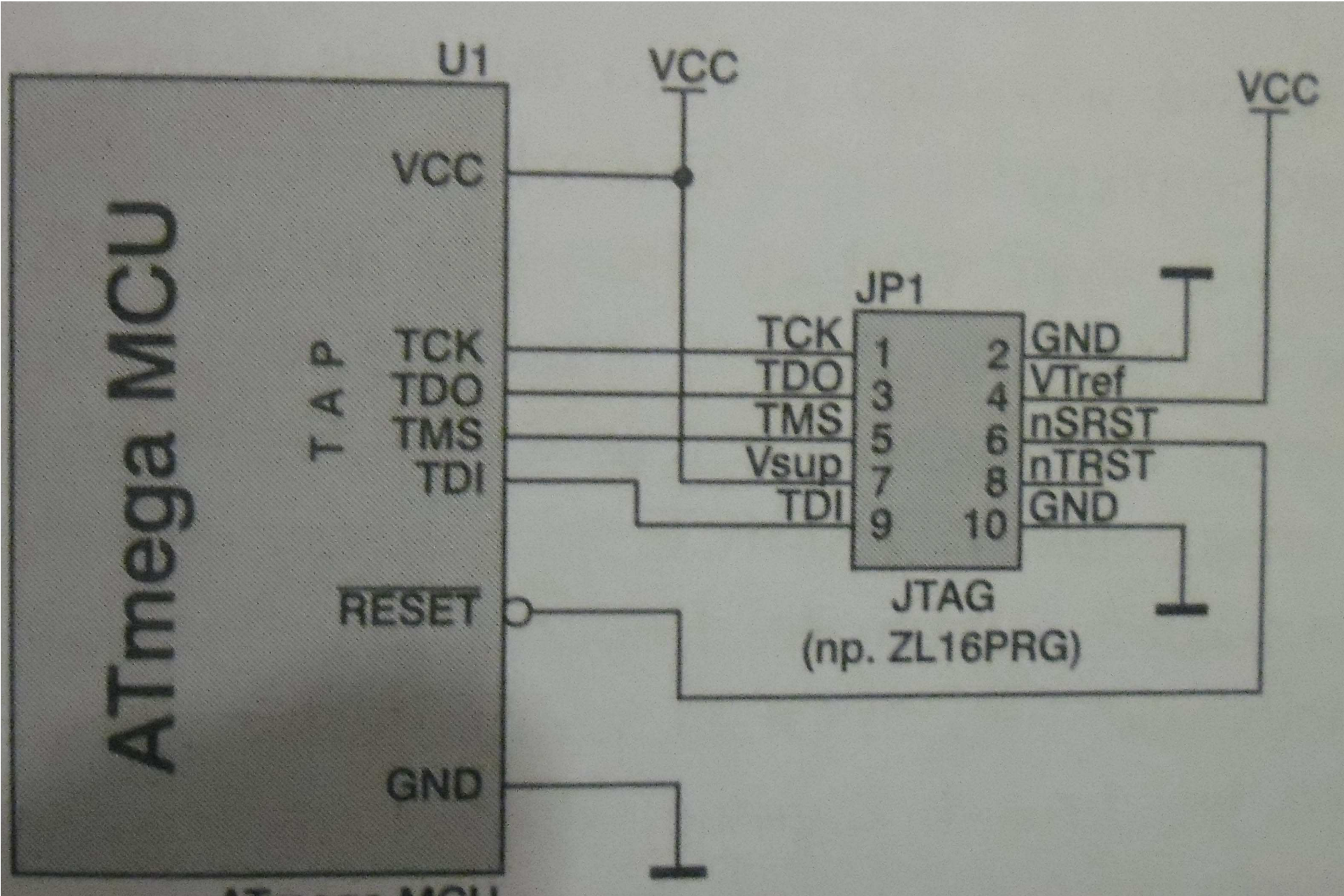
Równoległy interfejs programowania.



Interfejs programowania SPI



Interfejs JTAG



Kodowanie stałoprzecinkowe liczb ułamkowych

Kod 1.7

Bit	7	6	5	4	3	2	1	0
Waga	+/-1	+1/2	+1/4	+1/8	+1/16	+1/32	+1/64	+1/128
		0,5	0,25	0,125	0,0625	0,03125	0,015625	0,0078125

Dla liczb ze znakiem zakres kodowania wynosi od -1 do $+0,9921875$

Dla liczb bez znaku zakres wynosi od 0 do $1,9921875$

Kod 1.15

Liczba 16-to bitowa