

Technika Mikroprocesorowa II

Wykład 1

Literatura:

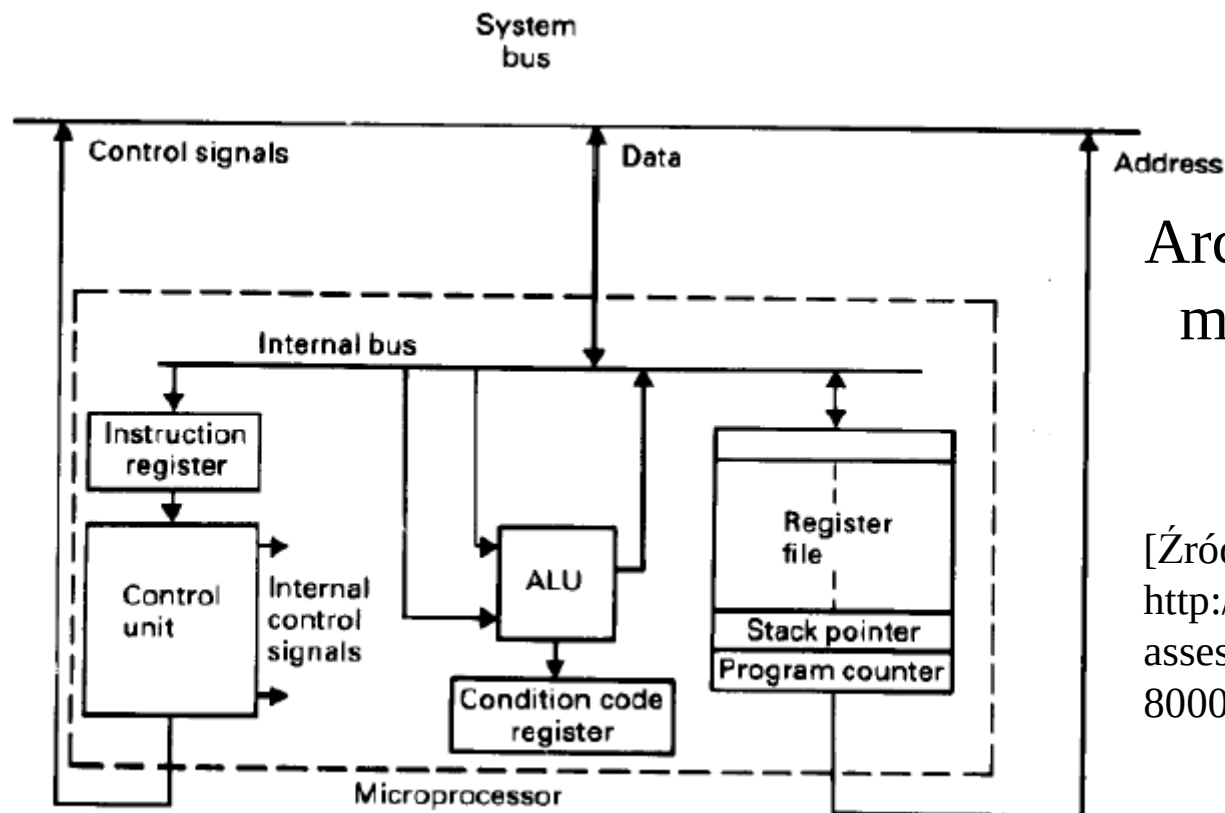


M68000
8-/16-/32-Bit
Microprocessors User's Manual

Ninth Edition

Mikroprocesor Motorola (Freescale) M68008

Mikroprocesor 68008 jest 8-mio bitowym (zewnętrzna magistrala danych) przedstawicielem mikroprocesorów o architekturze 32-bitowej serii 680X0.



Architektura wewnętrzna
mikroprocesora 68008

[Źródło:

http://www.physics.ucdavis.edu/Courses/Physics116/P116B_notes/M68000a%20Intro.pdf]

Charakterystyka mikroprocesora

Mikroprocesor M68008 posiada:

- 8-mio** bitową magistralę danych,
- 20-to** bitową magistralę adresową.

Zestawienie wielkości magistrali danych i adresowej dla procesorów rodziny 680x0

Mikroprocesor	Mag. danych	Mag. Adresowa
68000	16 bitów	24 bity
68008	8 bitów	20 bitów
68010	16 bitów	24 bity
68020	32 bity	32 bity
68030	32 bity	32 bity
68040	32 bity	32 bity
68060	32 bity	32 bity

Mikroprocesor może pracować w dwóch trybach:

-nadzorcy,

-użytkownika.

Przełączenia trybów dokonuje się odpowiednim bitem w rejestrze statutowym.

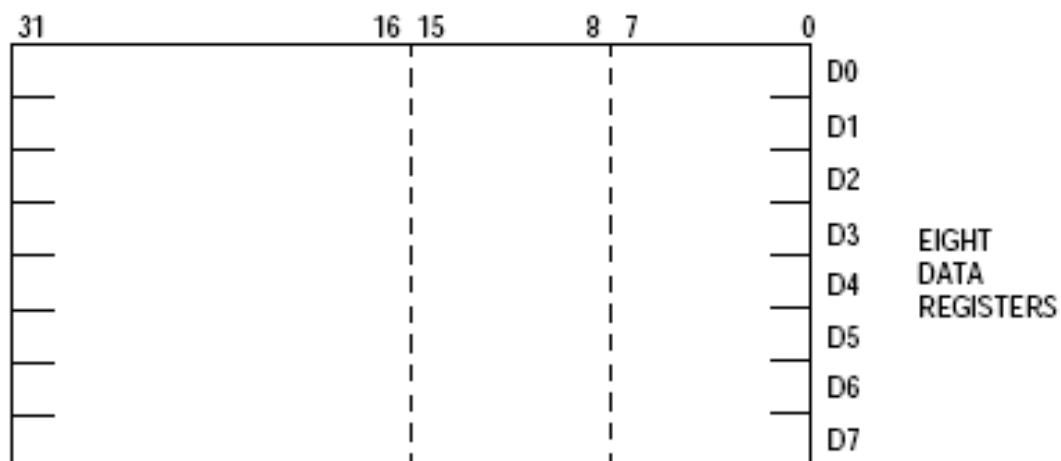
Przejście do stanu nadzorcy następuje automatycznie po zerowaniu procesora oraz w przypadku obsługi stanów wyjątkowych.

W trybie użytkownika wykonywane są programy aplikacyjne, w trybie nadzorcy – kod systemu operacyjnego. W porównaniu z trybem nadzorcy tryb użytkownika ma ograniczenia w dostępie do zasobów mikroprocesora. Tryb ten dysponuje też nieco mniejszą listą rozkazów.

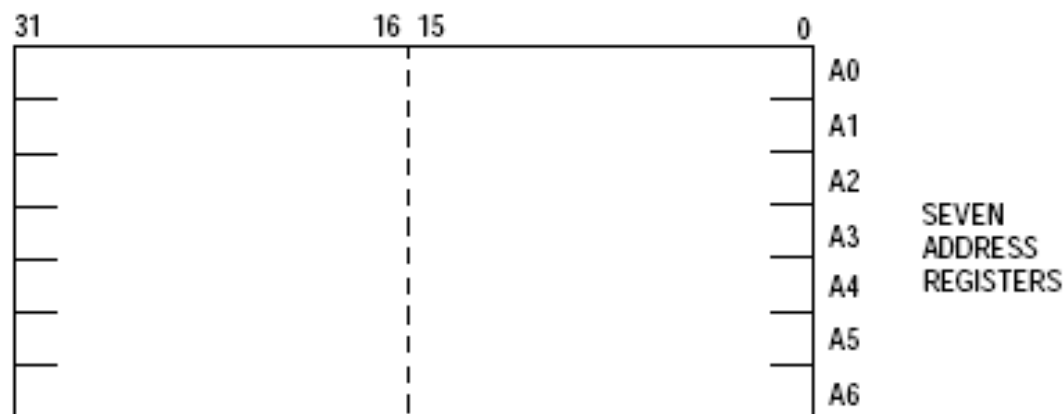
Mikroprocesory 680x0 posiadają:

- osiem 32-bitowych rejestrów danych D0-D7,**
- osiem 32-bitowych rejestrów adresowych A0-A7 (rejestr A7 jest podwójny),**
- jeden 16-to bitowy rejestr statusowy podzielony na dwa bajty: systemowy i użytkownika,**
- 32 bitowy licznik rozkazów.**

Model programowy w przypadku trybu użytkownika



8 rejestrów danych



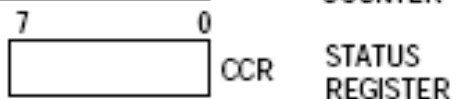
7 rejestrów adresowych



wskaźnik stosu- A7



licznik programu



bajt użytkownika

Rejestry danych

Cechą charakterystyczną rodziny mikroprocesorów 680x0 jest to, iż wśród rejestrów wewnętrznych **nie ma wyróżnionego akumulatora**. Funkcję taką może pełnić dowolny z ośmiu **32-bitowych rejestrów danych D0-D7**.

Załadowanie danej do rejestru danych o rozmiarze mniejszym od 32 bity nie powoduje znakowego rozszerzenia tej danej do 32 bitów. Uwaga, oznacza to, że górna część rejestru danych pozostaje niezmienniona.

Rejestry danych nie mogą być wykorzystane do adresowania pamięci.

Rejestry adresowe

Rejestry A0-A6 stanowią 32-bitowe rejestry adresowe.

Rejestr A7 to dwa rejestry 32-bitowe, z których tylko jeden działa w trybie użytkownika a drugi w trybie nadzorcy i pełni funkcję wskaźnika stosu. W czasie pracy procesora w trybie użytkownika oznaczenie A7 dotyczy tzw. **wskaźnika stosu użytkownika (USP)**, natomiast podczas pracy procesora w trybie nadzorcy oznaczenie A7 dotyczy tzw. **wskaźnika stosu nadzorcy (SSP)**. Wskaźnik stosu jest dekrementowany przy kolejnych złożeniach na stosie.

Rejestry adresowe mogą być używane jako rejestry 16-bitowe. W tym przypadku ***przy załadunku do rejestru 16-bitowego słowa, zostaje ono wcześniej znakowo rozszerzone do 32 bitów.***

Pozostałe rejestry

32-bitowy licznik programu PC (Program Counter), który zawsze zawiera adres następnej do wykonania instrukcji.

16-bitowy rejestr statusowy SR (Status Register) podzielony na dwa bajty:

- bajt użytkownika,**

- bajt systemowy.**

Bajt użytkownika

7	6	5	4	3	2	1	0
-	-	-	X	N	Z	V	C

Bajt zwany jest rejestrem kodów warunków CCR (Condition Codes Register). Bajt użytkownika zawiera bity, które używane są do zapisywania informacji dotyczących wyników uprzednio wykonywanych instrukcji.

C- bit 0, bit przeniesienia

V- bit 1, bit nadmiaru (Overflow)

Z- bit 2, bit zera (Zero)

N- bit 3, bit mniejszości od zera (Negative)

X- bit 4, bit rozszerzenia X (Extend), jest kopią bitu C.

Bajt systemowy

15	14	13	12	11	10	9	8
T	x	S	x	x	I2	I1	I0

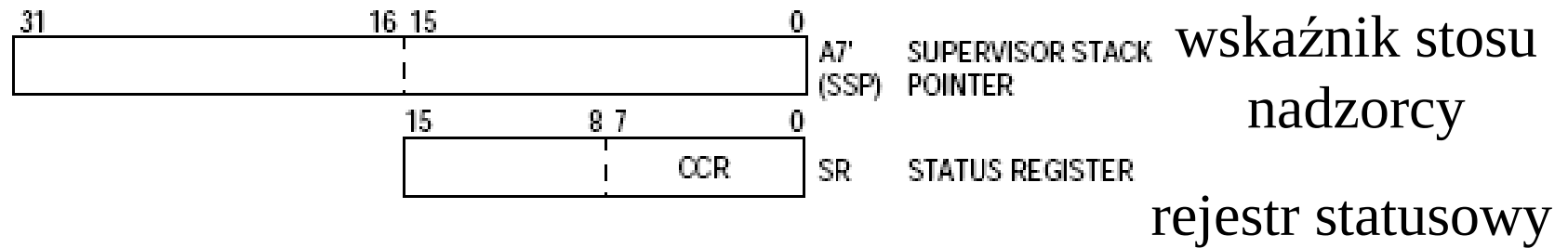
T- bit 15 zwany bitem śledzenia (Trace bit), umożliwia „debugowanie” programu. Po każdej wykonanej instrukcji następuje przejście do obsługi stanu wyjątkowego pracy krokowej. Instrukcja powrotu z procedury powoduje wykonanie następnej instrukcji i kolejne wejście do procedury.

S- bit 13 służy do przełączania trybów pracy. Bit ten jest nazywany bitem nadzorcy (Supervisor bit).

Jeśli ten bit jest ustawiony, dozwolony jest dostęp do trybu nadzorcy. Gdy bit jest wyzerowany procesor pracuje w trybie użytkownika.

I2-I0- bity 10 do 8 zwane są maską przerwań. Określają priorytet obsługiwanego aktualnie przerwania.

Model programowy nadzorcy- modyfikacja

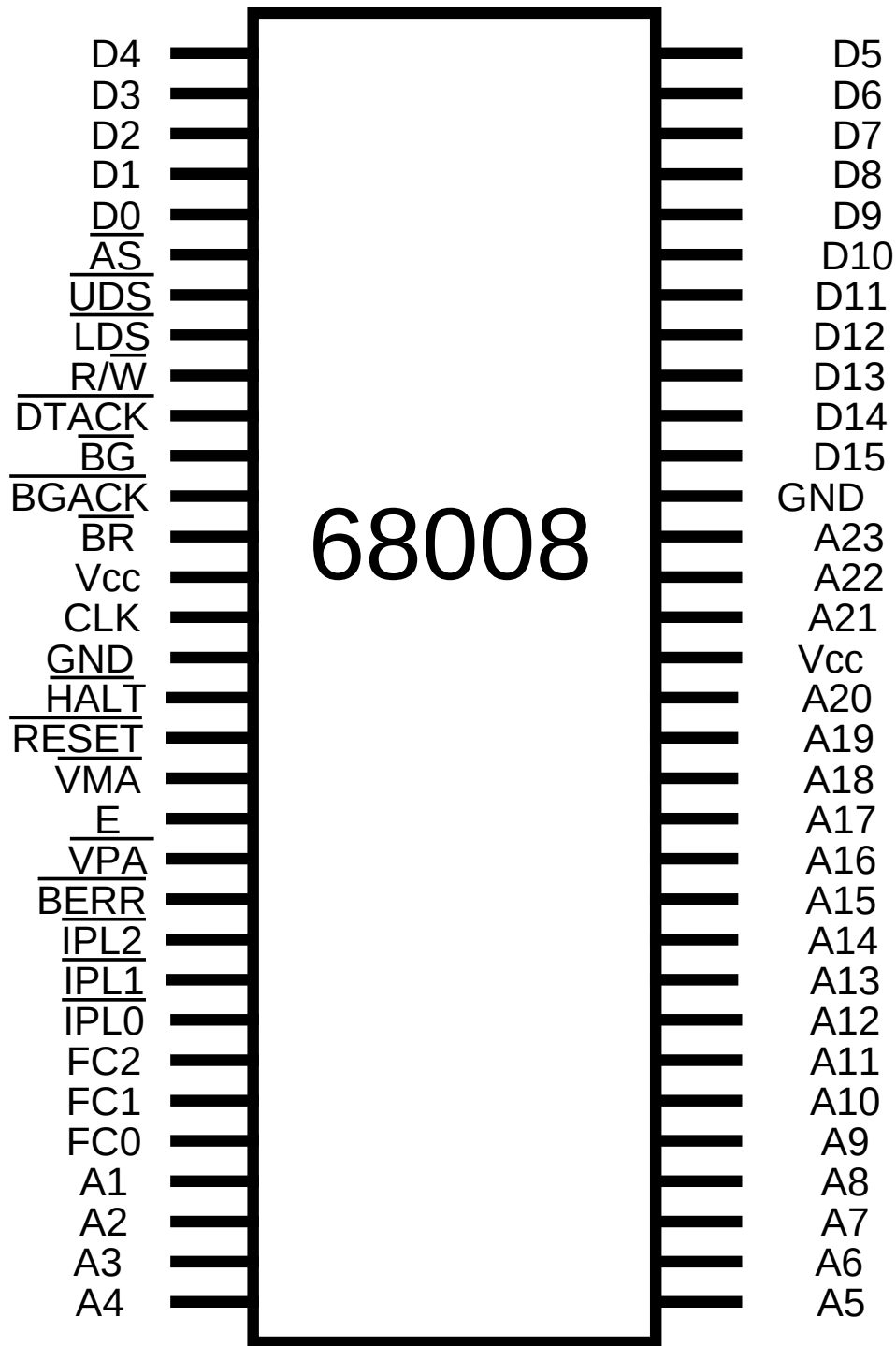


Ważne cechy mikroprocesorów rodziny 680x0

1. Mikroprocesory te pracują w systemie normalnie niegotowym, oznacza to, że po wystawieniu przez mikroprocesor adresu komórki pamięci lub urządzenia we-wy do odczytu, oraz wystawieniu adresu idanej do zapisu komórki pamięci lub urządzenia we-wy. Oczekują na sygnał potwierdzenia odczytu/zapisu: **DTACK**.

W przypadku braku tego sygnału po skończonym czasie oczekiwania ustalonym przez zewnętrzne urządzenie może być sygnalizowany stan wyjątkowy (przerwanie błędu magistrali).

Wszystkie rozkazy mikroprocesora 680x0 są parzysto bajtowe. Jakakolwiek próba odczytu lub zapisu nieparzystej lokacji adresowej skutkuje stanem wyjątkowym (przerwaniem) błędu adresu.



**Wyprowadzenia mikrokontrolera
M60008**

Opis sygnałów mikroprocesora

A0-A19- szyna adresowa, trójstanowa

D0-D15- szyna danych, dwukierunkowa, trójstanowa

R/W- zapis/odczyt (zapis, gdy $R/W=0$)

AS- strob adresu (wyjście)

UDS, LDS- stroby danych

DTACK- potwierdzenie transmisji danych (wejście)

BR- żądanie dostępu do magistrali (wejście)

BG- potwierdzenie dostępu do magistrali (wyjście)

BGACK- Potwierdzenie przejęcia dostępu do magistrali (wejście)

IPL0-IPL2- wejścia przerwań (wejście)

BERR- błąd magistrali (wejście)

RESET- zerowanie systemu (wejście)

HALT- zatrzymanie (wejście-wyjście)

E- strob odczytu/zapisu (wyjście)

VMA- adres ważny (wyjście)

VPA- ważne dane z układu peryferyjnego- transfer danych synchroniczny (wejście)

FC0-FC1 linie statusowe procesora (wyjścia)

CLK- zegar systemowy (wejście)

Ucc, GND- zasilanie (wejścia)

Dokładny opis ważniejszych sygnałów

HALT

Linia dwukierunkowa:

- sterowana **jako wejście** przez urządzenie zewnętrzne, **powoduje zatrzymanie uP po zakończeniu aktualnego cyklu**. Wszystkie sygnały stają się nieaktywne, a linie trójstanowe przechodzą w stan wysokiej impedancji. uP przebywa w tym stanie, aż do chwili gdy sygnał HALT przejdzie w stan wysoki.
- HALT jako linia wyjścia** np. **sygnalizuje wystąpienie podwójnego błędu magistrali**. W tym przypadku uP wysterowuje tę linię i przechodzi w stan zatrzymania.
- jednoczesne wysterowanie linii HALT i BERR powoduje powtórzenie ostatniego cyklu magistrali**.
- jednoczesne wysterowanie linii HALT i RESET powoduje całkowite wyzerowanie uP**.

BERR

Błąd magistrali, linia, która informuje uP, że wystąpił błąd podczas ostatniego cyklu magistrali, pojawia się gdy urządzenie nie wystawiło na czas sygnału DTACK. uP rozpoczyna obsługę stanu wyj. błędu magistrali.

Równoczesne uaktywnienie linii BERR i HALT (BERR=0, HALT=0), skutkuje powtórzeniem ostatniego cyklu magistrali.

Linie statutowe FC2-FC0

FC2	FC1	FC0	Tryb cyklu maszynowego
0	0	0	rezerwa
0	0	1	Dostęp do danych użytkownika
0	1	0	Dostęp do programu użytkownika
0	1	1	rezerwa
1	0	0	rezerwa
1	0	1	Dostęp do danych nadzorcy
1	1	0	Dostęp do programu nadzorcy
1	1	1	Akceptacja przerwania

Wykorzystanie linii RESET, HALT i BERR

RESET- zerowanie przy włączonym zasilaniu- wejście

Wykonanie rozkazu uprzywilejowanego „**RESET**”- wyjście

Zerowanie po włączeniu zasilania **RESET i HALT**- wejścia

Zgłoszenie błędu magistrali- **BERR**- wejście

Powtórzenie cyklu- **BERR i HALT**- wejścia

Zablokowanie się μ P- **HALT**- wyjście

Zatrzymanie μ P- **HALT**- wejście

Linia **AS** potwierdza ważność szyny adresowej. Sygnał te wykorzystują dekodery adresowe w systemie.

Stany wyjątkowe w mikroprocesorze

Obsługę stanów wyjątkowych inicjują:

- przerwania sprzętowe**,
- sygnały błędów układowych** (np. BERR),
- pułapki programowe** (np. takie, które są generowane automatycznie przy dzieleniu przez zero).

Następuje wówczas przełączenie w tryb nadzorcy i obsługa danego przerwania. Powrót do trybu użytkowego następuje po wystąpieniu rozkazu RETI.

W przypadku przerwania sprzętowych-zewnętrznych o priorytecie danego przerwania decydują sygnały na wejściach IPL0-IPL2.

Istnieje 256 lokacji wektorów przerwań, z których każda zajmuje po 4 bajty. Daje to zatem 1024 bajtów pamięci.

Nr.	Adres	Opis stanu wyjątkowego
0	00000	Inicjacja wskaźnika stosu
1	00004	Inicjacja licznika rozkazów PC
2	00008	Błąd magistrali
3	0000C	Błąd adresu
4	00010	Nieprawidłowa instrukcja
5	00014	Dzielene przez 0
6	00018	Rozkazy CHK lub CHK2

Nr.	Adres	Opis stanu wyjątkowego
7	0001C	Rozkazy TRAPn, TRAP8
8	00020	Naruszenie praw dostępu
9	00024	Śledzenie
10	00028	Emulator linii A (1010)
11	0002C	Emulator linii F (1111)
12	00030	rezerwa
13	00034	Błąd koprocesora
14	0001C	Błąd formatu
15	00020	Wektor niezainicjowany
16-23	00024	ZAREZERWOWANE
24	00060	Fałszywe przerwanie

Nr.	Adres	Opis stanu wyjątkowego
25	00064	Autowektor- poziom 1
26	00030	Autowektor- poziom 2
27	00034	Autowektor- poziom 3
28	00038	Autowektor- poziom 4
29	00038	Autowektor- poziom 5
30	0003C	Autowektor- poziom 6
31	00040	Autowektor- poziom 7
32-47	000C0	Rozkazy TRAP0-TRAP15
48-54	00044	Od koprocatora
55	000DC	rezerwa
56	000E0	Błąd układu zarządzania pamięcią

Nr.	Adres	Opis stanu wyjątkowego
57-63	000E4	rezerwa
64-255	00100	Użytkownika

Co to jest stan wyjątkowy?

Sytuacja gdy normalnie wykonywany program jest przerywany, zmieniony zostaje status uP i wykonana zostaje odpowiednia procedura obsługi.

Obsługa stanu wyjątkowego

W trakcie obsługi stanu wyjątkowego w mikroprocesorach serii 680x0:

na stosie nadzorcy zostaje zapisana zawartość PC oraz SR,

wyzerowany zostaje bit śledzenia T (jeśli był ustawiony),

ustawiony bit nadzorcy S (przejście do trybu nadzorcy).

Jeśli stan wyjątkowy został wywołany zewnętrznym przerwaniem. to zostaje uaktualniona maska przerwania, do licznika licznika rozkazów PC zostaje załadowany odpowiedni wektor wskazujący adres procedury obsługi danego stanu wyjątkowego

W przypadku wystąpienia stanu wyjątkowego błędu magistrali, lub błędu adresowania na stosie nadzorcy tworzona jest ramka stosu w której zapisywane są dodatkowe informacje

MC68008

Obsługa stanów wyjątkowych,

Współzależności pomiędzy stanami wyjątkowymi.

Obsługa stanu wyjątkowego błędu magistrali

Zakładamy system mikroprocesorowy z 8-mio bitowym mikroprocesorem 68008 wyposażony w pamięć o pojemności 32kB.

Po sygnale RESET mikroprocesor odczytuje dwa wektory startowe:

	Adres	Dana
SSP:	00000	00
	00001	00
	00002	10
	00003	00

Czyli SSP= 00001000

	Adres	Dana
PC:	00004	00
	00005	00
	00006	08
	00007	00

Czyli PC= 00000800

Pod adresem 00800 umieszczono rozkaz: BRA \$7FFE

Adres	Dana
00800	60
00801	00
00802	7F
00803	FE

Adres następnej instrukcji będzie utworzony przez dodanie bieżącego PC=00000802 i przesunięcia 00007FFE i wynosi 00008800, czyli poza obszar adresacji obsadzony pamięcią 32kB (0000-7FFF).

Procesor wystawi adres 00008800 i nastąpi repetycja cyklu odczytu (ponowna próba odczytu, a następnie złoży na stosie 14-to bajtową ramkę informacyjną i przejdzie do procedury obsługi błędu magistrali.

Struktura ramki informacyjnej błędu magistrali

ADRES	ADRES	DANA	Opis
FF3	FF2	16 00	Bajt informacyjny + dopełnienie do parzystości
FF5	FF4	00 00	Błędny (nieobsadzony) adres
FF7	FF6	88 00	
FF9	FF8	60 00	KO instrukcji
FFB	FFA	27 00	Rejestr statusowy
FFD	FFC	00 00	Bieżący stan PC
FFF	FFE	08 02	

Bajt systemowy

0	0	1	0	0	1	1	1
T	x	S	x	x	I2	I1	I0

Bajt informacyjny:

7	6	5	4	3	2	1	0
0	0	0	R/W	I/N	FC2	FC1	FC0

Bajt informacyjny niesie dane o tym: czy błąd nastąpił w czasie odczytu czy zapisu, czy przy instrukcji czy nieinstrukcji i w jakim cyklu dostępu do magistrali (w pamięci danych nadzorcy lub użytkownika, pamięci programu nadzorcy lub użytkownika, cyklu akceptacji przerwania).

Po złożeniu ramki na stosie mikroprocesor odczytuje spod czterech lokacji adresowych:

00008

00009

0000A

0000B

32-u bitowy adres procedury obsługi błędu magistrali.

Obsługa stanu wyjątkowego błędu adresu

Pod adresem 00800 umieszczono rozkaz: BRA \$7FFF, czyli skok pod nieparzysty adres 00008801

Adres	Dana
00800	60
00801	00
00802	7F
00803	FF

W tym przypadku nie będzie cyklu odczytu spod adresu 00008801 tylko od razu mikroprocesor przejdzie do obsługi błędu adresu.

Struktura ramki informacyjnej błędu adresu

ADRES	ADRES	DANA	Opis
FF3	FF2	16 00	Bajt informacyjny + dopełnienie do parzystości
FF5	FF4	00 00	Błędny (nieparzysty) adres
FF7	FF6	88 01	
FF9	FF8	60 00	KO instrukcji
FFB	FFA	27 00	Rejestr statusowy
FFD	FFC	00 00	Bieżący stan PC
FFF	FFE	08 02	

Po złożeniu ramki na stosie mikroprocesor odczytuje spod czterech lokacji adresowych:

0000C

0000D

0000E

0000F

32-u bitowy adres procedury obsługi błędu adresu.

Obsługa przerwań zewnętrznych (przerwanie 7- NMI)

Zakładamy stan SSP=00001000, PC=00000800, SR= 27 00

Od adresu 00000800 kolejne rozkazy programu.

Gdy PC= 00000802 Następuje zgłoszenie przerwania niemaskowalnego-7 (opadające zbocze).

Mikroprocesor składa na stosie:

1. dwa młodsze bajty adresu powrotu z przerwania do następnej instrukcji programu głównego np.:

ADRES	ADRES	DANA	OPIS
FFF	FFE	08 02	Młodsza część adresu powrotu

2. Urządzenie zgłaszające przerwanie wystawia na magistralę danych 8-mio bitowy numer wektora obsługi przerwania potwierdzony sygnałem DTACK. Mikroprocesor odczytuje numer wektora (np. 3D).

W tym czasie na magistrali adresowej mikroprocesora znajdują się same wysokie stany logiczne za wyjątkiem linii A3, A2, A1 na których zakodowany jest numer akceptowanego przerwania. Dla przerwania 7: A3=1, A2=1, A1=1.

-	-	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	1	1	1	1	1	1	1	1	1

ADRES= FFFFFFFF

Jest to cykl akceptacji przerwania INTA.

3. Na stos składane są:

ADRES	ADRES	DANA	OPIS
FFB	FFA	27 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu powrotu

4. Numer wektora jest wymnażany przez 4:

$$3D * 4 = 0F4$$

Spod adresów:

000000F4

000000F5

000000F6

000000F7

Jest odczytywany 32-u bitowy adres procedury obsługi przerwania.

Brak sygnału DTACK w trakcie odczytu numeru wektora przerwania.

Jeżeli w trakcie odczytu numeru przerwania brak jest sygnału DTACK mikroprocesor:

- repetuje cykl,
- składa na stosie ramkę jak poprzednio,
- odczytuje cztery kolejne komórki pamięci o adresach:

00000060

00000061

00000062

00000063

Jest to adres obsługi stanu wyjątkowego fałszywego przerwania.

Brak sygnału DTACK, równoczesne wymuszenie cyklu synchronicznego sygnałem VPA

W tym przypadku brak jest cyklu akceptacji przerwania a odczyt adresu procedury przerwania nastąpi z lokacji pamięci:

0000007C

0000007D

0000007E

0000007F

Jest to tzw. autowektor o numerze 7.

Dla pozostałych przerwań odpowiednio autowektory 1-6.

Obsługa przerwań zewnętrznych (przerwania maskowalne 1-6)

Aby przerwanie mogło być przyjęte stan maski przerwań w bajcie systemowym powinien być ustawiony na poziom o jeden niższy.

Np. Dla przerwania o numerze 5 stan bajtu systemowego musi wynosić:

0	0	1	0	0	1	0	0
T	x	S	x	x	I2	I1	I0

Czyli SR= 24 00.

Obsługa przebiega tak jak dla NMI.

w cyklu akceptacji przerwania INTA stan magistrali adresowej jest następujący:

-	-	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	1	1	1	1	1	1	0	1	1

ADRES= FFFFFFFB

Ramka stosu wygląda następująco:

ADRES	ADRES	DANA	OPIS
FFB	FFA	24 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu powrotu
FFF	FFE	08 02	Młodsza część adresu powrotu

Bajt systemowy jest modyfikowany do postaci:

0	0	1	0	0	1	0	1
T	x	S	x	x	I2	I1	I0

SR= 25 00

Współzależności pomiędzy stanami wyjątkowymi

Śledzenie

Program główny:

Adres Dana

00800 46 FC MOVE #\$8700,SR

00802 87 00

00804 4E 71 NOP

00806 4E 71 NOP

00808 4E 71 NOP

0080A 60 F8 BRA

Instrukcja MOVE #\$8700,SR modyfikuje bajt systemowy do postaci:

1	0	0	0	0	1	1	1
T	x	S	x	x	I2	I1	I0

Praca krokowa włączona, tryb użytkownika.

Po odczycie do kolejki następnej instrukcji (NOP) następuje zdekodowanie rozkazu modyfikującego SR, opróżnienie kolejki i ponowne wczytanie instrukcji NOP spod adresu 00000804.

Po wykonaniu instrukcji NOP procesor składa na stosie ramkę w następującej postaci:

ADRES	ADRES	DANA	OPIS
FFB	FFA	87 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu powrotu
FFF	FFE	08 06	Młodsza część adresu powrotu

Następuje odczyt adresu procedury obsługi śledzenia spod lokacji:

00000024

00000025

00000026

00000027

Na czas obsługi śledzenia stan bajtu systemowego jest modyfikowany do postaci:

0	0	1	0	0	1	1	1
T	x	S	x	x	I2	I1	I0

Praca krokowa wyłączona, tryb nadzorcy.

Po zakończeniu procedury rozkazem powrotu, ze stosu odczytywany jest adres następnej instrukcji oraz stan SR sprzed obsługi czyli 87 00- praca krokowa włączona tryb użytkownika.

Procesor pobiera do kolejki następne rozkazy, wykonuje instrukcję NOP spod adresu 00000806 i ponownie składa na stosie ramkę tym razem następującej postaci:

ADRES	ADRES	DANA	OPIS
FFB	FFA	87 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu powrotu
FFF	FFE	08 08	Młodsza część adresu powrotu

Wpływ nielegalnej instrukcji na śledzenie

Program główny:

Adres Dana

00800 46 FC MOVE #\$8700,SR

00802 87 00

00804 4A FC ILL

00806 4E 71 NOP

00808 4E 71 NOP

0080A 60 F8 BRA

Po zdekodowaniu instrukcji nielegalnej mikroprocesor składa na stosie następującą ramkę:

ADRES	ADRES	DANA	OPIS
FFB	FFA	87 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu ILL
FFF	FFE	08 04	Młodsza część adresu ILL

Odczyt adresu obsługi stanu wyjątkowego następuje spod adresu:

00000010

00000011

00000012

00000013- jest to adres procedury obsługi nielegalnej instrukcji

Przy nielegalnej instrukcji śledzenie nie występuje, powrót z procedury obsługi nielegalnej instrukcji następuje do tejże nielegalnej instrukcji. Aby tę instrukcję pominąć należy w procedurze obsługi zmodyfikować złożony na stosie adres powrotu.

Śledzenie oraz stan wyjątkowy wewnętrzny (TRAP0)

Program główny:

Adres Dana

00800 46 FC MOVE #\$8700,SR

00802 87 00

00804 4E 40 TRAP0

00806 4E 71 NOP

00808 4E 71 NOP

0080A 60 F8 BRA

Zostaje zapisana warstwa stosu- I (adres instrukcji kolejnej za TRAP, status jaki zapisała instrukcja MOVE).

Z lokacji odczytywany jest adres procedury obsługi TRAP (np.):

Adres	Dana
00000080	00
00000081	00
00000082	11
00000083	00

Następują odczyt pierwszych 4 bajtów procedury obsługi TRAP, jest to jednak akcja kolejki, która zaraz zostaje unieważniona.

Zostaje zapisana druga warstwa stosu- II

Następuje odczyt adresu procedury obsługi śledzenia spod lokacji:

00000024

00000025

00000026

00000027

Obraz stosu:

ADRES	ADRES	DANA	OPIS
FFB	FFA	27 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu
FF9	FF8	11 00	Młodsza część adresu procedury obsługi stanu wyjątkowego TRAP0
FFB	FFA	87 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu
FFF	FFE	08 06	Młodsza część adresu instrukcji po TRAP0

Wniosek:

Śledzenie ma wyższy priorytet niż stan wyjątkowy wewnętrzny TRAP.

Po obsłudze śledzenia mikroprocesor ściągnie ze stosu drugą warstwę, załaduje do PC adres powrotu (adres obsługi TRAP0) i wykona procedurę obsługi wyjątku wewnętrznego.

Przerwanie i śledzenie

Program główny:

Adres Dana

00800 46 FC MOVE #\$8400,SR

00802 84 00

00804 4E 71 NOP

00806 4E 71 NOP

00808 4E 71 NOP

0080A 60 F8 BRA

Tym razem nastąpiło również obniżenie maski przerwań na poziom 4.

Przerwanie zostaje zgłoszone po włączeniu śledzenia.

Następuje zapisanie na stosie warstwy I- obsługa śledzenia.

Po zapisie na stos mikroprocesor odczytuje adres procedury obsługi stanu wyjątkowego śledzenia spod adresów (np.):

Adres	Dana
00000024	00
00000025	00
00000026	03
00000027	00

Następuje odczyt do kolejki rozkazów procedury obsługi śledzenia spod adresu 00000300, wycofanie kolejki i złożenie na stosie drugiej warstwy, podczas którego pojawia się cykl akceptacji przerwania INTA.

Obraz stosu

ADRES	ADRES	DANA	OPIS
FFB	FFA	24 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu
FF9	FF8	03 00	Młodsza część adresu procedury obsługi stanu wyjątkowego śledzenia
FFB	FFA	84 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu
FFF	FFE	08 06	Młodsza część adresu instrukcji NOP

Po złożeniu na stosie drugiej warstwy następuje odczyt procedury obsługi przerwania INT5 spod adresu zdeterminowanego numerem wektora przerwania wystawionym w cyklu akceptacji na magistrali danych. Obsługiwane jest przerwanie zewnętrzne INT5.

W trakcie obsługi przerwania stan bajtu systemowego jest:

0	0	1	0	0	1	0	1
T	x	S	x	x	I2	I1	I0

SR=25 00

Śledzenie wyłączone, tryb nadzorcy, maska przerw na poziomie 5.

Wniosek:

Przerwanie zewnętrzne ma wyższy priorytet niż śledzenie.

Po zakończeniu procedury obsługi przerwania INT5 nastąpi wykonanie procedury obsługi stanu wyjątkowego śledzenia.

Przerwanie+ śledzenie+ stan wyjątkowy od instrukcji prawidłowej

Działanie mikroprocesora będzie następujące:

Zapis warstwy I (adres następnej instrukcji po TRAP0).

Odczyt z tabeli adresu obsługi instrukcji TRAP.

Zapis adresu obsługi TRAP0 na warstwie II stosu.

Odczyt z tabeli adresu obsługi śledzenia.

Zapis adresu obsługi śledzenia na warstwie III stosu.

Cykl akceptacji pojawia się w czasie zapisu warstwy III.

Z tabeli jest odczytywany adres obsługi przerwania.

Obraz stosu

ADRES	ADRES	DANA	OPIS
FEE	FEF	24 00	Rejestr statusowy
FF0	FF1	00 00	Starsza część adresu
FF3	FF2	03 00	Młodsza część adresu procedury obsługi stanu wyjątkowego śledzenia
FF5	FF4	24 00	Rejestr statusowy
FF7	FF6	00 00	Starsza część adresu
FF9	FF8	11 00	Młodsza część adresu procedury obsługi stanu wyjątkowego TRAP0
FFB	FFA	84 00	Rejestr statusowy
FFD	FFC	00 00	Starsza część adresu
FFF	FFE	08 06	Młodsza część adresu instrukcji po TRAP0

W trakcie obsługi przerwania stan bajtu systemowego jest:

0	0	1	0	0	1	0	1
T	x	S	x	x	I2	I1	I0

SR=25 00

Śledzenie wyłączone, tryb nadzorcy, maska przerw na poziomie 5.

Wniosek:

Ze wszystkich trzech stanów wyjątkowych przerwanie ma najwyższy priorytet a najniższy stan wyjątkowy wewnętrzny TRAP0

Po zakończeniu procedury obsługi przerwania INT5 nastąpi wykonanie procedury obsługi stanu wyjątkowego śledzenia.

Po zakończeniu obsługi śledzenia nastąpi obsługa TRAP0.

Tryby adresacji w mikroprocesorze 68008

Mode	Generation
Register Direct Addressing Data Register Direct Address Register Direct	$\langle ea \rangle = D_n$ $\langle ea \rangle = A_n$
Absolute Data Addressing Absolute Short Absolute Long	$\langle ea \rangle = (\text{Next Word})$ $\langle ea \rangle = (\text{Next Two Words})$
Program Counter Relative Addressing Relative with Offset Relative with Index and Offset	$\langle ea \rangle = (PC) + d_{16}$ $\langle ea \rangle = (PC) + d_8$
Register Indirect Addressing Register Indirect Postincrement Register Indirect Predecrement Register Indirect Register Indirect with Offset Indexed Register Indirect with Offset	$\langle ea \rangle = (A_n)$ $\langle ea \rangle = (A_n), A_n - A_n + N$ $A_n - A_n - N, \langle ea \rangle = (A_n)$ $\langle ea \rangle = (A_n) + d_{16}$ $\langle ea \rangle = (A_n) + (X_n) + d_8$
Immediate Data Addressing Immediate Quick Immediate	DATA = Next Word(s) Inherent Data
Implied Addressing Implied Register	$\langle ea \rangle = SR, USP, SSP, PC, VBR, SFC, DFC$

N = 1 for byte, 2 for word, and 4 for long word. If A_n is the stack pointer and the operand size is byte, N = 2 to keep the stack pointer on a word boundary.

Instrukcje mikroprocesora 68008

Mnemonic	Description
ABCD	Add Decimal with Extend
ADD	Add
ADDA	Add Address
ADDI	Add Immediate
ADDQ	Add Quick
ADDX	Add with Extend
AND	Logical AND
ANDI	Logical AND Immediate
ANDI to CCR	AND Immediate to Condition Code Register
ANDI to SR	AND Immediate to Status Register
ASL, ASR	Arithmetic Shift Left and Right
Bcc	Branch Conditionally
BCHG	Test Bit and Change
BCLR	Test Bit and Clear
BRA	Branch
BSET	Test Bit and Set
BSR	Branch to Subroutine
BTST	Test Bit

CHK	Check Register Against Bound
CLR	Clear
CMP	Compare
CMPA	Compare Address
CMPI	Compare Immediate
CMPM	Compare Memory to Memory
DBcc	Test Condition, Decrement, and Branch
DIVS	Signed Divide
DIVU	Unsigned Divide
EOR	Logical Exclusive-OR
EORI	Logical Exclusive-OR Immediate
EORI to CCR	Exclusive-OR Immediate to Condition Code Register
EORI to SR	Exclusive-OR Immediate to Status Register
EXG	Exchange Registers
EXT	Sign Extend
ILLEGAL	Take Illegal Instruction Trap
JMP	Jump
JSR	Jump to Subroutine

Mnemonic	Description
LEA	Load Effective Address
LINK	Link and Allocate
LSL, LSR	Logical Shift Left and Right
MOVE	Move
MOVEA	Move Address
MOVE to CCR	Move to Condition Code Register
MOVE from SR	Move from Status Register
MOVE to SR	Move to Status Register
MOVE USP	Move User Stack Pointer
MOVEM	Move Multiple Registers
MOVEP	Move Peripheral
MOVEQ	Move Quick
MULS	Signed Multiply
MULU	Unsigned Multiply
NBCD	Negate Decimal with Extend
NEG	Negate
NEGX	Negate with Extend
NOP	No Operation
NOT	Logical Complement

OR	Logical Inclusive-OR
ORI	Logical Inclusive-OR Immediate
ORI to CCR	Inclusive-OR Immediate to Condition Code Register
ORI to SR	Inclusive-OR Immediate to Status Register
PEA	Push Effective Address
RESET	Reset External Devices
ROL, ROR	Rotate Left and Right
ROXL, ROXR	Rotate with Extend Left and Right
RTE	Return from Exception
RTR	Return and Restore
RTS	Return from Subroutine
SBCD	Subtract Decimal with Extend
Scc	Set Conditionally
STOP	Stop
SUB	Subtract
SUBA	Subtract Address
SUBI	Subtract Immediate
SUBQ	Subtract Quick
SUBX	Subtract with Extend
SWAP	Swap Register Words

TAS	Test Operand and Set
TRAP	Trap
TRAPV	Trap on Overflow
TST	Test Operand
UNLK	Unlink