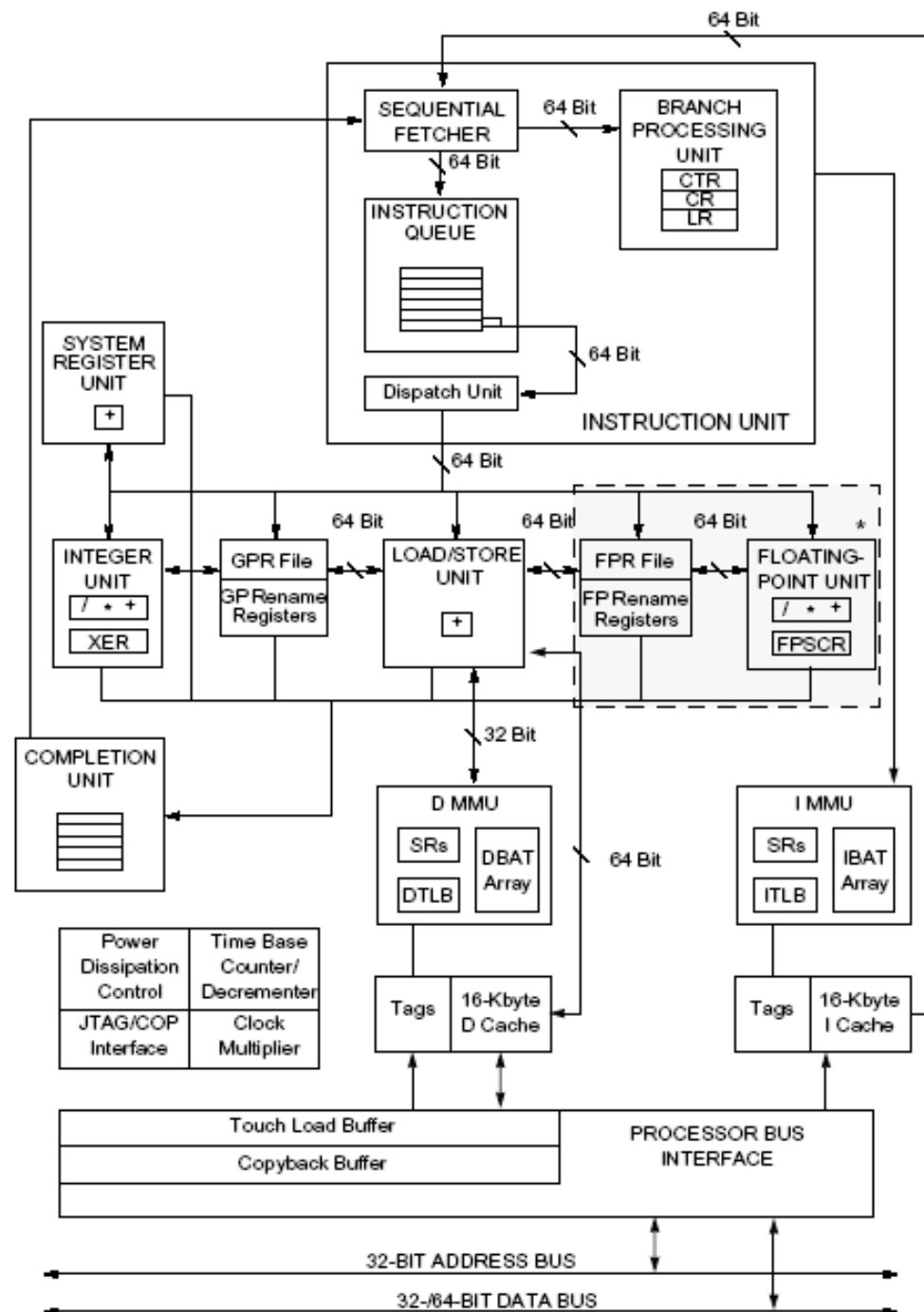


Mikroprocesor RISC Power PC 603

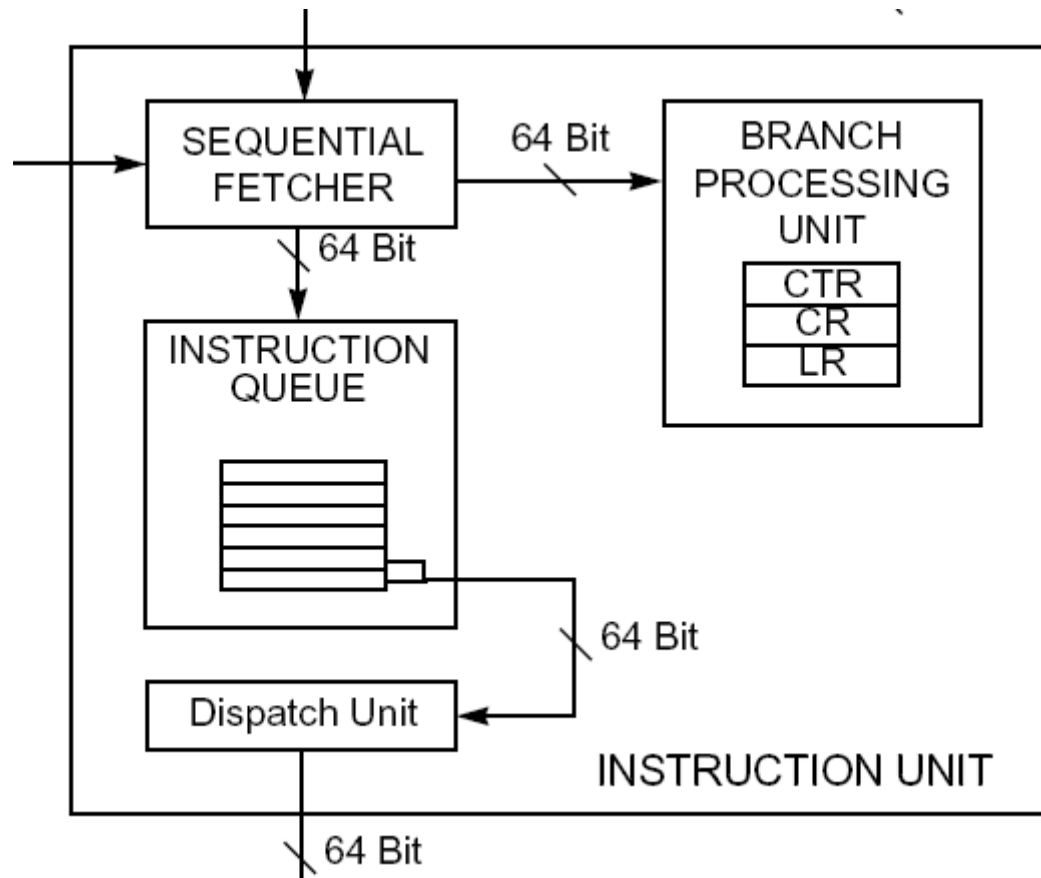
Literatura:

MPC603e & EC603e RISC Microprocessors User's Manual



Schemat blokowy

* Note that the EC603e microprocessor does not support the floating-point unit or the floating-point register file.



INSTRUCTION UNIT

SEQUENTIAL

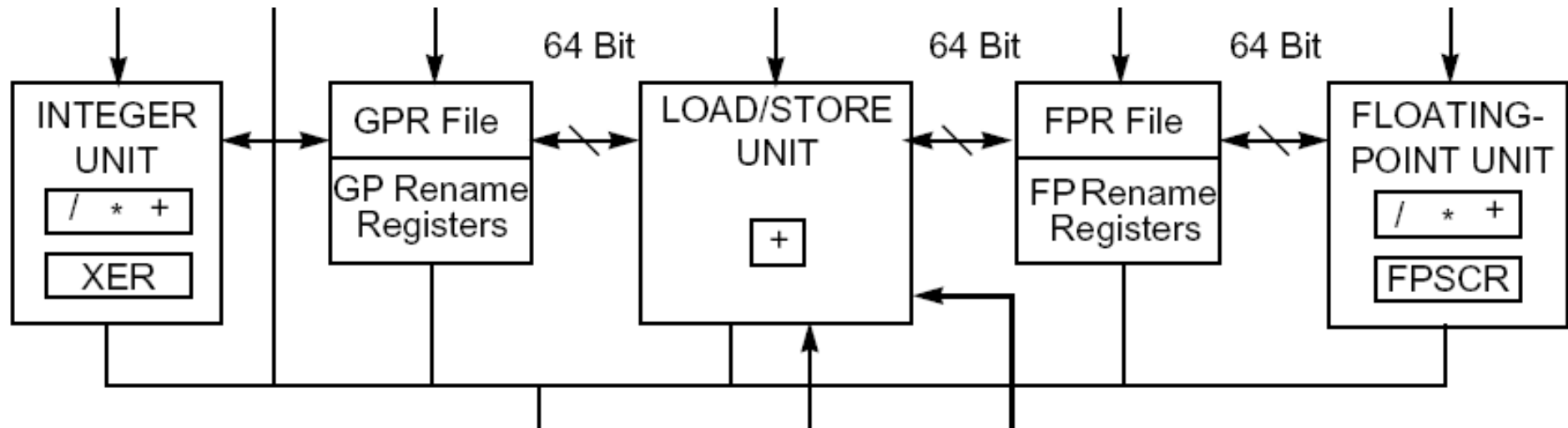
FETCHER- zatrzymuje kolejne instrukcje z pamięci podręcznej programu

BRANCH PROCESSING

UNIT- wykrywa instrukcje skoków warunkowych i bezwarunkowych w celu predykcji kolejnych sekwencji rozkazów

INSTRUCTION QUEUE- kolejka 6-ciu instrukcji do wykonania

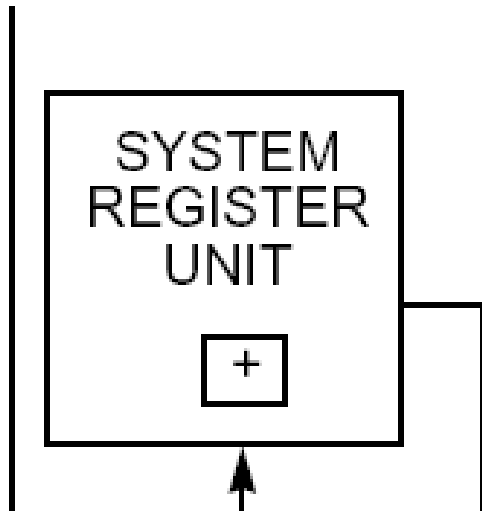
DISPATCH UNIT- wyszukuje jednostki wykonawcze i rejestry dla rozkazu



INTEGER UNIT- jednostka wykonawcza dla rozkazów na liczbach całkowitych

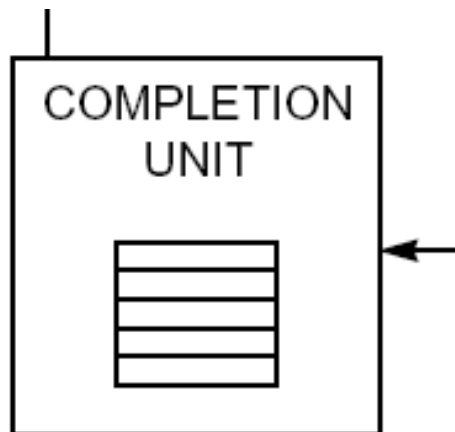
FLOATING-POINT UNIT- jednostka wykonawcza dla rozkazów zmiennoprzecinkowych

LOAD/STORE UNIT- jednostka realizacji rozkazów odczytu i zapisu oraz transferu pomiędzy rejestrami i pamięcią CACHE

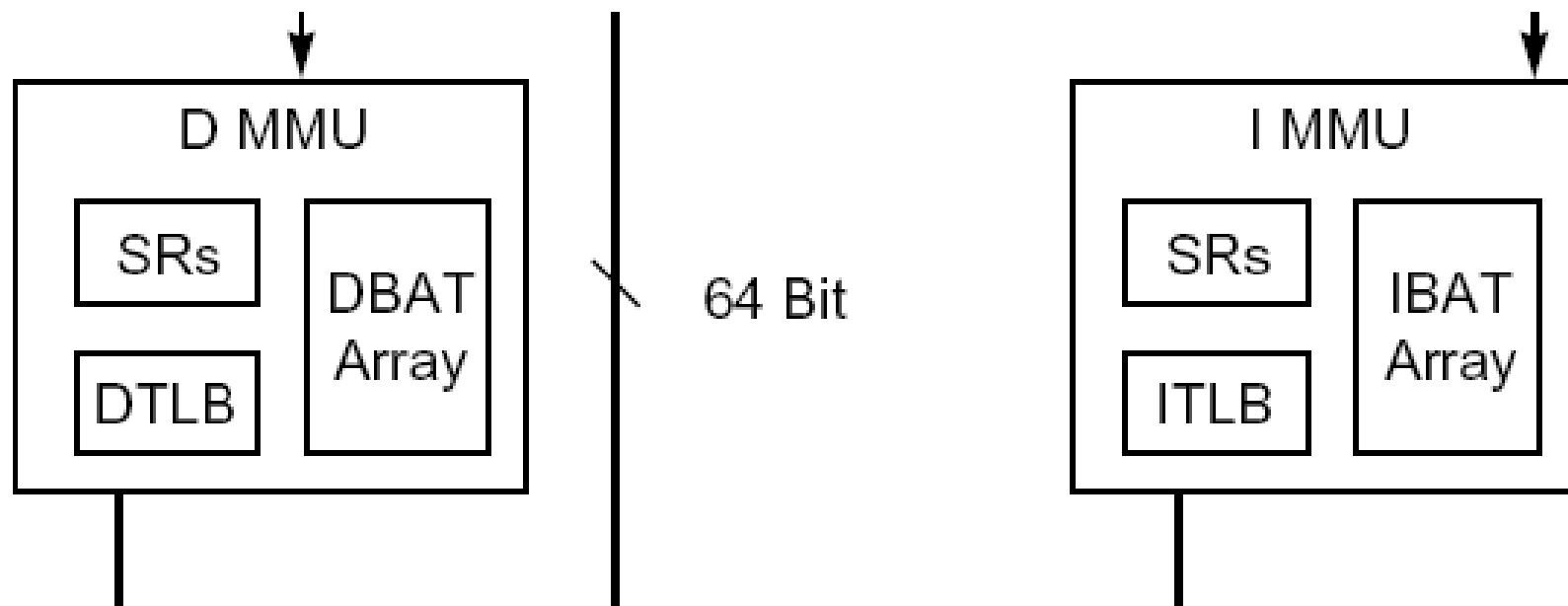


SYSTEM REGISTER UNIT-

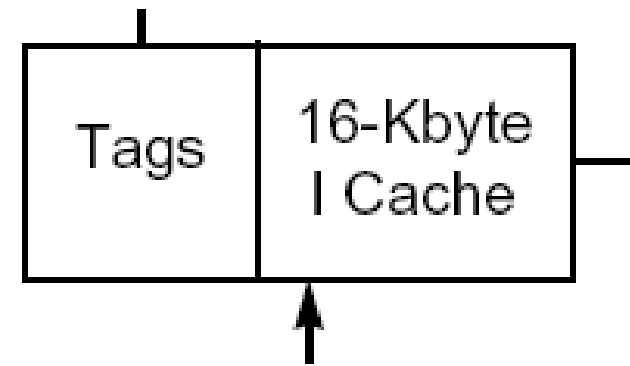
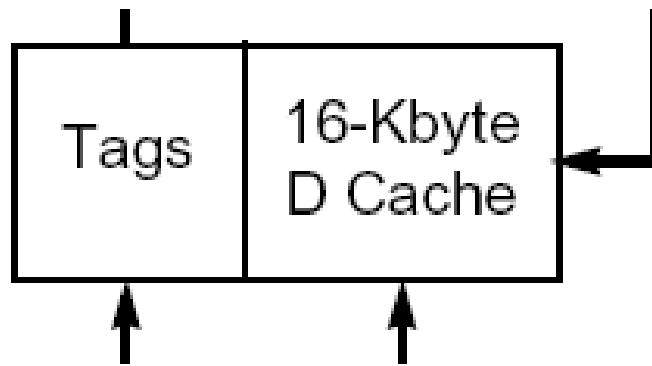
jednostka wykonawcza realizuje instrukcje logiczne, przesłań do rejestrów specjalnych oraz dodawanie liczb całkowitych i porównania



COMPLETION UNIT- umożliwia skompletowanie i dokończenie rozkazu



MEMORY MANAGEMENT UNITS- systemy zarządzania pamięcią danych i programu



Pamięci CACHE programu i danych

Pamięć podręczna (ang. cache) – mechanizm, w którym część danych zgromadzonych w źródłach o długim czasie dostępu i niższej przepustowości jest dodatkowo przechowywana w pamięci o lepszych parametrach. Zlokalizowana jest często bezpośrednio w jądrze procesora. Systemy takie są wydajne dzięki lokalności odwołań. Jeśli nastąpiło odwołanie do pewnych danych, jest duża szansa, że w najbliższej przyszłości będą one potrzebne ponownie.

Nadrzędnym celem architektury tego typu jest zmniejszenie liczby taktów zegarowych, składających się na cykl rozkazowy. Obecnie produkowane procesory RISC, pozwalają na osiągnięcie rezultatu- jeden lub więcej skończonych rozkazów w ciągu każdego cyklu rozkazowego.

Ponieważ **proces przetwarzania strumieniowego jest najbardziej efektywny**, gdy wszystkie fazy mają ten sam czas trwania, czas ten jest przyjęty jako czas trwania cyklu zegarowego.

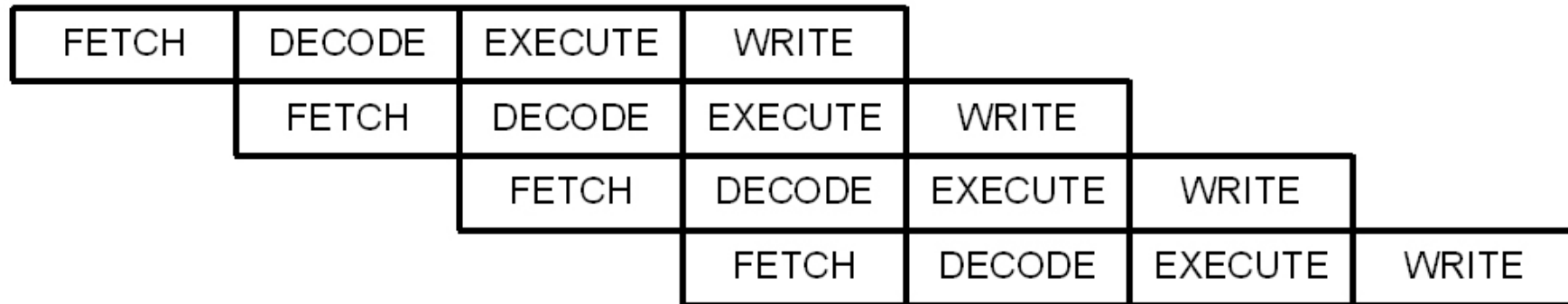
Dłuższym czasem trwania odznaczać się będą rozkazy, wymagające kontaktu z pamięcią zewnętrzną (czas potrzebny na obliczenie adresu fizycznego i pobranie argumentu).

Dlatego w procesorach RISC przyjęto **zasadę stosowania architektury Load/Store** (ładuj i pamiętaj) w której wszystkie rozkazy arytmetyczno-logiczne wykonywane są na argumentach zawartych w rejestrach wewnętrznych.

a)



b)



Przetwarzanie a) skalarne, b) strumieniowe

FETCH- pobranie kodu rozkazu

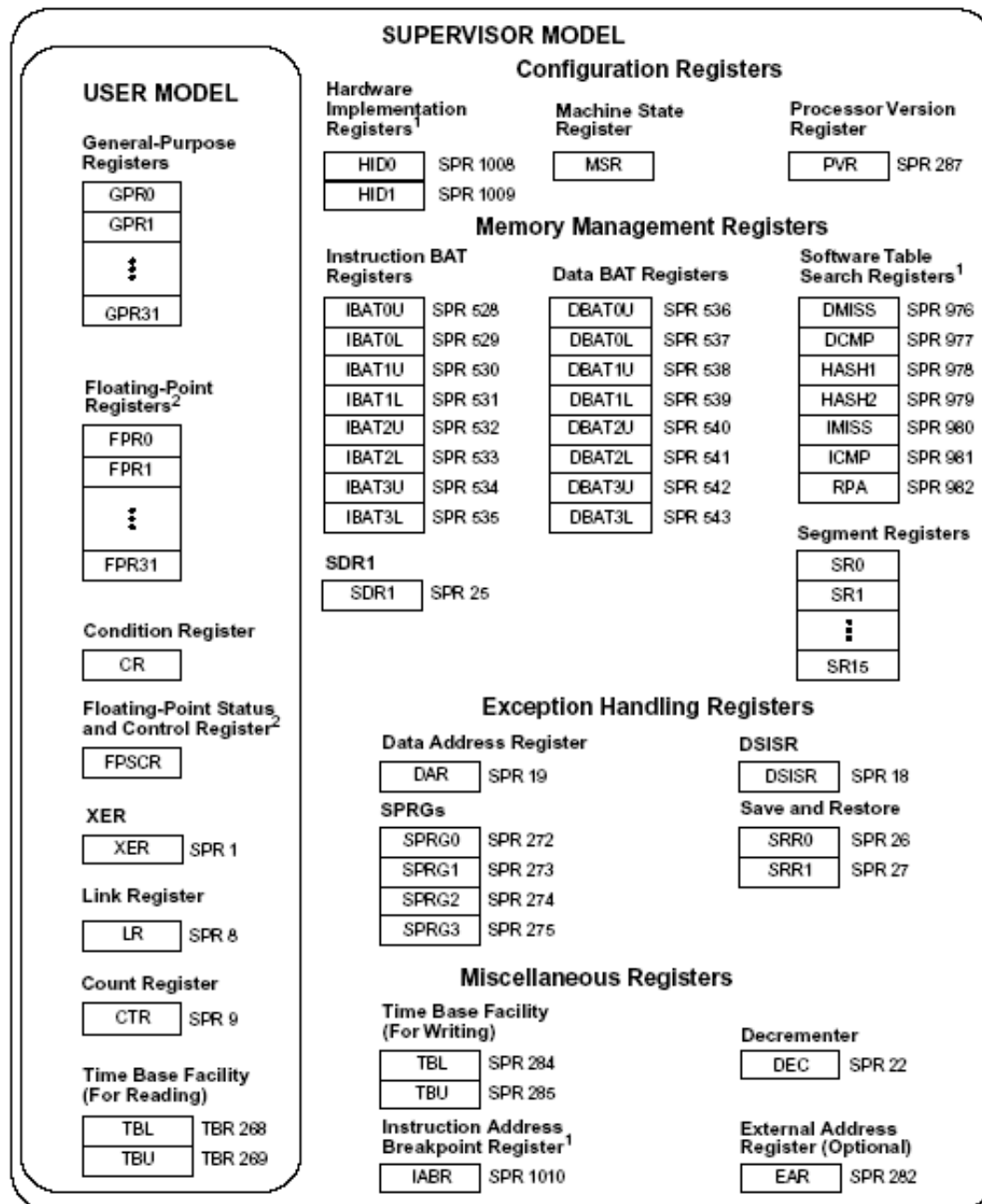
DECODE- zdekodowanie rozkazu

EXECUTE- wykonanie rozkazu

WRITE- zapis wyniku

Współcześnie produkowane procesory RISC cechuje:

- wyposażenie mikroprocesora w dużą liczbę rejestrów uniwersalnych** (32, 64, 128),
- wyposażenie w dużą pamięć notatnikową **CACHE**,
- wykonywanie operacji arytmetyczno-logicznych w układach kombinacyjnych**, co powoduje rozbudowanie arytmometrów, ale zapewnia wykonanie operacji w jednym takcie zegara,
- jednolity format rozkazów** (poszczególne rozkazy mają tę samą ilość bitów i takie same pola funkcjonalne),
- aby ograniczyć ilość przesłań, operacje arytmetyczno logiczne odnoszą się do trzech operandów: dwa źródła jeden przeznaczenia.
- aby ograniczyć ilość rozkazów stosuje się dużą długość słowa maszynowego (32, 64 do 128 bitów).



Model programowy mikroprocesora POWER PC 603

Notes: ¹These registers are 603e-specific (PID6-603e and PID7v-603e) registers.

They may not be supported by other PowerPC processors.

²Not supported on the EC603e microprocessor.

Ważniejsze rejestry

General-Purpose Registers (GPRs)- rejestry ogólnego przeznaczenia 32 bitowe lub 64 bitowe w zależności od modelu procesora. Stanowią źródło i przeznaczenie przy instrukcjach na danych całkowitych.

FLOATING-POINT REGISTERS (FPRs)- rejestry 32 bitowe lub 64 bitowe w zależności od modelu procesora. Stanowią źródło i przeznaczenie przy instrukcjach na danych zmiennoprzecinkowych pojedynczej i podwójnej precyzji.

CONDITION REGISTER (CR)- rejestr bitów warunkowych

MACHINE STATUS REGISTER (MSR)- rejestr stanu procesora

Rejestr statusowy MSR

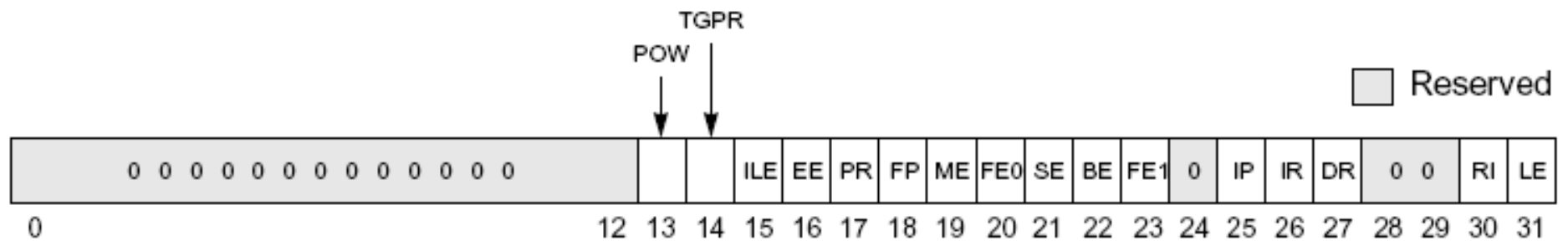


Figure 4-4. Machine State Register (MSR)

Bit(s)	Name	Description
0	—	Reserved. Full function.
1–4	—	Reserved. Partial function.
5–9	—	Reserved. Full function.
10–12	—	Reserved. Partial function.
13	POW	Power management enable (603e-specific) 0 Disables programmable power modes (normal operation mode). 1 Enables programmable power modes (nap, doze, or sleep mode). This bit controls the programmable power modes only; it has no effect on dynamic power management (DPM). MSR[POW] may be altered with an mtmsr instruction only. Also, when altering the POW bit, software may alter only this bit in the MSR and no others. The mtmsr instruction must be followed by a context-synchronizing instruction. See Chapter 9, “Power Management,” for more information.
14	TGPR	Temporary GPR remapping (603e-specific) 0 Normal operation 1 TGPR mode. GPR0–GPR3 are remapped to TGPR0–TGPR3 for use by TLB miss routines. The contents of GPR0–GPR3 remain unchanged while MSR[TGPR] = 1. Attempts to use GPR4–GPR31 with MSR[TGPR] = 1 yield undefined results. Temporarily replaces TGPR0–TGPR3 with GPR0–GPR3 for use by TLB miss routines. When this bit is set, all instruction accesses to GPR0–GPR3 are mapped to TGPR0–TGPR3, respectively. The TGPR bit is set when either an instruction TLB miss, data read miss, or data write miss exception is taken. The TGPR bit is cleared by an rfi instruction.
15	ILE	Exception little-endian mode. When an exception occurs, this bit is copied into MSR[LE] to select the endian mode for the context established by the exception.
16	EE	External interrupt enable 0 The processor ignores external interrupts, system management interrupts, and decremter interrupts. 1 The processor is enabled to take an external interrupt, system management interrupt, or decremter interrupt.

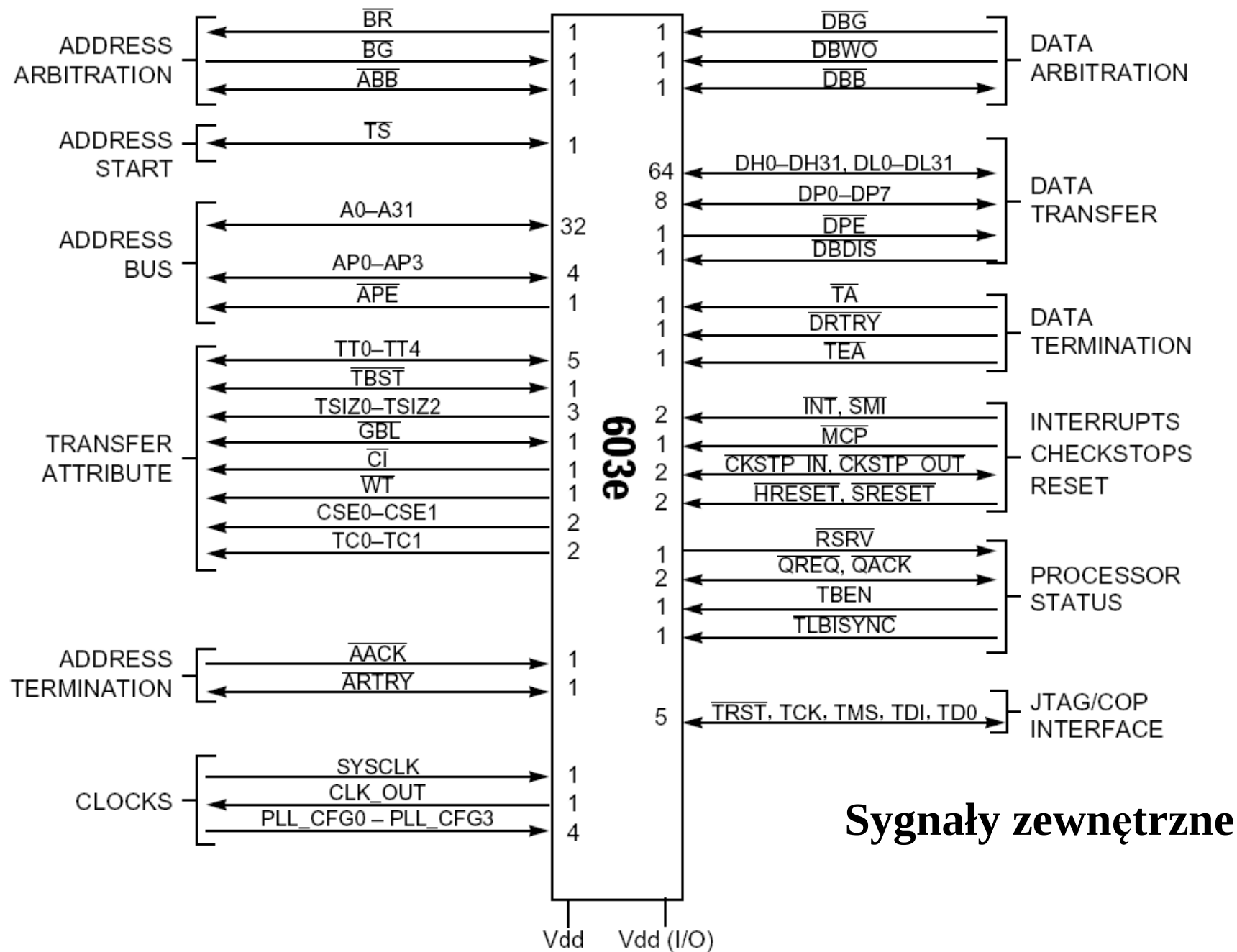
Bit(s)	Name	Description
17	PR	Privilege level 0 The processor can execute both user- and supervisor-level instructions. 1 The processor can only execute user-level instructions.
18	FP	Floating-point available 0 The processor prevents dispatch of floating-point instructions, including floating-point loads, stores, and moves, default state for the EC603e microprocessor. 1 The processor can execute floating-point instructions, and can take floating-point enabled exception type program exceptions.
19	ME	Machine check enable 0 Machine check exceptions are disabled. 1 Machine check exceptions are enabled.
20	FE0	Floating-point exception mode 0 (see Table 4-6) (Not supported on the EC603e microprocessor)
21	SE	Single-step trace enable 0 The processor executes instructions normally. 1 The processor generates a trace exception upon the successful completion of the next instruction.
22	BE	Branch trace enable 0 The processor executes branch instructions normally. 1 The processor generates a trace exception upon the successful completion of a branch instruction.

23	FE1	Floating-point exception mode 1 (see Table 4-6) (Not supported on the EC603e microprocessor)
24	—	Reserved. Full function.
25	IP	Exception prefix. The setting of this bit specifies whether an exception vector offset is prepended with Fs or 0s. In the following description, <i>nnnnn</i> is the offset of the exception. See Figure 4-1. 0 Exceptions are vectored to the physical address 0x000 <i>n_nnnn</i> . 1 Exceptions are vectored to the physical address 0xFFF <i>n_nnnn</i> .
26	IR	Instruction address translation 0 Instruction address translation is disabled. 1 Instruction address translation is enabled. For more information see Chapter 5, “Memory Management.”
27	DR	Data address translation 0 Data address translation is disabled. 1 Data address translation is enabled. For more information see Chapter 5, “Memory Management.”
28–29	—	Reserved. Full function.
30	RI	Recoverable exception (for system reset and machine check exceptions) 0 Exception is not recoverable. 1 Exception is recoverable.
31	LE	Little-endian mode enable 0 The processor runs in big-endian mode. 1 The processor runs in little-endian mode.

SPECIAL PURPOSE REGISTERS (SPR)- rejestry specjalnego przeznaczenia pozwalające na sterowanie pracą procesora na poziomie użytkownika i nadzorcy.

Tryb Użytkownika np. LR (Link Register) do przechowywania adresu powrotu ze skoku ze śladem

Tryb Nadzorcy np. SPR0 i SPR1 rejestry do przechowywania MSR i adresu powrotu ze stanu wyjątkowego



Sygnaly zewnętrzne

Przykładowy format rozkazów

Table A-17. Integer Load and Store String Instructions

Name	0	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
lswi ³	31				D					A					NB							597						0
lswx ³	31				D					A					B							533						0
stswi ³	31				S					A					NB							725						0
stswx ³	31				S					A					B							661						0

Przykład kodowania instrukcji- rozkaz andi r₁, r₁, 0000

Format rozkazu:

Kod rozkazu						Źródło					Przeznaczenie					Dana natychmiastowa															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
28						01					01					0000															
70									21							00								00							

Typy instrukcji

Integer instructions—These include computational and logical instructions.

- Integer arithmetic instructions
- Integer compare instructions
- Integer logical instructions
- Integer rotate and shift instructions

Floating-point instructions—These include floating-point computational instructions, as well as instructions that affect the FPSCR.

- Floating-point arithmetic instructions
- Floating-point multiply/add instructions
- Floating-point rounding (zaokruglenia) and conversion instructions
- Floating-point compare instructions
- Floating-point status and control instructions

Load/store instructions—These include integer and floating-point load and store instructions.

- Integer load and store instructions
- Integer load and store multiple instructions
- Floating-point load and store
- Primitives used to construct atomic memory operations (**lwarx** and **stwcx.** instructions)

Flow control instructions—These include branching instructions, condition register logical instructions, trap instructions, and other instructions that affect the instruction flow.

- Branch and trap instructions
- Condition register logical instructions

Processor control instructions—These instructions are used for synchronizing memory accesses and management of caches, TLBs, and the segment registers.

— Move to/from SPR instructions

— Move to/from MSR

— Synchronize

— Instruction synchronize

— Order loads and stores

Memory control instructions—These instructions provide control of caches, TLBs, and segment registers.

- Supervisor-level cache management instructions
- User-level cache instructions
- Segment register manipulation instructions
- Translation lookaside buffer management instructions

andi	r1,0000h
andis	r1,0000
oris	r1,FFF0
lwz	r2,o(r1)
andi	r3,0000
andis	r3,0000
ori	r3,0001
mtspr	CTR,r2
mfspr	r2,CTR
mullw	r3,r2,r3
stw	r3,(r1)
bc	

Przykład programu liczącego silnię z dowolnej liczby (źródło i przeznaczenie komórka o adresie FFF0 0000).

Kontroler bezpośredniego dostępu do pamięci- DMA ang. DIRECT MEMORY ACCESS)- Intel 8237



8237A HIGH PERFORMANCE PROGRAMMABLE DMA CONTROLLER (8237A-5)

- Enable/Disable Control of Individual DMA Requests
- Four Independent DMA Channels
- Independent Autoinitialization of All Channels
- Memory-to-Memory Transfers
- Memory Block Initialization
- Address Increment or Decrement
- High Performance: Transfers up to 1.6M Bytes/Second with 5 MHz 8237A-5
- Directly Expandable to Any Number of Channels
- End of Process Input for Terminating Transfers
- Software DMA Requests
- Independent Polarity Control for DREQ and DACK Signals
- Available in EXPRESS — Standard Temperature Range
- Available in 40-Lead Cerdip and Plastic Packages

(See Packaging Spec, Order #231369)

Umożliwia:

- bezpośredni transfer danych pomiędzy dwoma obszarami pamięci (przesyłanie danych bajtowych),
- bezpośredni transfer danych pomiędzy urządzeniem wejścia-wyjścia a pamięcią (dowolna wielkość danej).

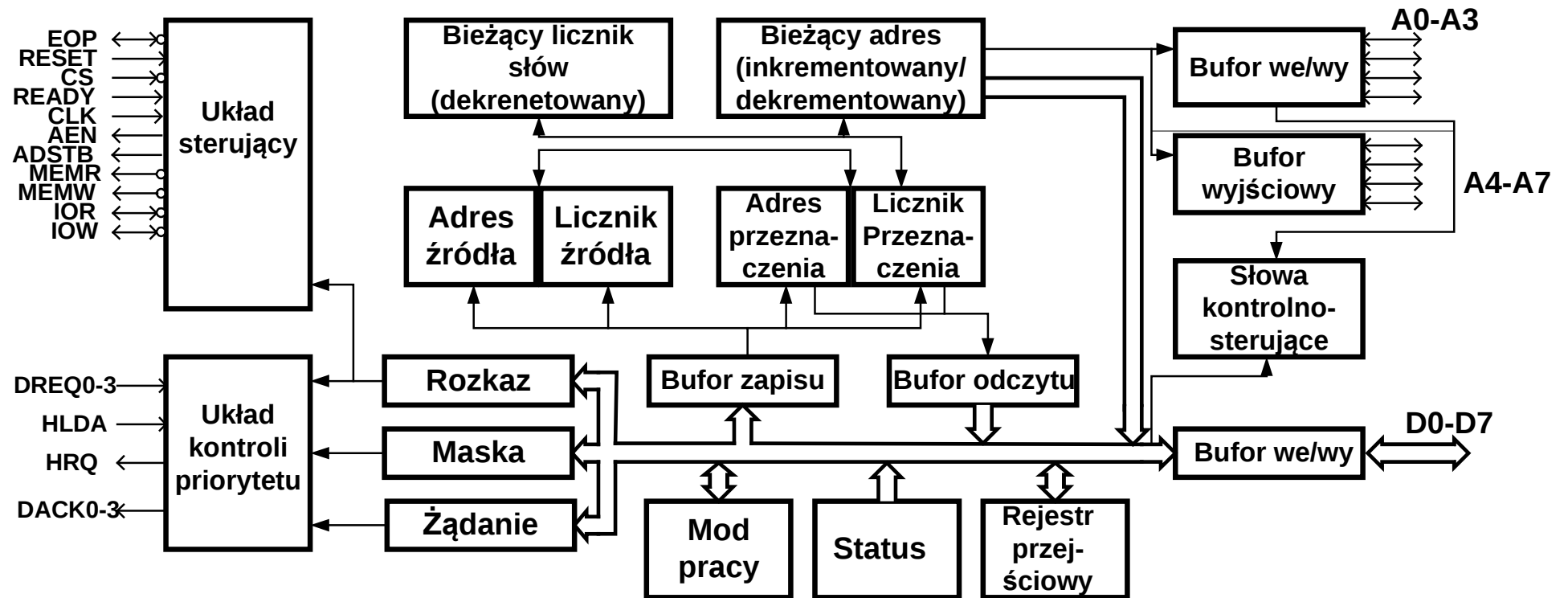
Posiada cztery niezależne kanały.

Umożliwia zmiany priorytetu kanałów.

Istnieje możliwość łączenia kaskadowego w celu zwiększenia ilości kanałów.

Transfer pamięć-pamięć tylko w kanale 0 i 1.

Schemat blokowy układu



-IOR	☐	1		40	☐	A7
-IOW	☐	2		39	☐	A6
-MEMR	☐	3		38	☐	A5
-MEMW	☐	4		37	☐	A4
(High or VCC)	☐	5		36	☐	-EOP
READY	☐	6		35	☐	A3
HLDA	☐	7		34	☐	A2
ADSTB	☐	8		33	☐	A1
AEN	☐	9		32	☐	A0
HRQ	☐	10	Intel	31	☐	VCC (+5V)
-CS	☐	11	8237	30	☐	DB0
CLK	☐	12		29	☐	DB1
RESET	☐	13		28	☐	DB2
DACK2	☐	14		27	☐	DB3
DACK3	☐	15		26	☐	DB4
DREQ3	☐	16		25	☐	DACK0
DREQ2	☐	17		24	☐	DACK1
DREQ1	☐	18		23	☐	DB5
DREQ0	☐	19		22	☐	DB6
(GND) VSS	☐	20		21	☐	DB7

Wyprowadzenia układu

CLK-wejście- zegarowy sygnał taktujący

CS-wejście- aktywny stanem niskim sygnał wyboru dostępu do układu

RESET-wejście- sygnał zerujący (aktywny stanem wysokim)

READY-wejście- sygnał niegotowości- powoduje wydłużenie cyklu zapisu lub odczytu podczas transferu DMA o dodatkowe takty zegara (aktywny stanem wysokim)

HRQ-wyjście- sygnał żądania zwolnienia magistrali (aktywny stanem wysokim)

HLDA-wejście- sygnał potwierdzenia zwolnienia magistrali (aktywny stanem wysokim)

A0-A3- wejście- podczas programowania służy do wyboru jednego z wewnętrznych rejestrów układu DMA

wyjście- podczas transferu dma do adresacji pamięci (cztery najmniej znaczące linie adresowe)

A4-A7- wyjście- podczas transferu dma do adresacji pamięci

DB0-DB7- dwukierunkowa magistrala danych podczas programowania i odczytu DMA

multipleksowana, dwukierunkowa magistrala starszych adresów (a8-A15) oraz danych podczas transferu DMA

IOR- wejście strobu odczytu podczas programowania DMA (aktywne stanem niskim)

Wyjście-strobu odczytu urządzenia wejścia-wyjścia podczas transferu DMA (aktywne stanem niskim)

IOW- wejście strobu zapisu danych podczas programowania DMA (aktywne stanem niskim)

wyjście- strobu zapisu urządzenia wejścia-wyjścia podczas transferu DMA (aktywne stanem niskim)

MEMR- wyjście strobu odczytu pamięci podczas transferu DMA
(aktywne stanem niskim)

MEMW- wyjście strobu zapisu pamięci podczas transferu DMA
(aktywne stanem niskim)

ADSTB- wyjście strobu starszej części adresu na multipleksowanej magistrali DB0-DB7) (aktywne stanem wysokim)

AEN- wyjście ważności adresu uaktywniające bufor zewnętrzny
(aktywne stanem wysokim)

DREQ0-DREQ3- wejścia żądania transferu DMA w danym kanale
(aktywne stanem wysokim lub niskim)

DAK0-DAK3- wyjście potwierdzenia transferu DMA w danym kanale (aktywne stanem wysokim lub niskim)

EOP- wyjście informujące o końcu transferu DMA (aktywne stanem niskim)

wejście wymuszające sprzętowo koniec transferu DMA (aktywne jw.)

Rejestry wewnętrzne układu DMA:

Nazwa	Rozmiar	Ilość
Rejestr bazowy adresu źródła	16 bitów	4
Rejestr bazowy licznika źródła	16 bitów	4
Rejestr bazowy adresu przeznaczenia	16 bitów	4
Rejestr bazowy licznika przeznaczenia	16 bitów	4
Rejestr przejściowy adresu	16	1
Rejestr przejściowy licznika	16	1
Rejestr statusowy	8	1
Rejestr rozkazu	8	1
Rejestr przejściowy	8	1
Rejestr modu	8	4
Rejestr maski	4	1
Rejestr żądań	4	1

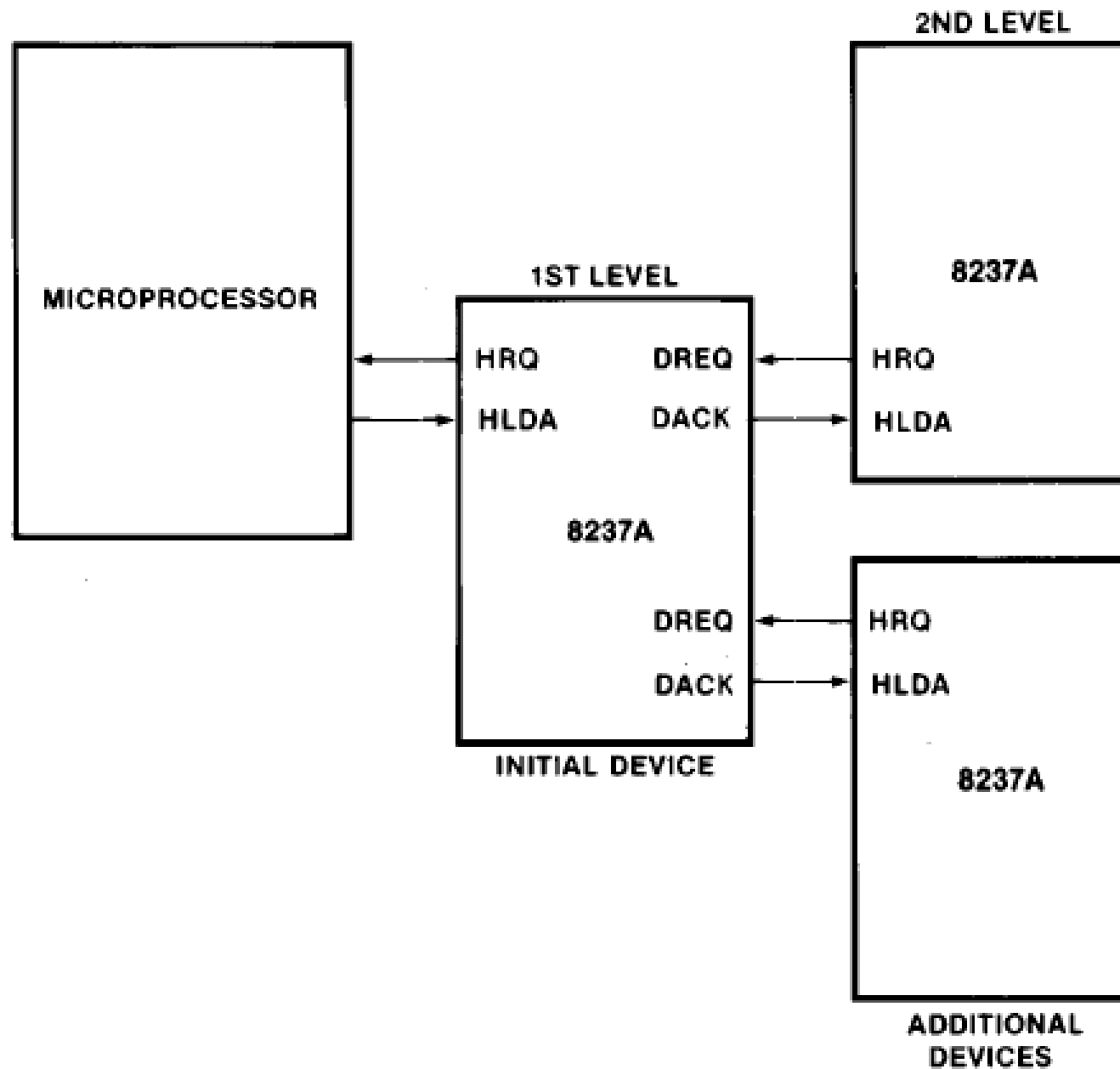
Tryby pracy:

Tryb pojedynczego przesłania- po każdym pojedynczym przesłaniu licznik jest dekrementowany a adres inkrementowany lub dekrementowany. Transfery kończą się po wyzerowaniu licznika chyba że jest włączona autoinicjalizacja. W tym przypadku kolejny transfer zacznie się od załadowanego do rejestru bazowego adresu i licznika.

Tryb przesłania blokowego- po zgłoszeniu żądania na linii DREQ podtrzymywanego do pojawienia się sygnału DACK transfer trwa do wyzerowania licznika lub pojawienia się sygnału EOP

Tryb przesłania żadanego- podobnie jak blokowy jednak sygnał DREQ musi trwać przez cały czas transferu

Tryb kaskadowy- kaskadowe połączenie układów DMA 8237

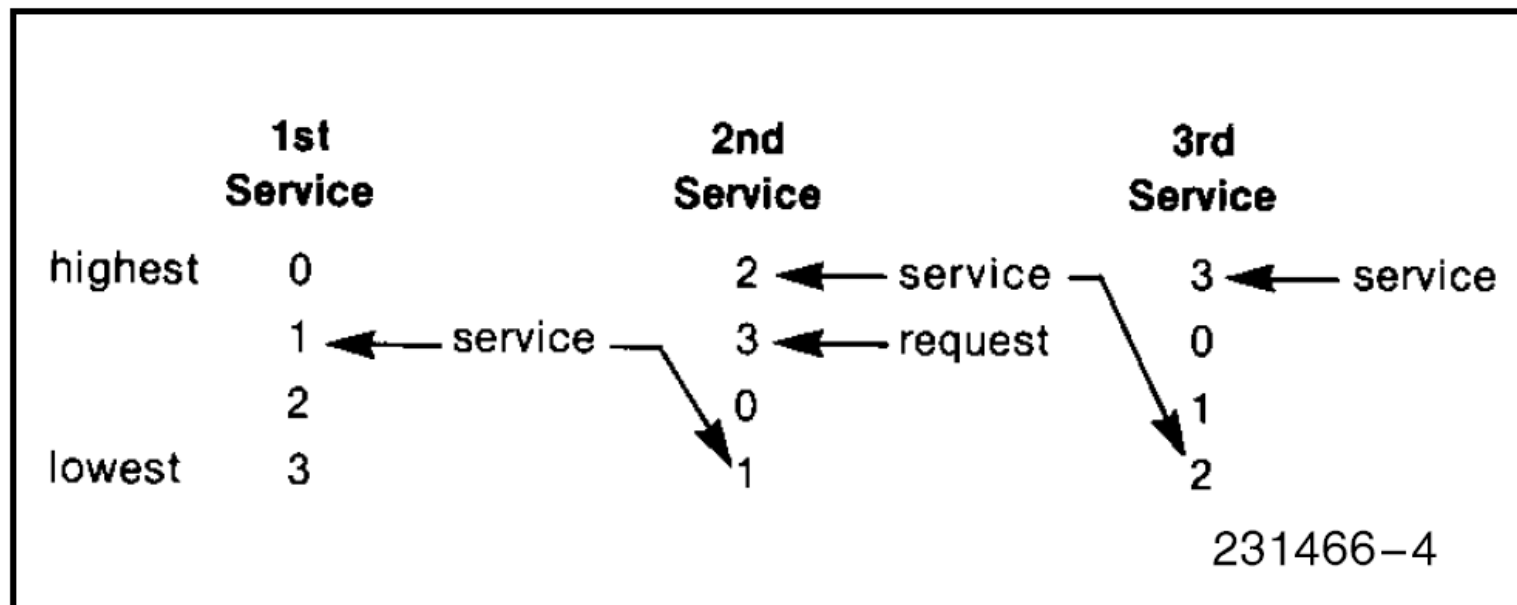


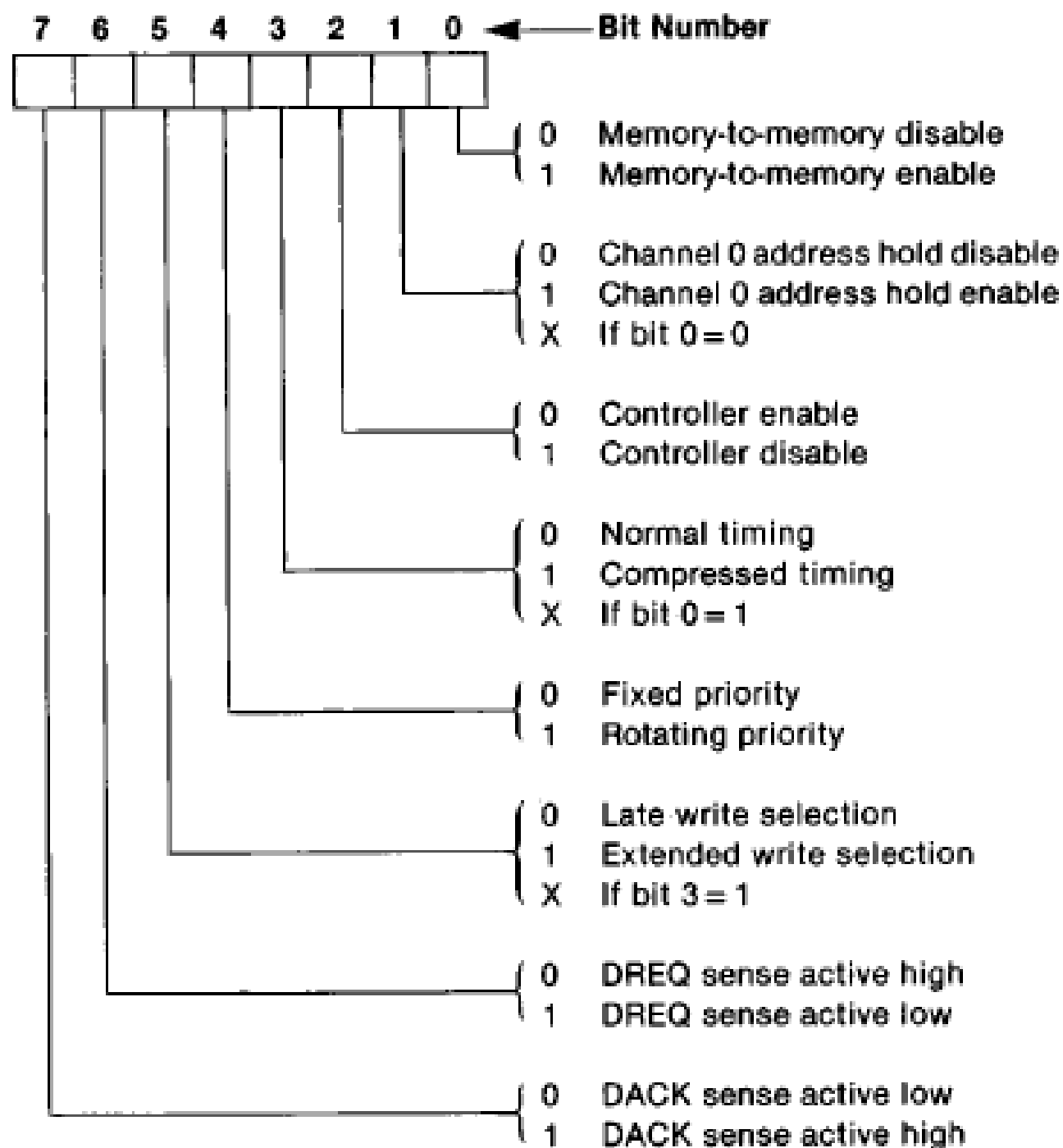
Kaskadowe połączenie układów DMA 8237

Układ priorytetów- dwa rodzaje priorytetu:

Stały priorytet- kanał 0 ma najwyższy priorytet, kanał 3 ma priorytet najniższy

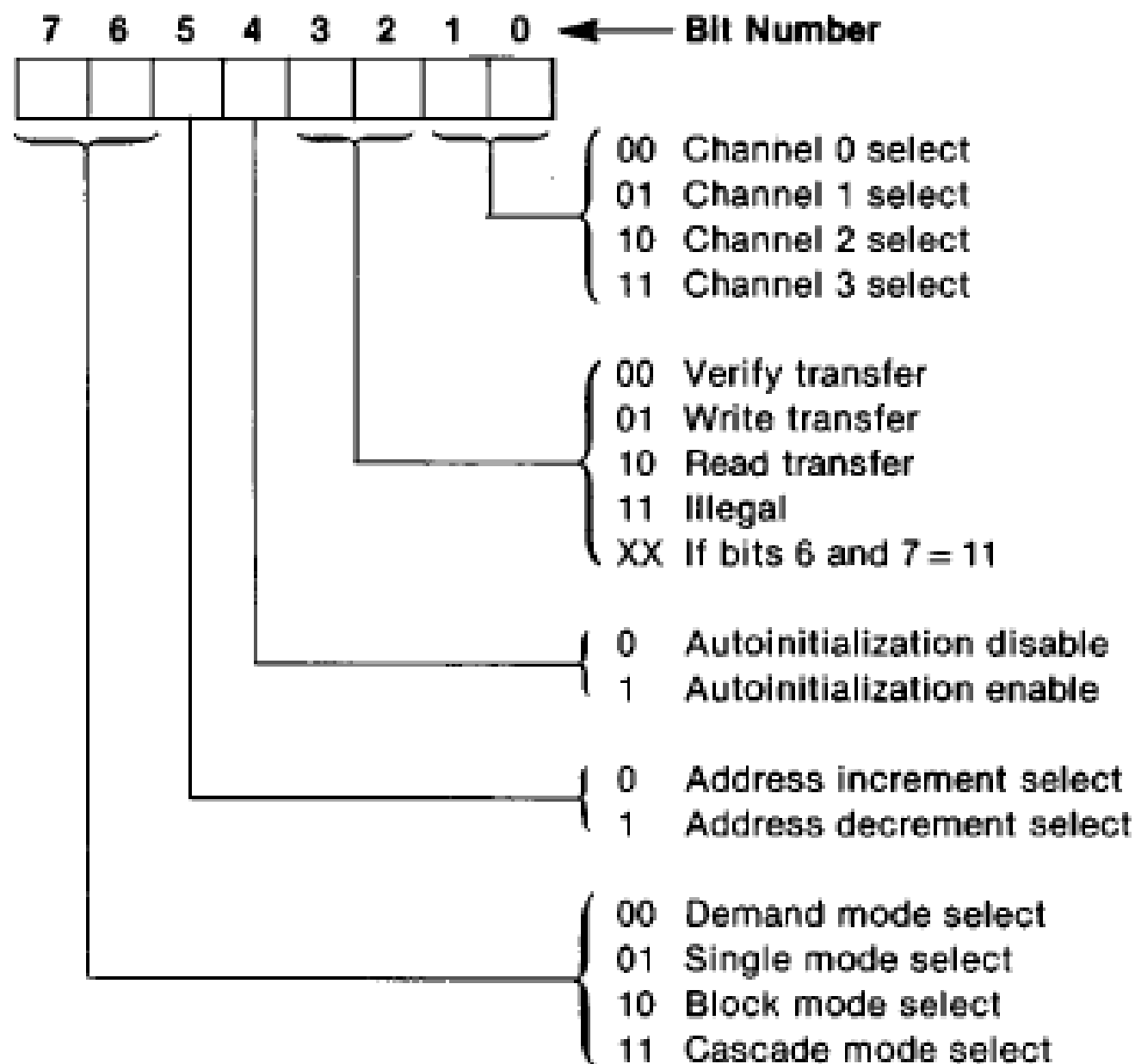
Rotujący priorytet, ten z kanałów który ostatnio realizował transfer DMA ma priorytet najniższy.

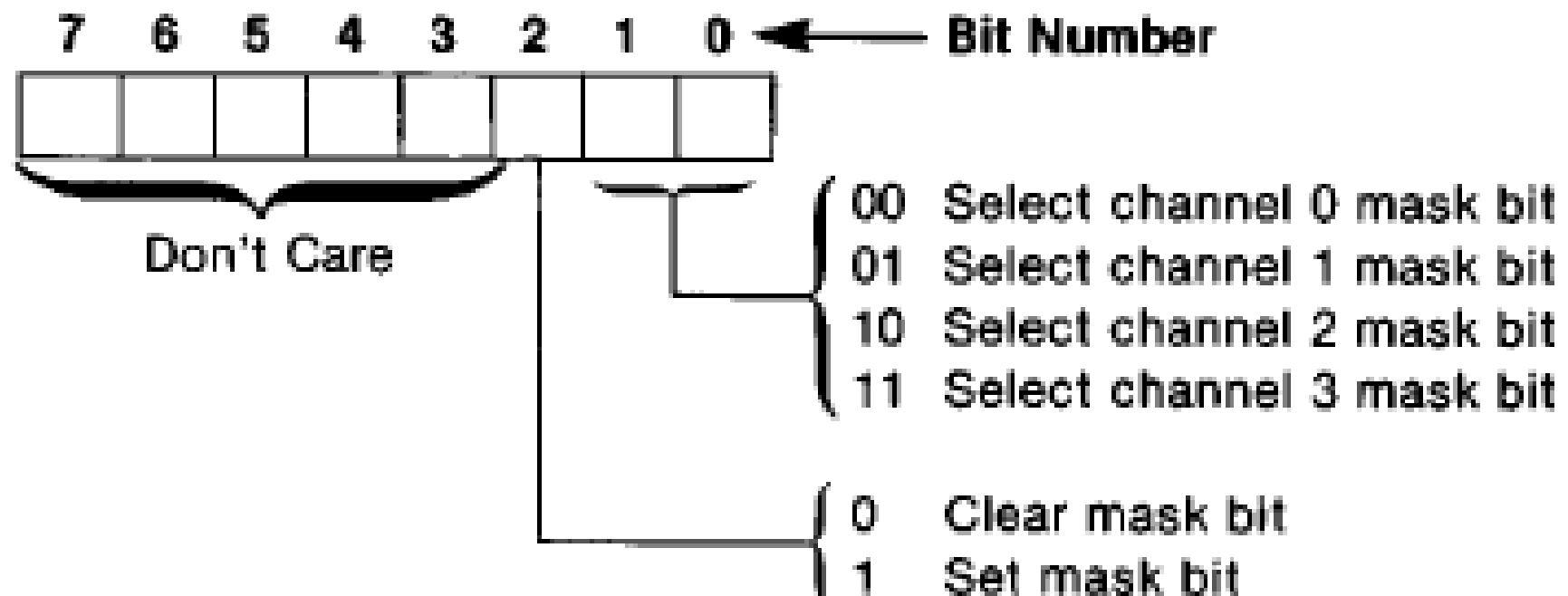




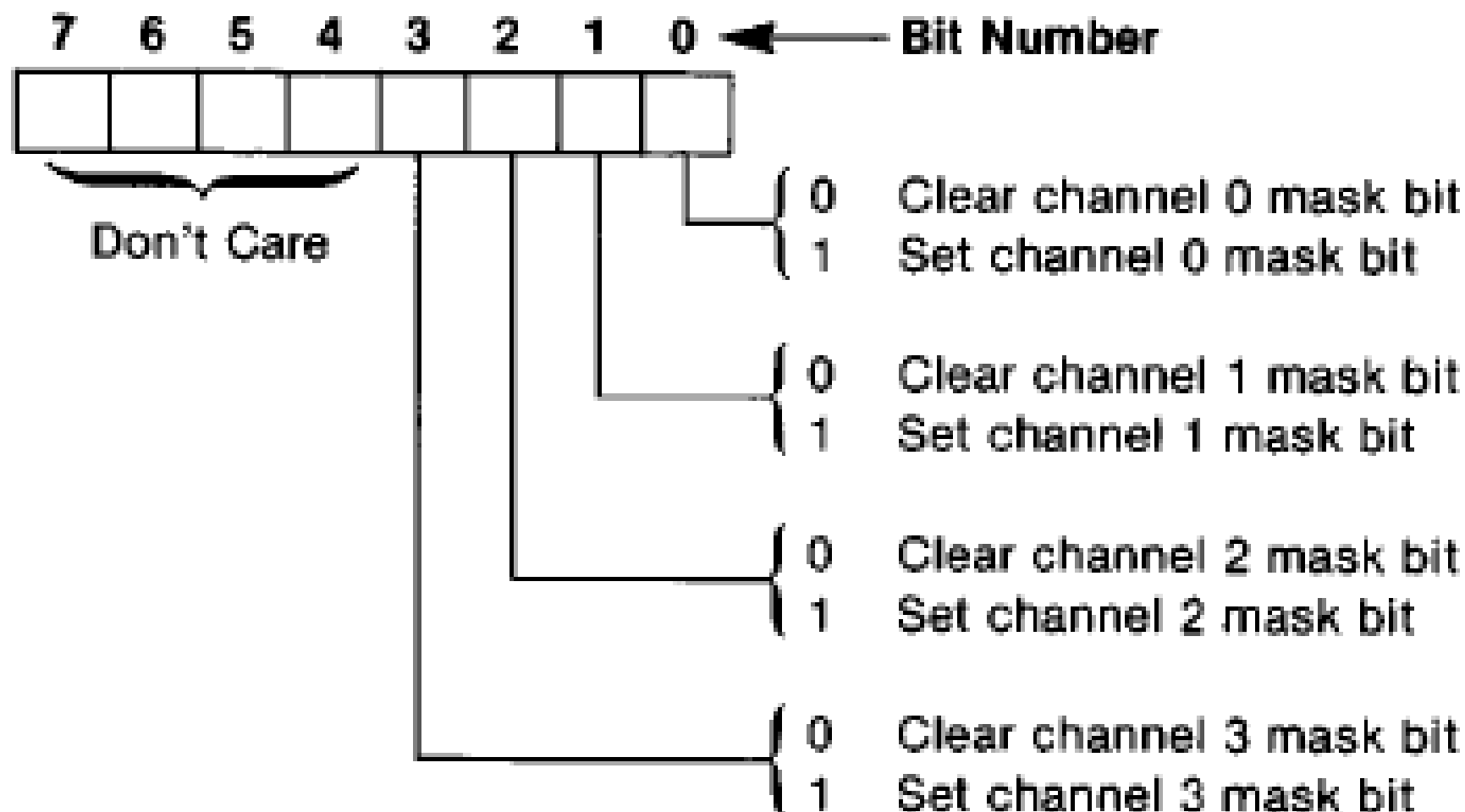
Rejestr sterujący

Rejestr trybu

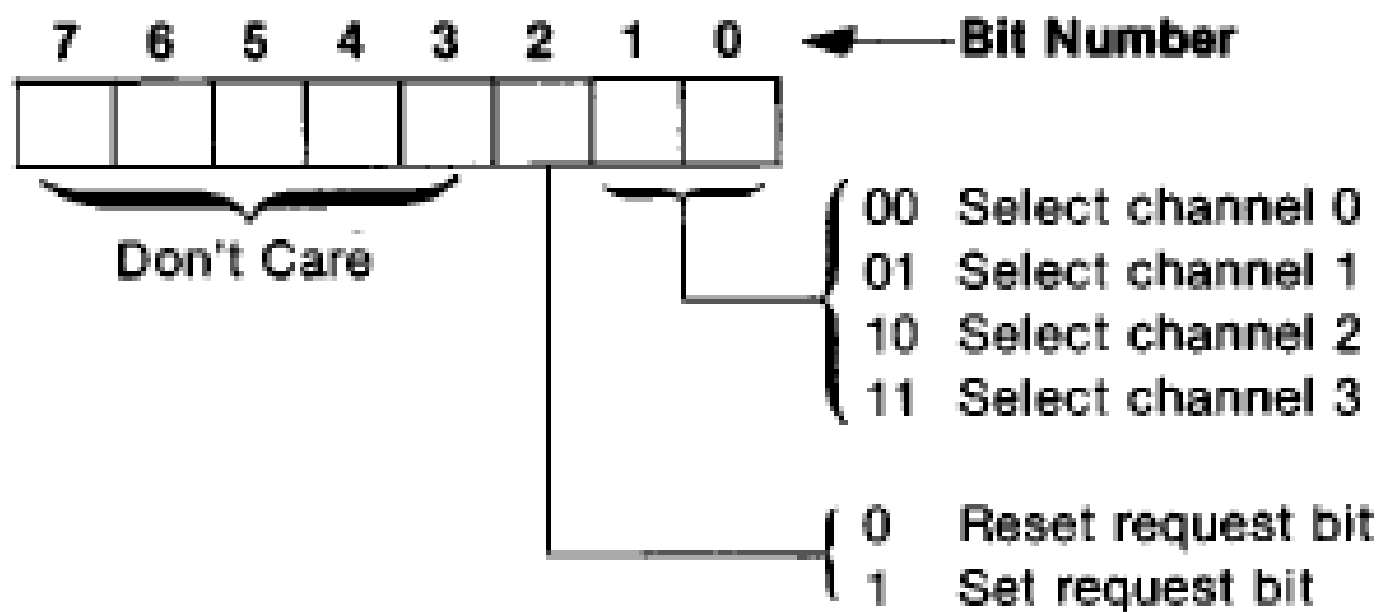




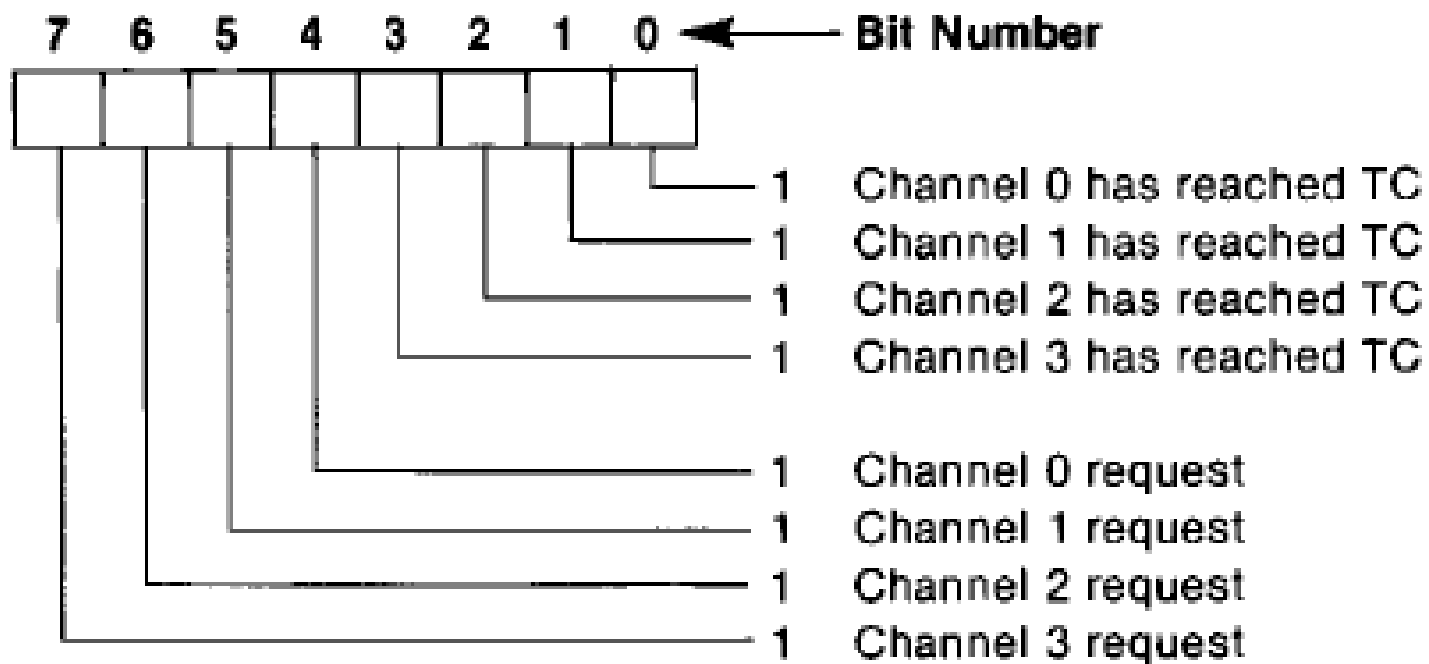
Rejestr maski



Zbiorczy rejestr maski



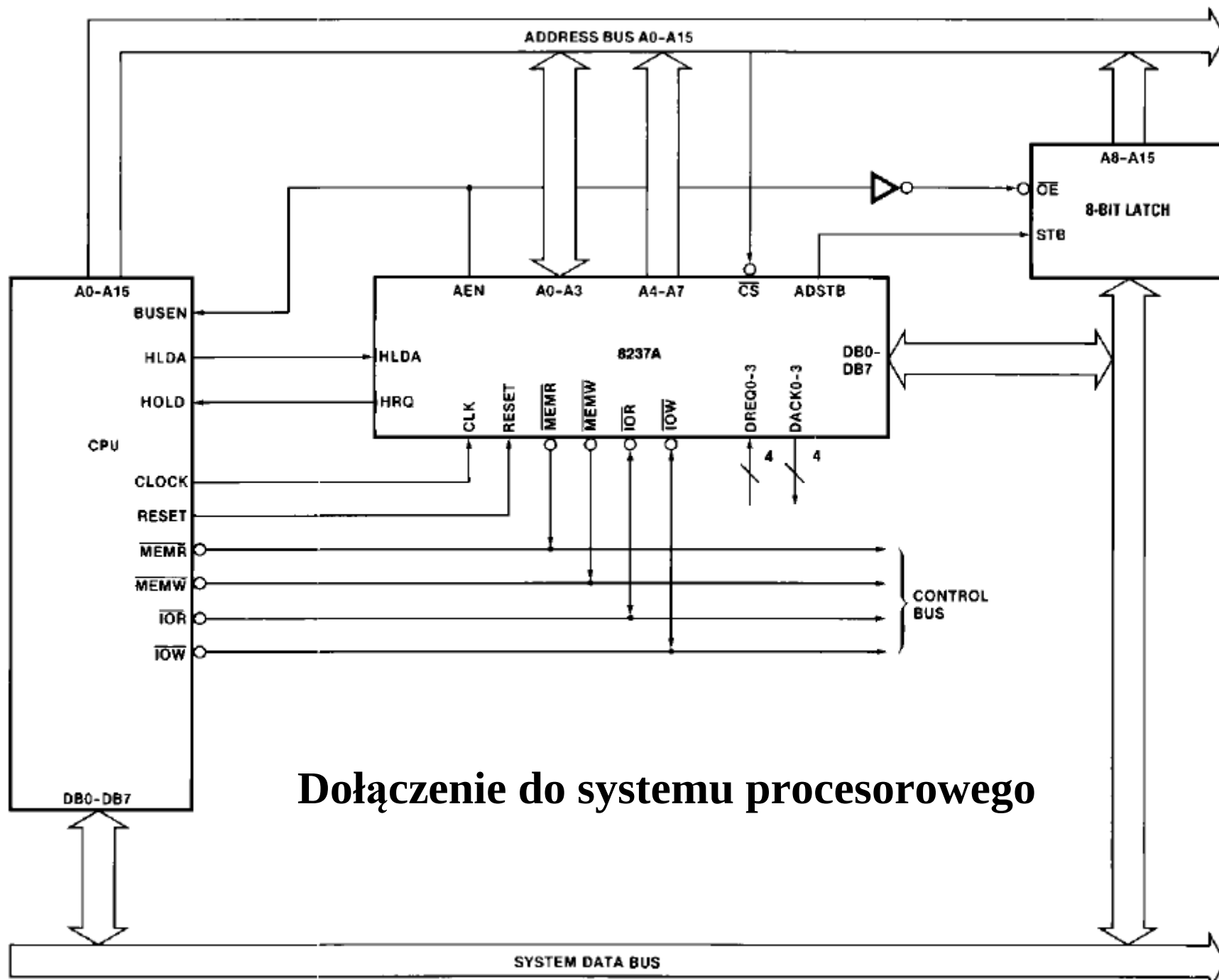
Rejestr żądań



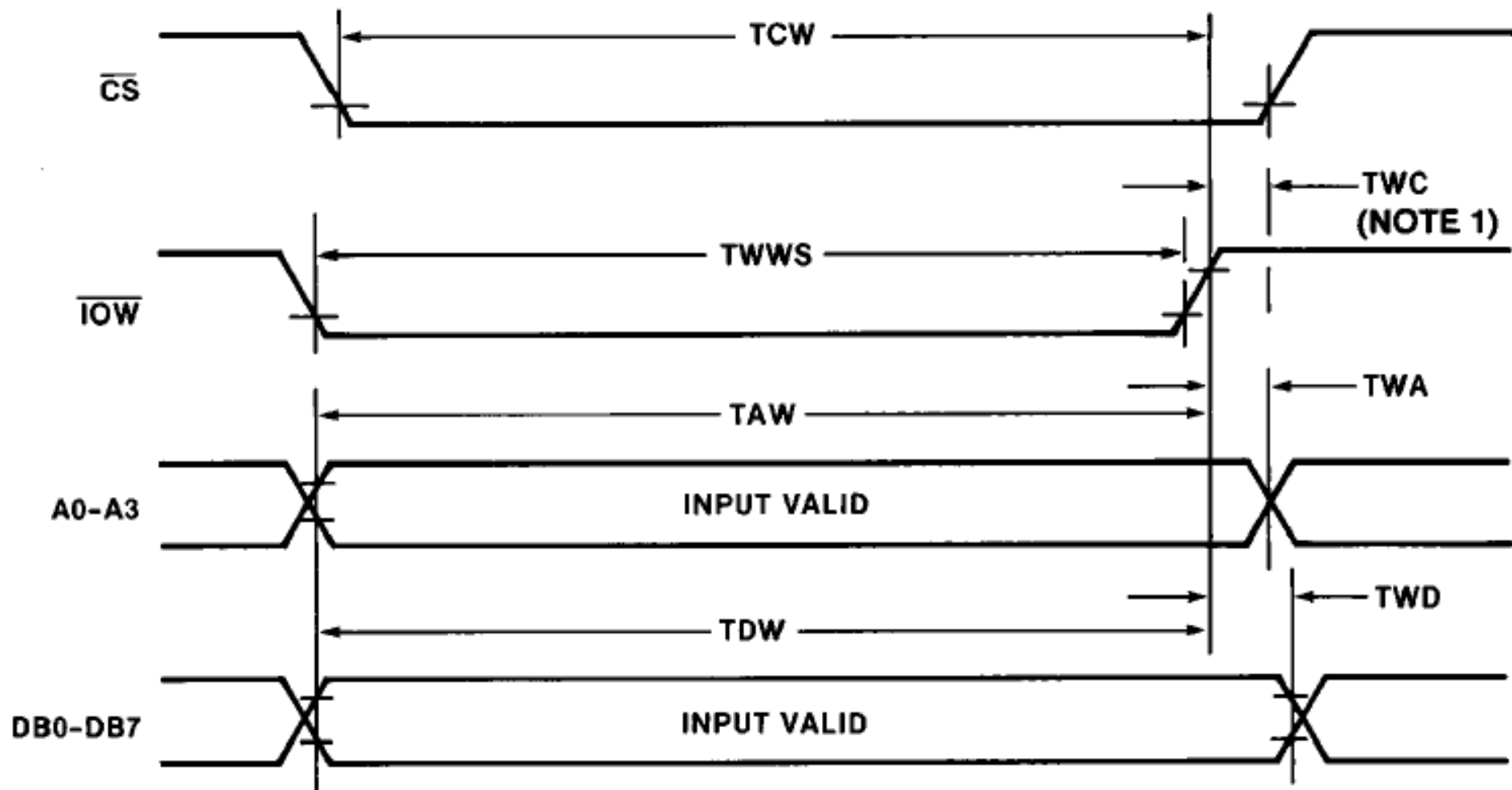
Rejestr statusowy

Signals						Operation
A3	A2	A1	A0	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	
1	0	0	0	0	1	Read Status Register
1	0	0	0	1	0	Write Command Register
1	0	0	1	0	1	Illegal
1	0	0	1	1	0	Write Request Register
1	0	1	0	0	1	Illegal
1	0	1	0	1	0	Write Single Mask Register Bit
1	0	1	1	0	1	Illegal
1	0	1	1	1	0	Write Mode Register
1	1	0	0	0	1	Illegal
1	1	0	0	1	0	Clear Byte Pointer Flip/Flop
1	1	0	1	0	1	Read Temporary Register
1	1	0	1	1	0	Master Clear
1	1	1	0	0	1	Illegal
1	1	1	0	1	0	Clear Mask Register
1	1	1	1	0	1	Illegal
1	1	1	1	1	0	Write All Mask Register Bits

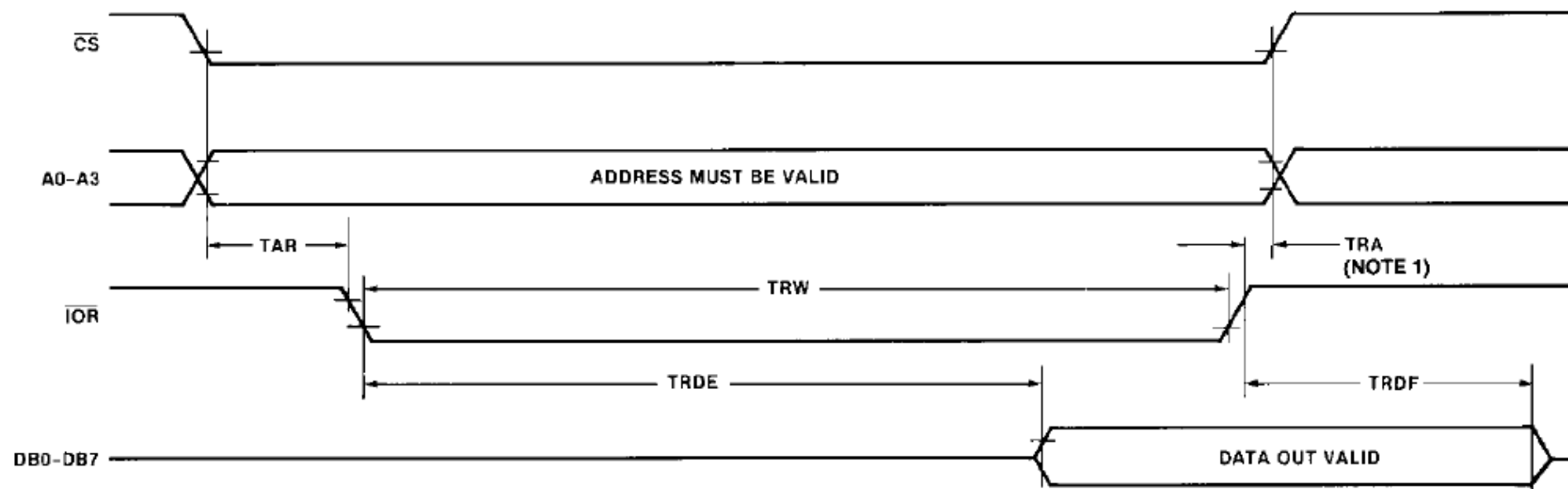
Adresacja rejestrów



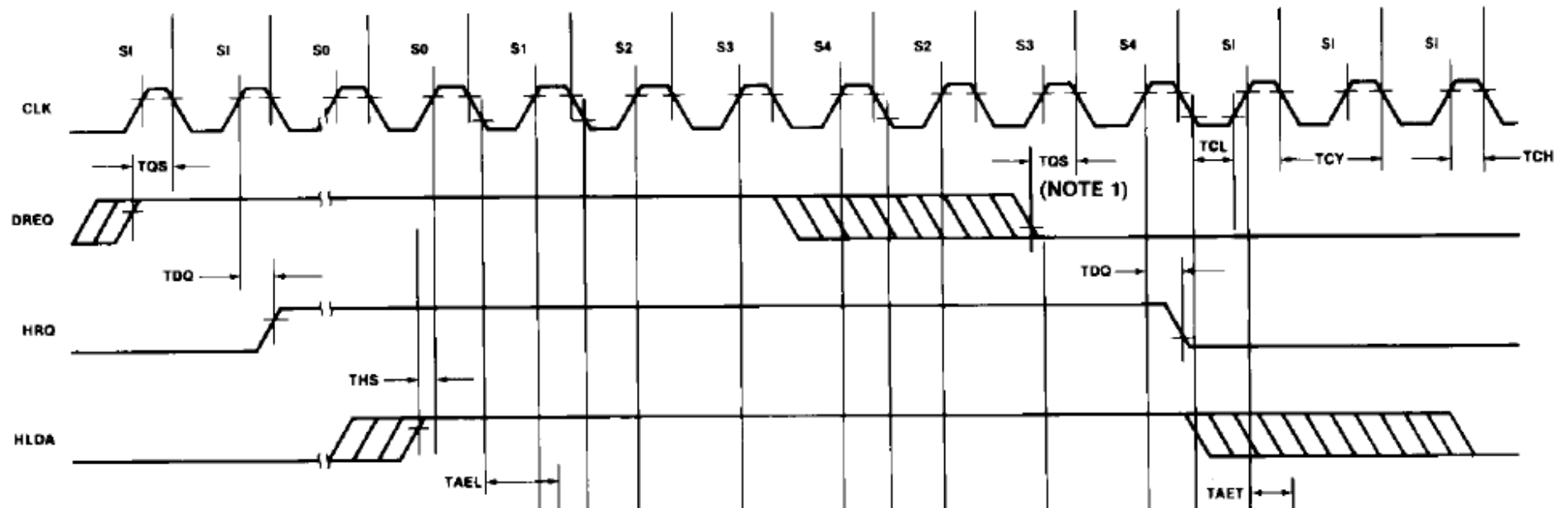
Dołączenie do systemu procesorowego



Cykl zapisu w trybie programowania



Cykl odczytu w trybie programowania



Tryb DMA

