



AGH

Katedra Elektroniki

**Podstawy Elektroniki
dla Informatyki**

Tranzystory unipolarne MOS

Ćwiczenie

3

2014 r.

1. Wstęp.

Celem ćwiczenia jest zapoznanie się z działaniem i zastosowaniami tranzystora unipolarnego MOS.

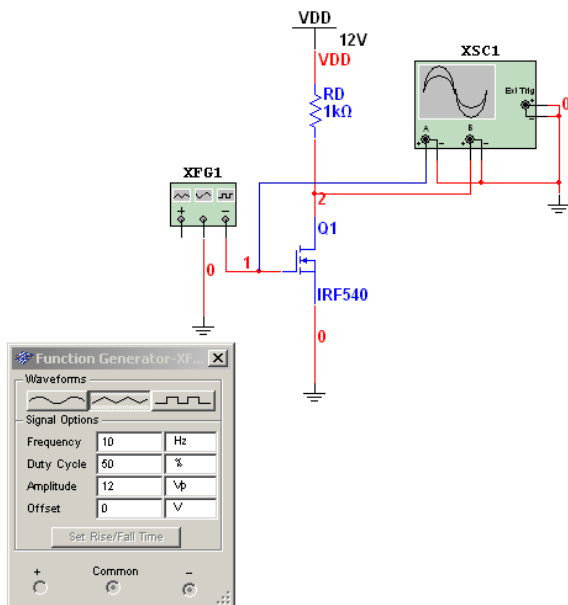
2. Konspekt

Zasada działania tranzystora unipolarnego MOS. Zależności określające prąd drenu, prąd źródła, transkonduktancję. Tranzystor MOS jako wzmacniacz napięcia w układzie wspólnego źródła OS. Potencjometryczny układ polaryzacji tranzystora unipolarnego. Praca tranzystora unipolarnego w układzie klucza. Bramka transmisyjna CMOS. Inwerter logiczny CMOS. Bramka logiczna NAND, AND i NOR w technologii CMOS.

3. Wyznaczenie wartości napięcia progowego U_T tranzystora unipolarnego NMOS

Istotnym parametrem charakteryzującym tranzystor unipolarny jest napięcie progowe U_T . Tranzystor zaczyna przewodzić gdy napięcie U_{GS} między źródłem a bramką tranzystora staje się większe od napięcia progowego U_T czyli $U_{GS} > U_T$.

W celu ustalenia wartości napięcia progowego U_T dla tranzystora IRF540 (NMOS enhancement-mode) stosowanego w dalszych symulacjach utwórz obwód elektryczny z rys. 1.



Rys. 1. Układ do wyznaczenia napięcia progowego tranzystora unipolarnego NMOS

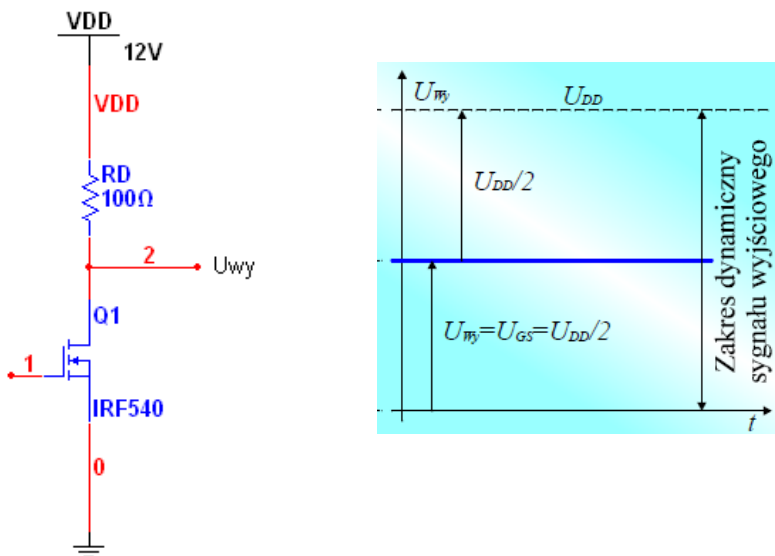
Na bramkę tranzystora podaj sygnał liniowo narastający o niskiej częstotliwości np. sygnał trójkątny o parametrach jak na metryczce generatora. Zaobserwuj na oscyloskopie przebieg napięcia sterującego U_{GS} oraz napięcia U_{DS} na drenie tranzystora. Zarejestruj moment włączenia tranzystora i za pomocą kursorów wyznacz wartość napięcia progowego U_T . Powtórz pomiar za pomocą analizy przejściowej (*transient analysis*).

Zanotuj:

$U_T = \dots\dots\dots$

4. Tranzystor unipolarny w układzie wzmacniacza sygnałów zmiennych.

Rys. 2 przedstawia bazowy układ wzmacniacza sygnałów zmiennych składający się z tranzystora unipolarnego NMOS typu IRF540 zasilanego napięciem U_{DD} oraz rezystora R_D w obwodzie drenu tranzystora. Optymalna wartość napięcia wyjściowego wzmacniacza U_{wy} powinna być równa połowie wartości zakresu dynamicznego sygnału wyjściowego.



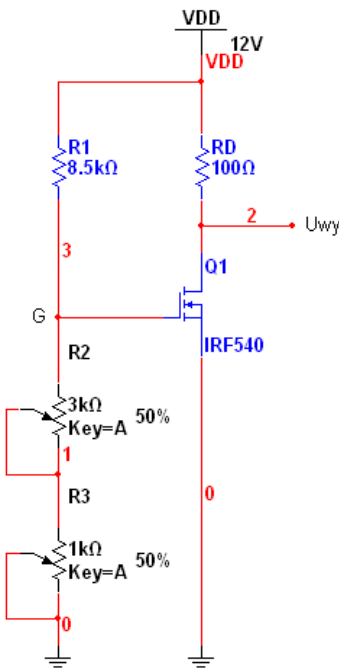
Rys. 2. Bazowy układ wzmacniacza sygnałów zmiennych z tranzystorem unipolarnym NMOS

Wartość optymalną napięcia wyjściowego dobiera się poprzez ustalenie spoczynkowego prądu drenu za pomocą dzielnika napięcia dołączonego do bramki tranzystora NMOS. Uzupełnij obwód elektryczny z rys. 2 dodając do niego dzielnik napięcia polaryzujący bramkę tranzystora (rys. 3).

Na bramkę tranzystora podaj napięcie z dzielnika napięcia składającego się z rezystora R_1 oraz dwóch potencjometrów R_2 oraz R_3 . Zastosowanie dwóch potencjometrów połączonych

szeregowo umożliwi dokładniejszą regulację napięcia podawanego na bramkę tranzystora. Zaleca się, aby w metryczkach potencjometrów ustawić skok regulacji suwaka (increment) równy 1%

Dołącz do obwodu multimetry umożliwiające obserwację napięcia U_{GS} między bramką a źródłem tranzystora, napięcia U_{DS} między drenem a źródłem tranzystora oraz prądu drenu I_D .



Rys. 3. Potencjometryczny układ polaryzacji tranzystora NMOS

Postępuj według następującego schematu:

1. Wyznacz optymalną wartość spoczynkowego prądu drenu tranzystora na podstawie obwodu elektrycznego:

$$U_{wy} = \frac{1}{2} U_{DD}$$

$$I_D = \frac{U_{DD} - U_{wy}}{R_D}$$

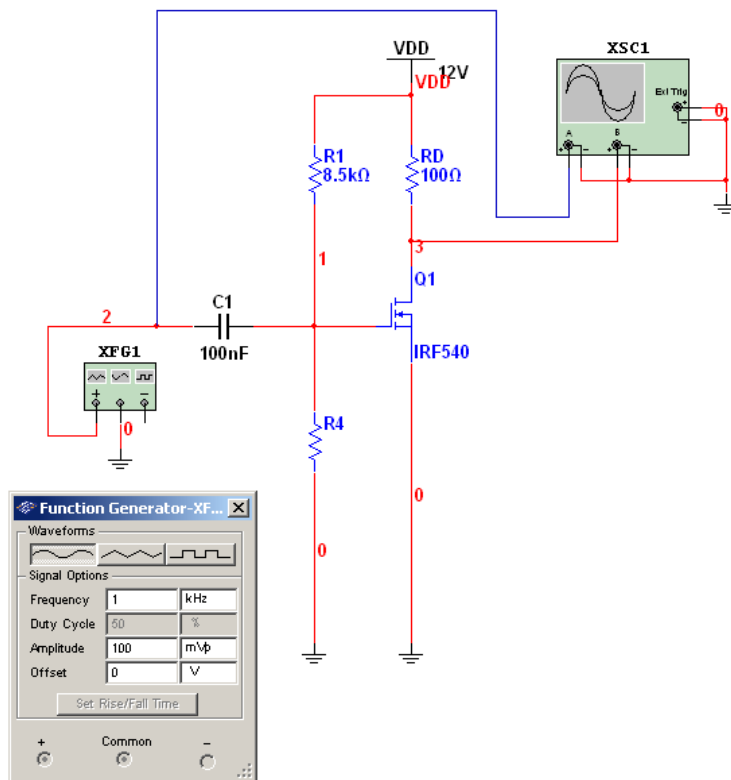
Zaprojektuj dzielnik napięcia ustalający napięcie polaryzacji bramki U_{GS} tak, aby prąd drenu osiągnął zadaną wartość I_D . Możesz dobrać rezystor dolny w dzielniku napięcia rachunkowo, albo ustalić jego wartość doświadczalnie za pomocą potencjometrów R_2 i R_3 . Zmierz

omierzem nastawy na potencjometrach R_2 i R_3 (do pomiaru musisz odłączyć potencjometry z układu) a następnie zastąp w układzie potencjometry rezystorem stałym R_4 o rezystancji równej rezystancji wypadkowej potencjometrów.

2. Zmierz za pomocą dołączonych przyrządów $U_{GS}=U_G$, I_D oraz $U_{wy}=U_{DS}$.
3. Zanotuj współrzędne punktu pracy tranzystora Q (U_{DS} , I_D):

Q (..... ,)

W dalszej części symulacji rozbudowujemy układ z rys. 3, dołączając na wejście układu generator sygnału sinusoidalnego oraz dołączając na wyjście układu oscyloskop (rys. 4).



Rys. 4. Układ wzmacniacza sygnałów zmiennych z tranzystorem NMOS.

Do bramki tranzystora podłącz generator – źródło sinusoidalnego sygnału zmiennego (amplituda 100 mV, częstotliwość 1 kHz, składowa stała 0 V). Sygnały zmienne z generatora oraz z drenu tranzystora doprowadź do wejść oscyloskopu.

Obserwuj przebieg wejściowy i wyjściowy w trybie AC pracy oscyloskopu. Zauważ, że przebieg wyjściowy ma odwróconą fazę w stosunku do przebiegu wejściowego. Wyznacz za pomocą

kursorów w oscyloskopie lub analizy Transient wzmacnienie napięciowe k_u wzmacniacza oraz jego transkonduktację g_m .

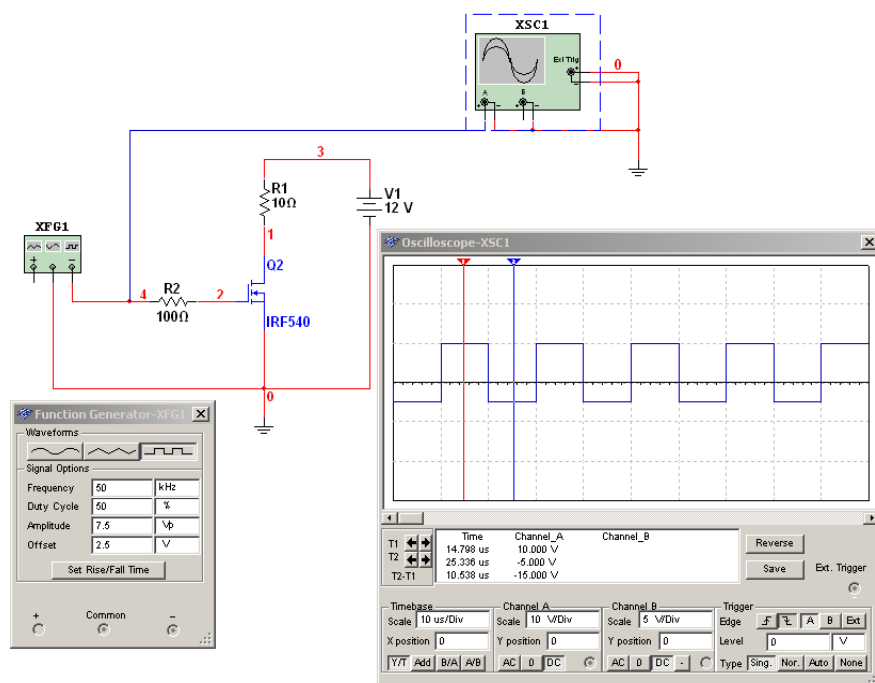
Wyniki wszystkich pomiarów zanotuj w tabeli 1.

Tabela 1

Tranzystor IRF540 $U_{DD} = \dots V$	$R_D [\Omega]$	$U_{GS} [V]$	$U_{wy} = U_{DS} [V]$	$I_D [A]$	Punkt pracy (U_{DS}, I_D)	Wzmacnienie napięciowe k_u	Transkonduktancja $g_m [S]$
Wartości zmierzone	100						

5. Tranzystor unipolarny CMOS jako klucz przełączający

Utwórz obwód elektryczny tranzystora unipolarnego CMOS pracującego jako klucz przełączający, dołączając oscyloskop początkowo tylko na wejście układu (rys. 5).



Rys. 5. Tranzystor unipolarny jako klucz

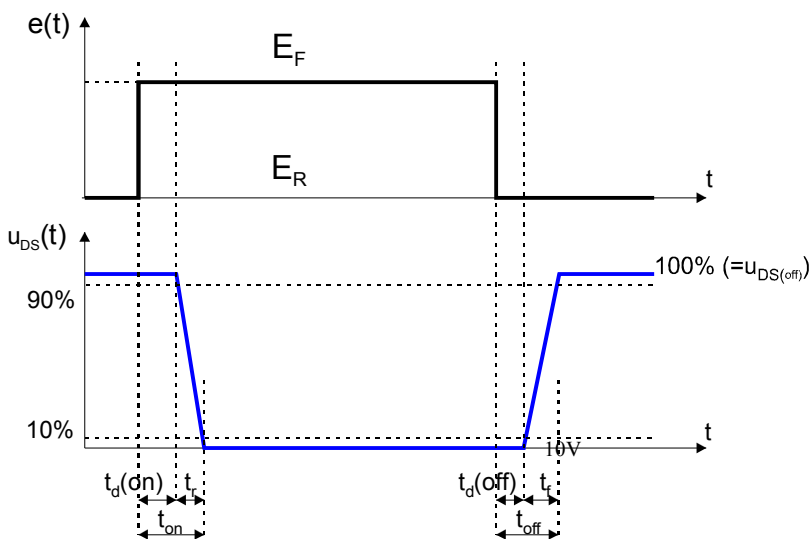
Z generatora podaj sygnał prostokątny o częstotliwości 50 kHz i współczynnika wypełnienia (duty cycle) 50% oraz wybranym z tabeli 2 górnym poziomem napięcia wejściowego E_F i

dolnym poziomem napięcia wejściowego E_R . Poziomy te ustala się dobierając nastawy: Amplituda oraz Offset na generatorze. Wiersz pierwszy w tabeli uzupełniony jest dla przykładu.

Dołącz drugi kanał oscyloskopu na wyjście układu czyli na dren tranzystora. Obserwuj przebieg wejściowy i wyjściowy w Analizie Transient. Oszacuj jaki czas obserwacji potrzebny jest w analizie Transient, aby móc zobaczyć moment włączania i wyłączania tranzystora. Za pomocą kursorów zmierz czasy przełączania tranzystora unipolarnego t_f (czas włączania) i t_r (czas wyłączania) (rys. 6).

Tabela 2. Tranzystor unipolarny jako klucz. Czasy włączania i wyłączania tranzystora.

Lp.	EF [V]	ER[V]	Amplituda [V]	Offset [V]	Czas włączania [s]	Czas wyłączania [s]
1.	10	-5	7.7	2.5		
2.	10	0				
3.	5	-5				
4.	5	0				



Rys. 6. Czasy przełączania tranzystora unipolarnego. Napięcie wyjściowe na drenie tranzystora w funkcji czasu: $t_{d(on)}$ – czas opóźnienia włączenia klucza, t_r – czas narastania prądu drenu (rise time), $t_{d(off)}$ – czas opóźnienia wyłączenia klucza, t_f – czas opadania prądu drenu (fall time).

$t_{d(on)}$ – **czas opóźnienia włączenia tranzystora** (delay time) – czas pomiędzy początkiem impulsu wejściowego a chwilą gdy prąd drenu jest równy 10% swojej wartości max,

t_r – **czas narastania** (rise time) prądu drenu od poziomu 10% do poziomem 90% wartości max,

$t_{d(off)}$ – **czas opóźnienia wyłączenia tranzystora** (delay time) – czas pomiędzy końcem impulsu wejściowego a chwilą gdy prąd drenu jest równy 10% swojej wartości max,

t_f – **czas opadania** (fall time) prądu kolektora od poziomu 90% do poziomu 10% wartości max,

t_{ON} – **czas włączania** tranzystora,

$$t_{ON} = t_{d(on)} + t_r,$$

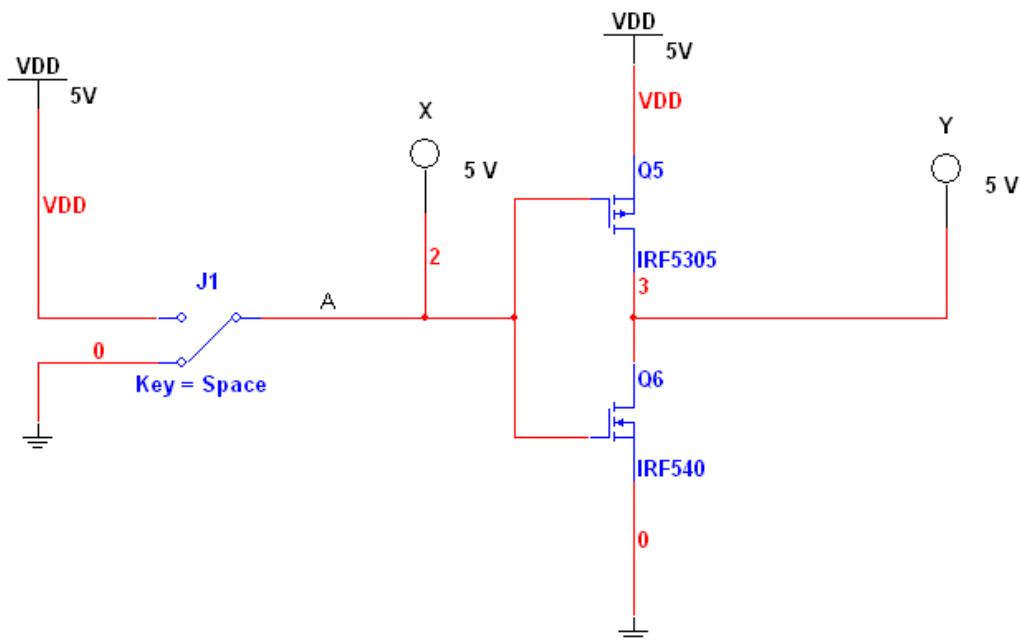
t_{OFF} – **czas wyłączenia** tranzystora

$$t_{OFF} = t_{d(off)} + t_f$$

6. Inwerter logiczny CMOS

Utwórz tabelę prawdy dla inwertera logicznego.

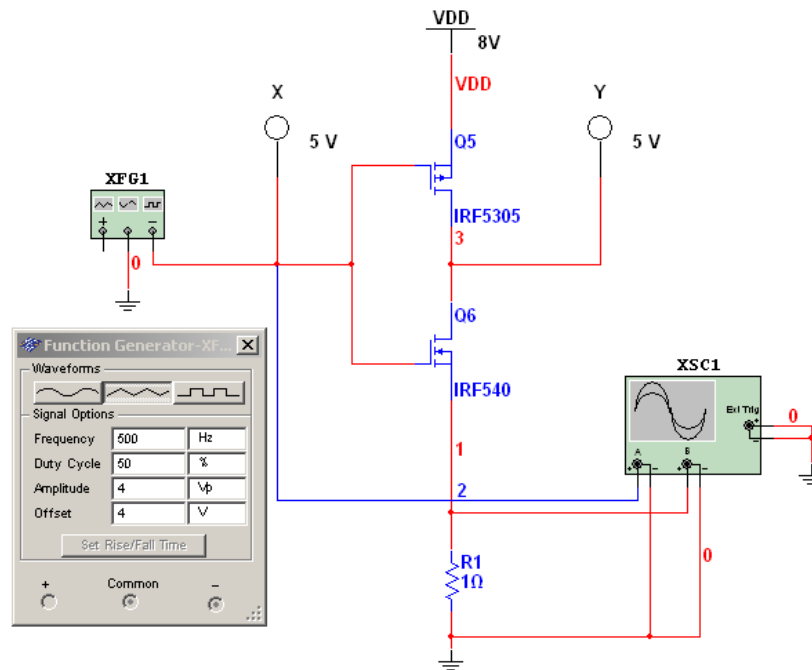
Utwórz obwód elektryczny inwertera zbudowanego na dwóch tranzystorach unipolarnych NMOS i PMOS (rys. 7). Zastosuj tranzystory odpowiednio IRF 5305 oraz IRF 540. Napięcie zasilania $V_{DD} = 5V$.



Rys. 7. Inwerter CMOS

Podając na wejście układu A za pomocą klucza J1 sygnały logiczne 0 (0V) i 1 (5V) sprawdź czy układ realizuje tabelę prawdy inwertera. Wyjaśnij w sprawozdaniu zasadę działania inwertera CMOS.

Przy przełączaniu tranzystorów w inwerterze można zaobserwować wzmożony pobór prądu w stanach przejściowych gdy oba tranzystory przewodzą. W układzie z rys. 8, podając na wejście sygnał trójkątny o parametrach jak na metryczce generatora, zmierz szczytową wartość prądu w źródle tranzystora Q6 w czasie zmiany stanu wyjściowego tranzystorów.

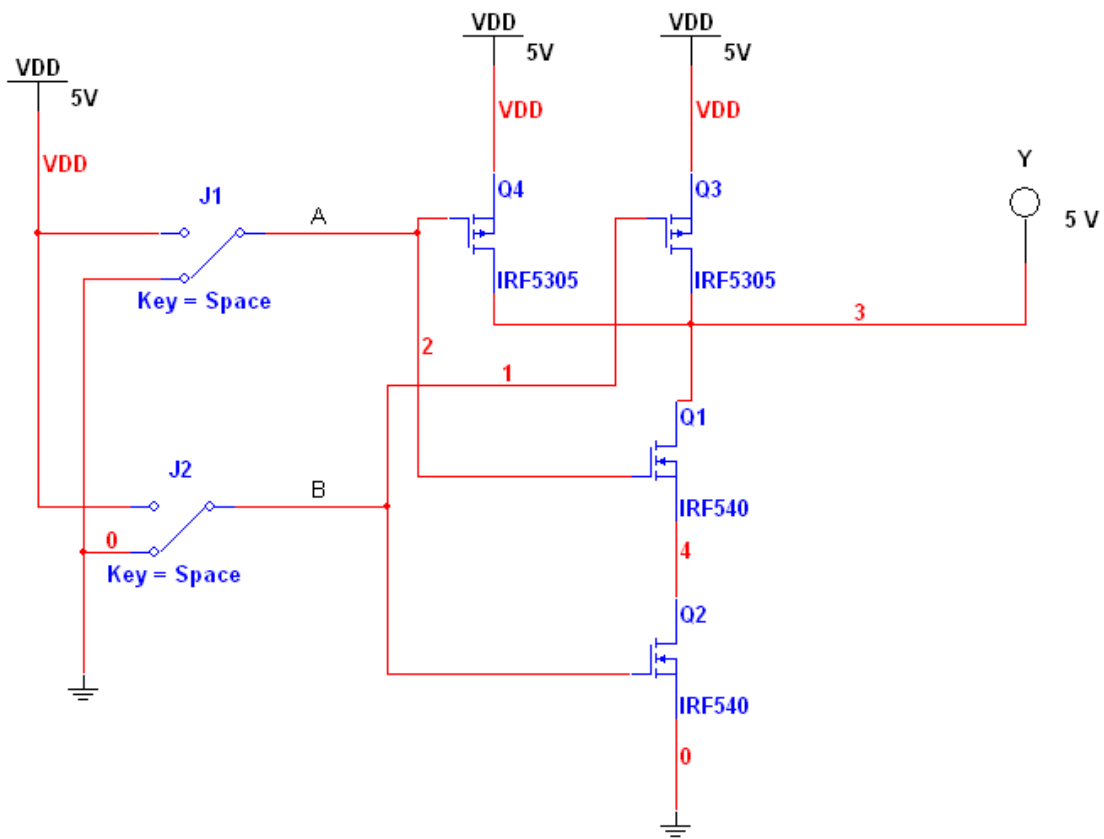


Rys. 8. Pomiar szczytowej wartości prądu przy przełączaniu tranzystorów w inwerterze.

7. Bramka NAND w technologii CMOS

Utwórz tabelę prawdy dla bramki NAND.

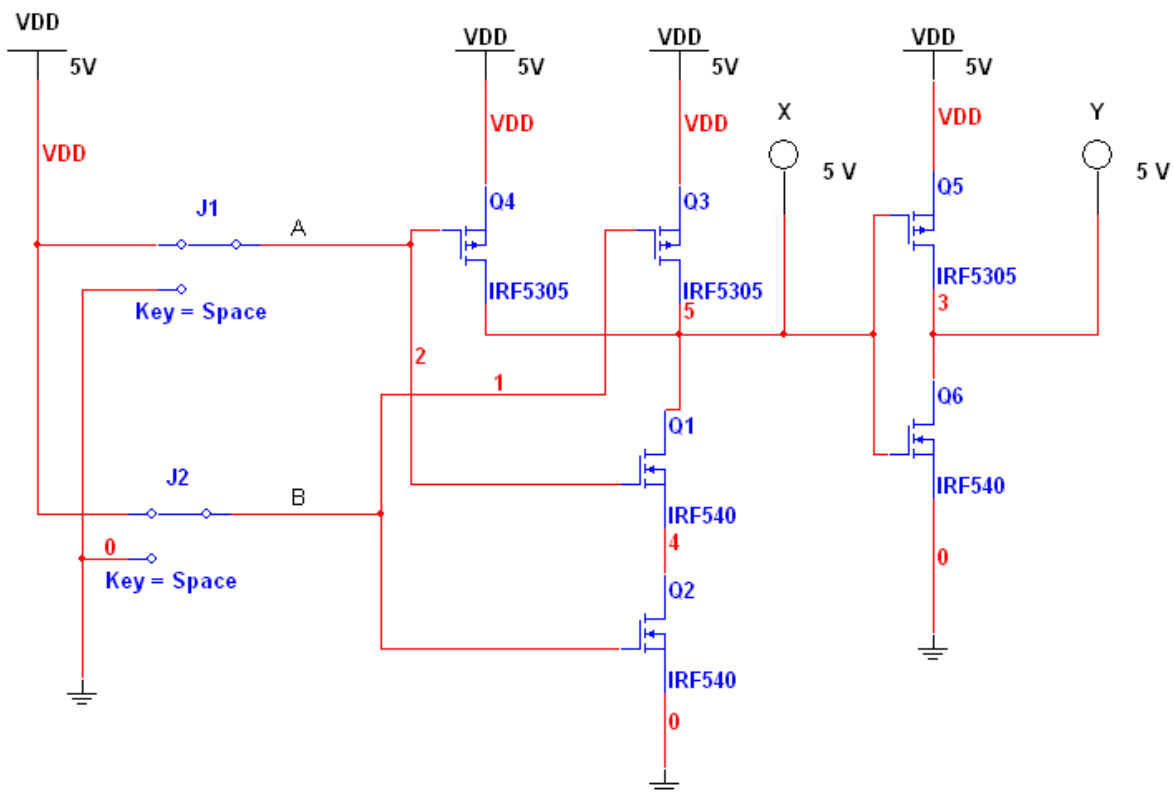
Utwórz obwód elektryczny bramki NAND zbudowanej na czterech tranzystorach unipolarnych NMOS i PMOS (rys. 9). Podając na wejścia układu A i B sygnały 0 i 1 za pomocą kluczy J1 i J2 sprawdź czy układ realizuje tabelę prawdy bramki NAND. Wyjaśnij w sprawozdaniu zasadę działania bramki NAND na tranzystorach CMOS.



Rys. 9. Bramka NAND w technologii CMOS

8. Bramka AND w technologii CMOS

Utwórz tabelę prawdy dla bramki AND. Utwórz obwód elektryczny bramki AND (rys. 10) dołączając na wyjście bramki NAND (rys. 9) układ inwertera z rys. 7. Podając na wejścia A i B układu sygnały 0 i 1 za pomocą kluczy J1 i J2 sprawdź czy układ realizuje tabelę prawdy bramki AND.

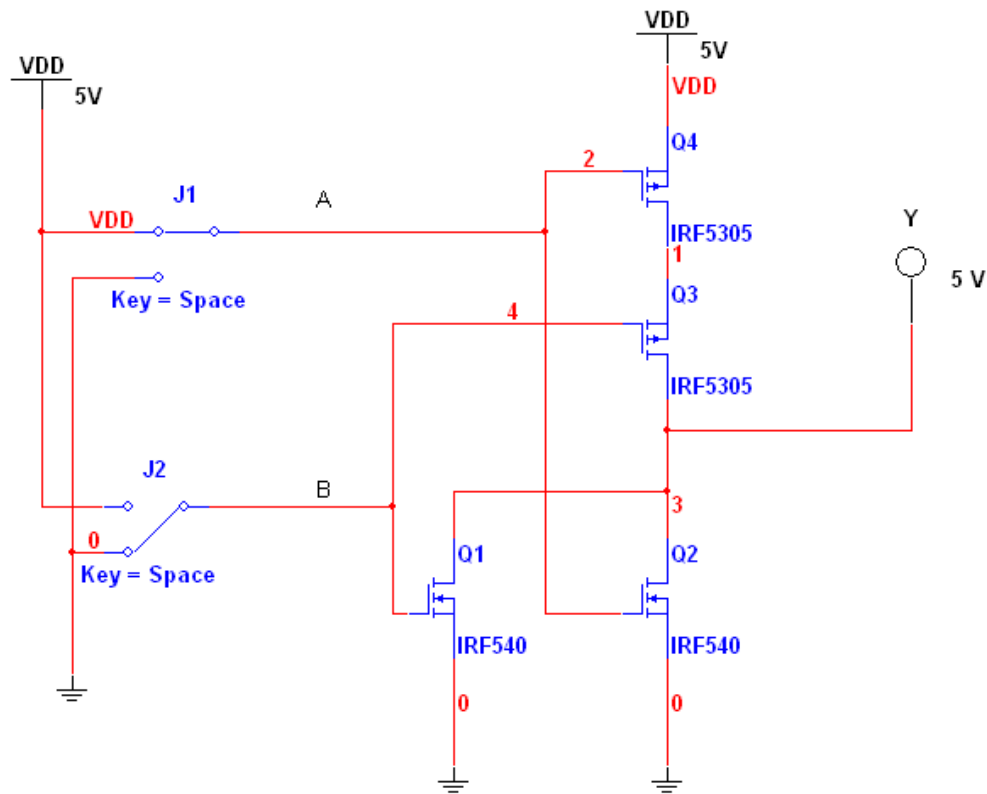


Rys. 10. Bramka AND w technologii CMOS

9. Bramka NOR w technologii CMOS

Utwórz tabelę prawdy dla bramki NOR.

Utwórz obwód elektryczny bramki NOR zbudowanej na tranzystorach unipolarnych NMOS i PMOS (rys. 11). Podając na wejścia układu sygnały 0 i 1 za pomocą kluczy J1 i J2 sprawdź czy układ realizuje tabelę prawdy bramki NOR. Wyjaśnij w sprawozdaniu zasadę działania bramki NOR na tranzystorach CMOS.

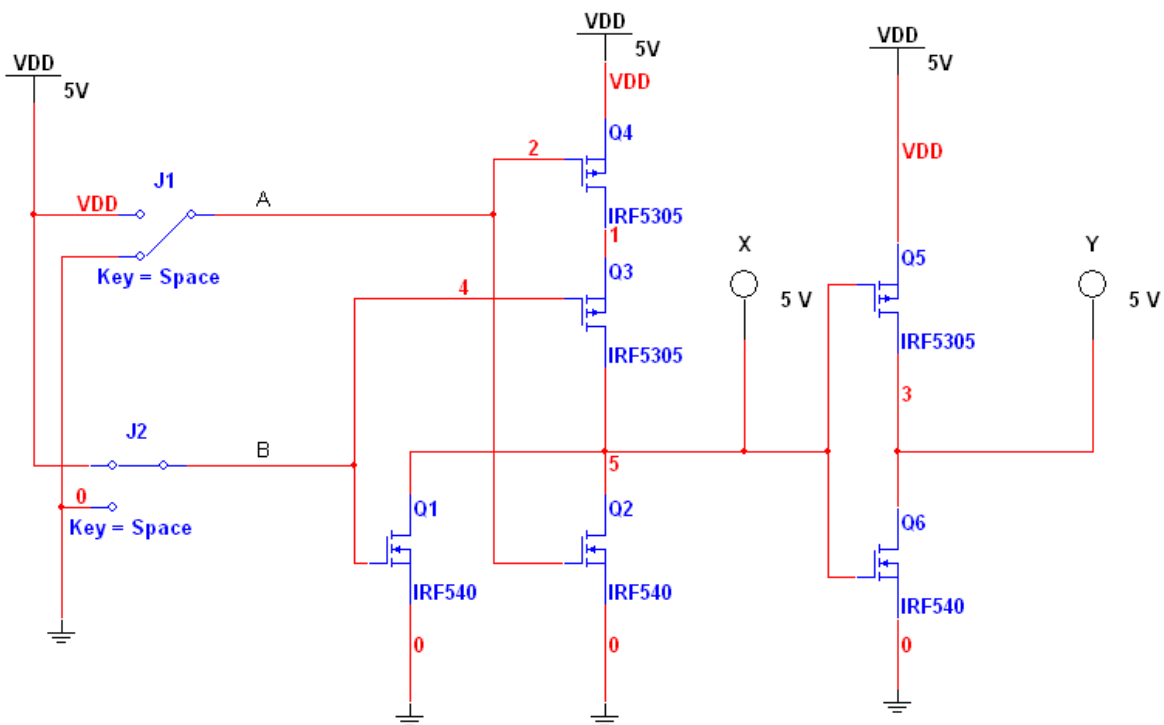


Rys. 11. Bramka NOR w technologii CMOS

10. Bramka OR w technologii CMOS

Utwórz tabelę prawdy dla bramki OR.

Utwórz obwód elektryczny bramki OR (rys. 12) dołączając na wyjście bramki NOR (rys. 11) układ inwertera z rys. 7. Podając na wejścia A i B układu sygnały 0 i 1 za pomocą kluczy J1 i J2 sprawdź czy układ realizuje tabelę prawdy bramki OR.

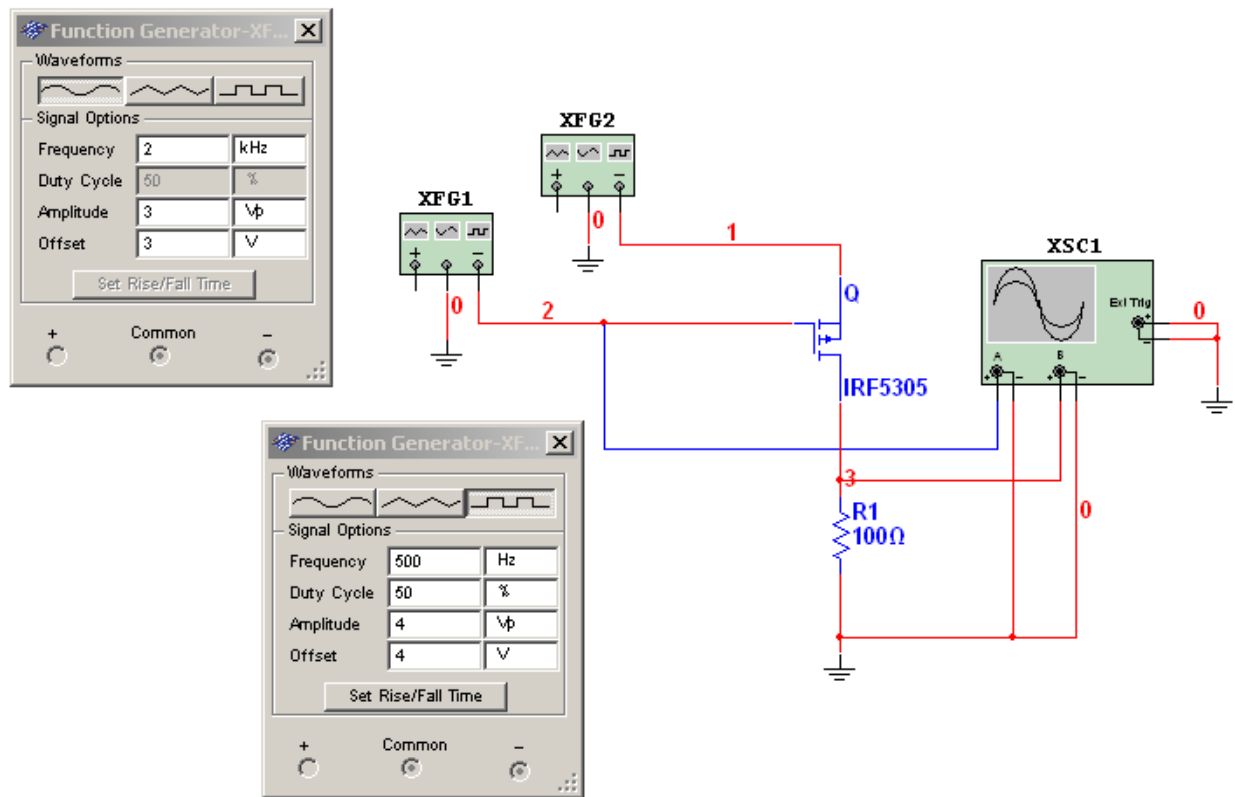


Rys. 12. Bramka OR w technologii CMOS

11. Dodatkowe. Tranzystor unipolarny jako łącznik liniowy

Utwórz obwód elektryczny tranzystora unipolarnego pracującego jako łącznik liniowy (rys. 13). Tranzystor Q charakteryzuje się napięciem progowym $U_T=3.5V$. Na źródło tranzystora podawany jest sygnał wejściowy sinusoidalny o częstotliwości 2 kHz, amplitudzie 3V oraz offset 3V, natomiast bramka tranzystora sterowana jest sygnałem prostokątnym w współczynniku wypełnienia 50%, amplitudzie 4V i offset 4V. Zaobserwuj na oscyloskopie sygnał wyjściowy na drenie tranzystora Q.

Dobierz parametry impulsów sterujących bramką tranzystora, aby uzyskać dokładne odwzorowanie sygnału wejściowego dla momentów gdy klucz jest załączony.



Rys. 13. Tranzystor unipolarny jako łącznik liniowy.

12. Opracowanie wyników

Sprawozdanie powinno zawierać schematy ideowe, tabele wyników, zrzuty z ekranów przebiegów kluczowych dla zagadnień poruszanych w czasie ćwiczeń laboratoryjnych oraz interpretację otrzymanych wyników symulacji.

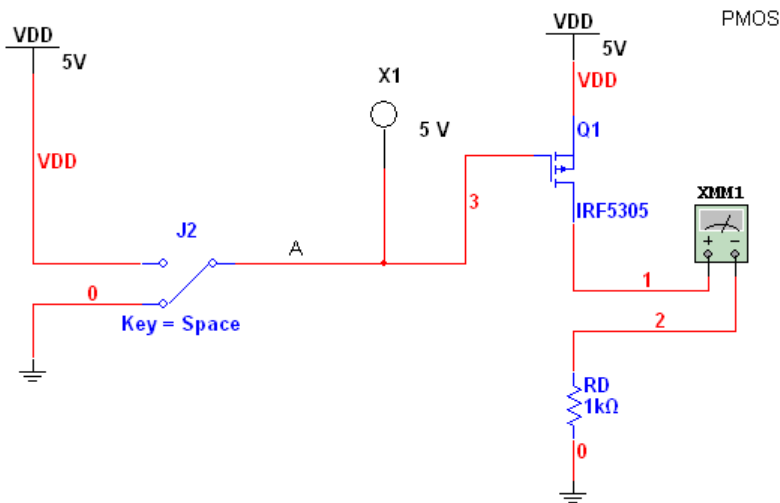
Opracowanie:

B. Dziurdzia, Zb. Magoński, W. Maziarz, A. Kułak , 10.05.2014

Updated :

13. Wstęp do układów logicznych

Utwórz obwód elektryczny z rys. 14, który zawiera tranzystor PMOS w układzie wzmacniacza z przełącznikiem podającym na bramkę tranzystora sygnał wysoki 1 o amplitudzie 5V (V_{DD}) oraz sygnał niski 0V (masa). Zwróć uwagę, że zasilanie tranzystora jest od strony źródła, natomiast w obwód drenu włączony jest rezystor R_D oraz amperomierz, którego wskazanie pozwala ustalić czy tranzystor przewodzi (prąd rzędu mA) czy też nie (prąd rzędu μA). Wskaźnik X1 sygnalizuje czy na bramkę tranzystora podawany jest sygnał 1 czy sygnał 0. Uzupełnij tabelę 3.

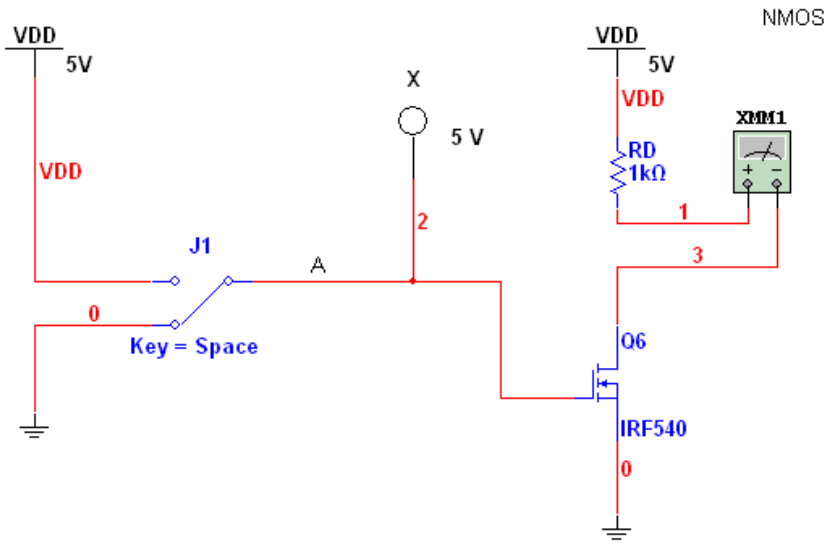


Rys. 14. Sposób włączenia i działanie tranzystora PMOS w układzie klucza przełączającego przy sterowaniu bramki sygnałami 1 / 0

Tabela 3.

Sygnał na bramce tranzystora	stan tranzystora PMOS (włączony / wyłączony)
1	
0	

Utwórz obwód elektryczny z rys. 15, który zawiera tranzystor NMOS w układzie wzmacniacza z przełącznikiem podającym na bramkę tranzystora sygnał wysoki 1 o amplitudzie 5V (V_{DD}) oraz sygnał niski 0V (masa). Zwróć uwagę, że teraz źródło tranzystora dołączone jest do masy a w obwód drenu włączony jest rezystor R_D oraz amperomierz, którego wskazanie pozwala ustalić czy tranzystor przewodzi (prąd rzędu mA) czy też nie (prąd rzędu μA). Wskaźnik X1 sygnalizuje czy na bramkę tranzystora podawany jest sygnał 1 czy sygnał 0. Uzupełnij tabelę 4.



Rys. 15. Sposób włączenia i działanie tranzystora NMOS w układzie klucza przełączającego przy sterowaniu bramki sygnałami 1 / 0

Tabela 4.

Sygnal na bramce tranzystora	stan tranzystora NMOS (włączony / wyłączony)
1	
0	