

# WSPOMAGANIE SPRZĘTOWE ALGORYTMÓW WIDEODETEKCJI

Marek Gorgoń<sup>1</sup>      Zbigniew Mikrut<sup>2</sup>

<sup>1,2</sup>Katedra Automatyki EAIiE, Akademia Górniczo-Hutnicza

Al. Mickiewicza 30, 30-059 Kraków

<sup>1</sup>mago@biocyb.ia.agh.edu.pl

<sup>2</sup>zibi@biocyb.ia.agh.edu.pl

## STRESZCZENIE

W artykule omówiono algorytmy wideodetekcji (komputerowej analizy obrazu z kamery), stosowane do wyznaczania parametrów ruchu drogowego. Pokazano przykłady realizacji i wskazano dalsze możliwości implementacji sprzętowej kilku typów algorytmów w reprogramowalnych układach FPGA najnowszej generacji.

## 1 WSTĘP

Wraz ze wzrostem mocy obliczeniowej i dostępności komputerów przemysłowych oraz spadkiem cen na urządzenia monitorujące zwiększa się zainteresowanie wideodetekcją, czyli automatycznym obliczaniem parametrów ruchu drogowego na podstawie wprowadzonego do komputera obrazu z kamery. Wideodetektory, czyli systemy zlokalizowane na skrzyżowaniu, złożone z kilku kamer i komputera analizującego obrazy cyfrowe, mają szansę stać się alternatywą dla powszechnie stosowanych w drogownictwie pętli indukcyjnych [2]. Przy niewielkich dodatkowych nakładach obrazy z kamer mogą być transmitowane do centrum dyspozytorskiego, stanowiąc cenne źródło informacji o ewentualnych zagrożeniach płynności ruchu.

Ogrom informacji, który musi zostać przetworzony przez komputer analizujący obraz powoduje, że w algorytmach wideodetekcji konieczne jest stosowanie redukcji danych wejściowych oraz optymalizowanie oprogramowania. Dodatkowe możliwości otwiera zastosowanie specjalizowanych procesorów przetwarzania obrazów w czasie rzeczywistym, które obecnie oparte są głównie o technologię FPGA (Field Programmable Gate Array). Dalej postaramy się wykazać, że duża część

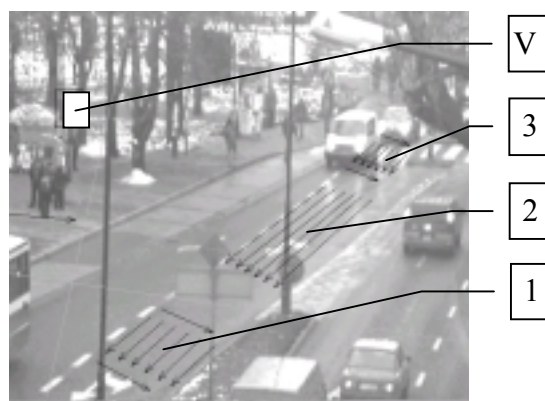
algorytmów wideodetekcji może być obecnie zrealizowana przy użyciu tej techniki.

## 2 ALGORYTMY WIDEODETEKCJI

Proces analizy obrazu cyfrowego przy pomocy wideodetektora można podzielić na tzw. *preprocessing*, czyli poprawę jakości obrazu oraz *detekcję pojazdów* i obliczanie parametrów ruchu.

Poprawa jakości obrazu realizowana jest głównie przy pomocy *filtrów konwolucyjnych*. Dobór odpowiedniej maski pozwala na uzyskanie efektu wygładzania, usuwania drobnych zakłóceń czy też wyostrzenia krawędzi. Sprzętową realizację tego typu operacji przedstawiono w p. 3 [4,5].

Na obecnym etapie rozwoju wideodetektorów wskazane jest, aby symulowały one działanie pętli indukcyjnych [1] (por. Rys.1). Ma to na celu zachowanie zgodności z istniejącym oprogramowaniem sterowników świateł. Zgodnie z zasadą działania pętli detekcja pojazdów odbywa się dwójako: wykrywa się ruch lub obecność pojazdu [2].



Rys. 1. Obiekty symulujące 3 pętle indukcyjne.

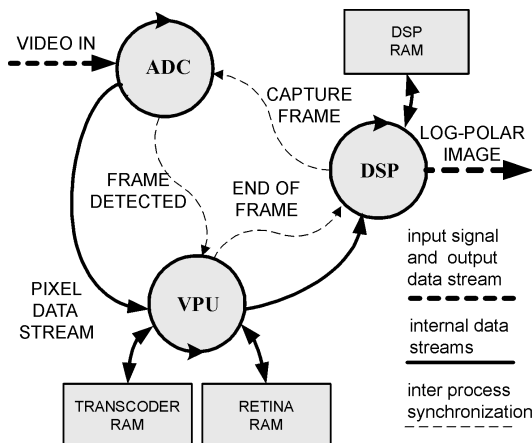
Wykrywanie pojazdów w ruchu opiera się na **progowaniu** obrazu, będącego **różnicą** dwóch kolejnych ramek [3]. W celu wykrycia pojazdów nieruchomych (np. oczekujących na zielone światło) analizuje się obraz różnicowy, otrzymany w wyniku odjęcia aktualnej ramki od tzw. tła. Obraz będący tłem otrzymuje się np. w wyniku **uśredniania ramek** w odpowiednio długim okresie czasu.

### 3 REALIZACJA SPRZĘTOWA

Pierwsza faza wideodetekcji (*preprocessing*) wymaga wykonywania na strumieniu danych obrazowych sekwencji operacji poprawiających jakość obrazu. Do tej grupy operacji zaliczono również operację odejmowania dwóch ramek obrazu. W tabeli 1 pokazano przykładowe wyniki realizacji operacji wstępnego przetwarzania obrazów, które zostały zaimplementowane w układach FPGA nowej generacji – Xilinx XCV1000-6BG432.

Tab. 1. Przykładowe implementacje operacji wizyjnych w układzie FPGA XCV1000-6BG432.

Operacja przetwarzania obrazów	Liczba bramek	Max. częstotliwość propagacji piksela
Odejmowanie	9.041	> 50 MHz
Histogram	139.077	> 50 MHz
Binaryzacja lokalna (8 linii opóźniających)	298.523	50 MHz
Erozja, Dylatacja (obraz binarny)	58.345	50 MHz
Segmentacja (indeksacja)	42.002	> 20 MHz



Rys. 2. Realizacja algorytmu uśredniania na karcie RETINA.

Do realizacji dalszych etapów algorytmu analizy strumienia pojazdów – w szczególności operacji uśredniania w czasie rzeczywistym informacji z wybranych fragmentów ramek wizyjnych - ko-

nieczne okazało się wykorzystanie zbudowanej w Laboratorium Biocybernetyki karty akwizycji, przetwarzania i analizy obrazów RETINA (Rys. 2), przeznaczonej również do wykonywania operacji **przekodowania adresowego** (*remapping*) do przestrzeni Log-Polar, opartego na uśrednianiu. W jej konstrukcji wykorzystano układ Virtex (Rys. 2 – VPU) oraz procesor DSP 96002 firmy Motorola (Rys. 2 - DSP). Mechanizm selektywnego wyboru fragmentów obrazu został tam zrealizowany dzięki zastosowaniu specyficznej kombinacji zasobów sprzętowych: bloków szybkiej pamięci SRAM oraz układów kontrolnych, synchronizujących i obliczeniowych zrealizowanych w układzie FPGA [6].

### 4 PODSUMOWANIE

Opracowane i rozwijane na AGH od 1992 prace badawcze udowodniły, że struktury FPGA szczególnie dobrze nadają się do implementacji zadań przetwarzania i analizy obrazów [4,5]. Dzięki możliwościom układów nowej generacji, takim jak predefiniowane linie opóźniające i wewnętrzne bloki pamięci czy definiowanie jednostek arytmetycznych zrealizowano kluczowe operacje przetwarzania obrazu w czasie rzeczywistym. Dodatkowo możliwości, polegające na realizacji operacji zmiennoprzecinkowych w czasie rzeczywistym, uzyskano wspomagając strukturę FPGA procesorem sygnałowym [6].

### LITERATURA

- [1] A. Adamski, Z. Mikrut, "Traffic video-detector application to intelligent control", *Proc. of Int. Conf. On Modeling and Management in Transportation*, Poznań-Kraków, Oct. 1999.
- [2] M. Leško, J. Guzik, "Sterowanie ruchem drogowym. Sygnalizacja świetlna i detektory ruchu pojazdów", Wyd. Polit. Śląskiej, Gliwice, 2000.
- [3] Z. Mikrut, "Road Traffic Measurement Using Videodetection", *Image Processing and Communications*, vol. 3 no. 3-4, pp. 19-30, 1997.
- [4] M. Gorgoń, "Ocena przydatności specjalizowanych procesorów do wstępnego przetwarzania obrazów", praca doktorska, AGH Kraków, 1995.
- [5] K. Wiatr, "Architektura potokowa specjalizowanych procesorów sprzętowych do wstępnego przetwarzania obrazów w systemach wizyjnych czasu rzeczywistego", Rozprawy Monograficzne AGH, 1998.
- [6] M. Gorgoń, M. Jabłoński "FPGA-based Video Processor for Log-Polar Re-mapping in the Retina Heterogeneous Image Processing System", *Proc. of IFAC Workshop on Programmable Devices and Systems PDS 2001*, Gliwice, Poland, 2001.
- [7] Strona internetowa <http://www.xilinx.com>